

Başkent Üniversitesi
Elektrik Elektronik Müh. Bölümü
EEM211 – Sayısal Mantık Tasarımı
Laboratuvarı

~Rapor~

Deney No: 06

Deney Adı: Toplayıcılar ve Eşlik Üreticileri

Öğrenci Ad, Soyadı:

Numara:

1.çalışmamızda bir bitlik tam toplayıcıyı kapı gecikmelerini kullanarak kapı katmanında tanımladık. a,b ve cin girişlerimizi verdikten sonra s ve cout çıkışlarımızı elde ettik.2. çalışmamızda , iki adet 4 bitlik sayıyı toplayan ve 4 bitlik dalgacık eldeli tamtoplayıcı devresi kapı gecikmelerini kullanarak kurduk.3. çalışmamızda ise carrylookaheadadder tasarımını yapısal olarak gerçekleştirdik.bu deneyimizde PGgen ve carrygen isimli modüllerle fourbitscarrylookahead İsimli bir üst modül oluşturarak ve kapı gecikmeleri sürelerini kullanarak 4 bitlik iki adet sayıyı toplayan bir tamtoplayıcı devresi kurmuş olduk.

SORULAR:

1-a)

Aynıdır.Çünkü toplayıcımızdaki mantıksal işlemleri yapan kapı sayıları aynı olduğu için gecikme süreside aynı olacaktır.

1-b)

Tasarımımızda 4 bitlik dalgacık toplayıcı yerine 16 bitlik dalgacık toplayıcı tasarlasaydık sonuçlardaki gecikme süresi 4 kat artıacaktı.

1-c)

Sonuçlar deneyimizin 2-b kısmında raporumuza eklenmiştir.

2-a)

Benzetim sonuçlarındaki Gecikme sürelerinde fark var. lab06-3. tasarım daha hızlı çalışıyor.

2-b)

3. deney:

Delay: 13.454ns (Levels of Logic = 6)

Source: cin (PAD)

Destination: cout (PAD)

Data Path: cin to cout

	Gate	Net			
Cell:in->out	fanout	Delay	Delay	Logical Name	(Net Name)
IBUF:I->O	3	0.776	1.332	cin_IBUF	(cin_IBUF)
LUT3:I0->O	1	0.549	1.035	ca2/c SW0	(N12)
LUT3:I2->O	2	0.549	1.206	ca2/c (c2)	
LUT3:I1->O	2	0.549	1.206	Ker01	(N0)
LUT3:I2->O	1	0.549	1.035	Mxor S<3>	Xo<1>1 (S 3 OBUF)
OBUF:I->O		4.668		S 3_OBUF	(S<3>)
Total		13.454ns		(7.640ns logic, 5.814ns route)	(56.8% logic, 43.2% route)

2.deney

Delay: 13.499ns (Levels of Logic = 6)

Source: A<0> (PAD)

Destination: cout (PAD)

Data Path: A<0> to cout

	Gate	Net			
Cell:in->out	fanout	Delay	Delay	Logical Name (Net Name)	

IBUF:I->O	2	0.776	1.206	A_0_IBUF (A_0_IBUF)	
LUT3:I0->O	2	0.549	1.206	a1/cout1 (W1)	
LUT3:I2->O	2	0.549	1.206	a2/cout1 (W2)	
LUT3:I2->O	2	0.549	1.206	a3/cout1 (W3)	
LUT3:I2->O	1	0.549	1.035	a4/Mxor s Result1 (S_3_OBUF)	
OBUF:I->O		4.668		S_3_OBUF (S<3>)	

Total	13.499ns (7.640ns logic, 5.859ns route)				
	(56.6% logic, 43.4% route)				

Buda bize gösteriyorki lab06-3 çalışması lab06-2 çalışmasından daha hızlı çalışıyor.



deney 6 -son.zip