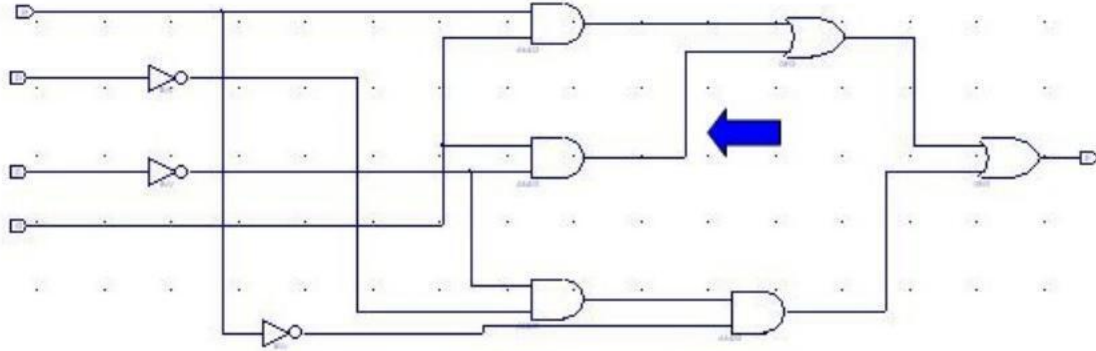


1-)



Şekilde görülen kablo temas etmediğinden dolayı devremiz hatalı sinyal üretti. Hatalı olan F fonksiyonumuz $F=ad+c'd+a'b'c'$ olarak düzeltildi.

$(F')'=(a'c+bd'+ad')'$ olarak da gösterebiliriz F fonksiyonumuzu.

Fonksiyonumuz, a,b,c,d sırasıyla 0000,0001,0101,1101,1111,1001,1011 bitleri uygulandığında 1 sinyali;diğer durumlarda 0 sinyali üretmektedir.

```

ps      /test/a  /test/F
delta   /test/b   /test/TX_ERROR
        /test/c
        /test/d
0 +0    0 0 0 0 StX      0
0 +3    0 0 0 0 St1      0
200000 +0    0 0 0 1 St1      0
400000 +0    0 0 0 0 St1      0
500000 +0    1 0 0 0 St1      0
500000 +3    1 0 0 0 St0      0
600000 +0    1 0 0 1 St0      0
600000 +4    1 0 0 1 St1      0
800000 +0    1 0 0 0 St1      0
800000 +4    1 0 0 0 St0      0
900000 +0    0 0 0 0 St0      0
900000 +3    0 0 0 0 St1      0
1000000 +0    1 0 0 0 St1      0
1000000 +3    1 0 0 0 St0      0
1100000 +0    1 1 1 0 St0      0
1200000 +0    0 1 0 1 St0      0
    
```

1200000	+4	0 1 0 1 St1	0
1300000	+0	1 1 0 0 St1	0
1300000	+4	1 1 0 0 St0	0
1400000	+0	0 0 0 0 St0	0
1400000	+3	0 0 0 0 St1	0
1500000	+0	0 0 1 1 St1	0
1500000	+3	0 0 1 1 St0	0
1600000	+0	0 0 1 0 St0	0
1700000	+0	0 0 0 0 St0	0
1700000	+3	0 0 0 0 St1	0

2-)

Devremizi 3 adet 2x1 Mux kullanarak yaptık. Ve bu şekilde devremizi sade bir hale getirmiş olduk. Devremiz mantık kapıları ile oluşturacağımız bir karmaşık devreden daha sade bir hale gelirken daha hızlı da bir işlev kazanmış oldu. Devremiz a,b,c,d sırasıyla 1101 bitleri uygulandığında belirsiz bir sinyal üretmektedir. 0000, 0001, 0101, 1000, 1001, 1010, 1011 bitleri uygulandığında 1 sinyali ; diğer durumlarda ise 0 sinyali üretmektedir.

ps	/test/a	/test/F	
delta	/test/b	/test/TX_ERROR	
	/test/c		
	/test/d		
0 +0	0 0 0 0 StX	0	
0 +6	0 0 0 0 St1	0	
100000	+0	1 1 0 0 St1	0
100000	+4	1 1 0 0 St0	0
200000	+0	1 0 1 0 St0	0
200000	+4	1 0 1 0 St1	0
300000	+0	0 0 1 1 St1	0
300000	+5	0 0 1 1 St0	0
500000	+0	1 1 0 1 St0	0
700000	+0	1 0 1 0 St0	0
700000	+4	1 0 1 0 St1	0
800000	+0	0 0 1 0 St1	0
800000	+5	0 0 1 0 St0	0
1000000	+0	1 0 1 0 St0	0
1000000	+5	1 0 1 0 St1	0
1100000	+0	0 1 1 0 St1	0
1100000	+4	0 1 1 0 St0	0
1200000	+0	1 1 1 1 St0	0
1300000	+0	1 1 1 0 St0	0

1400000	+0	1 0 0 0 St0	0
1400000	+4	1 0 0 0 St1	0
1500000	+0	0 1 1 1 St1	0
1500000	+4	0 1 1 1 St0	0
1500000	+6	0 1 1 1 St1	0
1500000	+7	0 1 1 1 St0	0
1600000	+0	0 0 0 0 St0	0
1600000	+6	0 0 0 0 St1	0
1700000	+0	1 1 0 1 St1	0
1700000	+4	1 1 0 1 St0	0
1800000	+0	1 0 1 1 St0	0
1800000	+4	1 0 1 1 St1	0
1900000	+0	1 0 0 0 St1	0

3-)

Eğer ab ve cd iki bitlik sayılarımız birbirine eşitse devremiz 1 sinyali;değilse 0 sinyali üretmektedir.Sayılarımız 00 ve 00 olduğunda m3=1 sinyalimiz; 01 ve 01 olduğunda m2=1 sinyalimiz;10 ve 10 olduğunda m1=1 sinyalimiz; 11 ve 11 olduğunda ise m0=1 sinyalimiz F sinyali olarak çıkmaktadır.Yani 16 farklı durumun sadece 4 ünde 1 sinyali üretir devremiz.

ps	/TEST/a	/TEST/F	/TEST/TX_ERROR
delta	/TEST/b	/TEST/TX_FILE	
	/TEST/c		
	/TEST/d		
0	+0	0 0 0 0 StX	2 0
100	+5	0 0 0 0 St1	2 0
100000	+0	0 1 0 1 St1	2 0
300000	+0	0 0 0 0 St1	2 0
400000	+0	0 0 0 1 St1	2 0
400000	+6	0 0 0 1 St0	2 0
600000	+0	1 0 1 0 St0	2 0
600000	+7	1 0 1 0 St1	2 0
700000	+0	0 0 0 1 St1	2 0
700000	+6	0 0 0 1 St0	2 0
900000	+0	1 1 1 1 St0	2 0
900000	+7	1 1 1 1 St1	2 0
1000000	+0	0 0 0 0 St1	2 0
1100000	+0	1 1 1 0 St1	2 0
1100000	+7	1 1 1 0 St0	2 0
1200000	+0	1 1 1 1 St0	2 0
1200000	+5	1 1 1 1 St1	2 0
1300000	+0	0 0 0 0 St1	2 0
1400000	+0	1 1 1 0 St1	2 0

1400000	+7	1 1 1 0 St0	2	0
1500000	+0	0 0 0 1 St0	2	0
1700000	+0	0 1 0 0 St0	2	0



Deney7.zip