

1-) Devremiz basit bir D flip-flop devresidir. Devremiz çıkış sinyaliyle giriş frekansını yarıya indirgemektedir . mclk sinyalimiz 0 dan 1'e geçerken F çıkış sinyalimiz de değişir. Bu şekilde çıkış frekansımız giriş frekansımızın yarısı olur. Eğer herhangi bir devrede frekansımızı yarıya indirgemek istiyorsak bu D flip-flop devresini kullanabiliriz.

ps	/test/mclk	/test/TX_ERROR
delta	/test/F	
0 +0	0 StX	0
0 +4	0 St1	0
100000 +0	1 St1	0
200000 +0	0 St1	0
300000 +0	1 St1	0
300100 +2	1 St0	0
400000 +0	0 St0	0
500000 +0	1 St0	0
500100 +2	1 St1	0
600000 +0	0 St1	0
700000 +0	1 St1	0
700100 +2	1 St0	0
800000 +0	0 St0	0
900000 +0	1 St0	0
900100 +2	1 St1	0
1000000 +0	0 St1	0
1100000 +0	1 St1	0
1100100 +2	1 St0	0
1200000 +0	0 St0	0
1300000 +0	1 St0	0
1300100 +2	1 St1	0
1400000 +0	0 St1	0
1500000 +0	1 St1	0
1500100 +2	1 St0	0
1600000 +0	0 St0	0
1700000 +0	1 St0	0
1700100 +2	1 St1	0
1800000 +0	0 St1	0
1900000 +0	1 St1	0
1900100 +2	1 St0	0
2000000 +0	0 St0	0
2100000 +0	1 St0	0
2100100 +2	1 St1	0

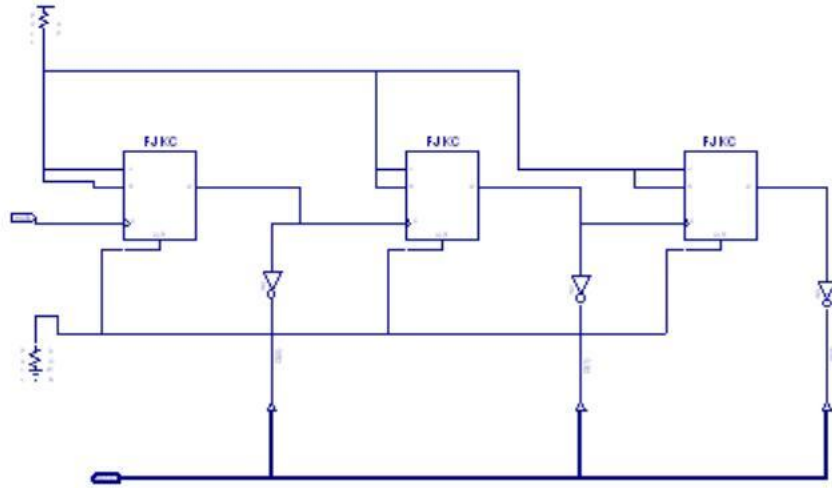
2-) Devremiz 1111 den 0000 a kadar binary modda sayıları birer birer azaltarak bize gösteren bir devredir. Bu sayıları oluşturan kablo çıkışları sırasıyla Q(3),Q(2),Q(1),Q(0) dır. Q(0) ,Q(1) çıkışlı devrenin clock girişi ; Q(1) ,Q(2) çıkışlı devrenin clock girişi ; Q(2) ,Q(3) çıkışlı devrenin clock girişidir. Bu şekilde frekanslarımızı sürekli yarıya indirerek değişim gözlemliyoruz. Frekanslarımız Q(0) 'dan Q(3) 'e sırasıyla yarıya inerek sürekli azalır.Bu şekilde kablolardaki çıkış sinyallerimiz de aynı 4 bitlik binary sayıların sıralamasında olduğu gibi düzgün bir şekilde değişim gösterir.

ps	/test/mclk	/test/TX_ERROR
delta	/test/Q	
0 +0	0 xxxx	0
0 +3	0 0000	0
100000 +0	1 0000	0
200000 +0	0 0000	0
300000 +0	1 0000	0
300100 +1	1 0001	0
300200 +1	1 0011	0
300300 +1	1 0111	0
300400 +1	1 1111	0
400000 +0	0 1111	0
500000 +0	1 1111	0
500100 +1	1 1110	0
600000 +0	0 1110	0
700000 +0	1 1110	0
700100 +1	1 1111	0
700200 +1	1 1101	0
800000 +0	0 1101	0
900000 +0	1 1101	0
900100 +1	1 1100	0
1000000 +0	0 1100	0
1100000 +0	1 1100	0
1100100 +1	1 1101	0
1100200 +1	1 1111	0
1100300 +1	1 1011	0
1200000 +0	0 1011	0
1300000 +0	1 1011	0
1300100 +1	1 1010	0
1400000 +0	0 1010	0
1500000 +0	1 1010	0
1500100 +1	1 1011	0
1500200 +1	1 1001	0
1600000 +0	0 1001	0
1700000 +0	1 1001	0
1700100 +1	1 1000	0
1800000 +0	0 1000	0
1900000 +0	1 1000	0
1900100 +1	1 1001	0
1900200 +1	1 1011	0
1900300 +1	1 1111	0
1900400 +1	1 0111	0
2000000 +0	0 0111	0
2100000 +0	1 0111	0
2100100 +1	1 0110	0
2200000 +0	0 0110	0
2300000 +0	1 0110	0
2300100 +1	1 0111	0
2300200 +1	1 0101	0
2400000 +0	0 0101	0

2500000	+0	1 0101	0
2500100	+1	1 0100	0
2600000	+0	0 0100	0
2700000	+0	1 0100	0
2700100	+1	1 0101	0
2700200	+1	1 0111	0
2700300	+1	1 0011	0
2800000	+0	0 0011	0
2900000	+0	1 0011	0
2900100	+1	1 0010	0
3000000	+0	0 0010	0
3100000	+0	1 0010	0
3100100	+1	1 0011	0
3100200	+1	1 0001	0
3200000	+0	0 0001	0
3300000	+0	1 0001	0
3300100	+1	1 0000	0
3400000	+0	0 0000	0
3500000	+0	1 0000	0
3500100	+1	1 0001	0
3500200	+1	1 0011	0
3500300	+1	1 0111	0
3500400	+1	1 1111	0
3600000	+0	0 1111	0
3700000	+0	1 1111	0
3700100	+1	1 1110	0
3800000	+0	0 1110	0
3900000	+0	1 1110	0
3900100	+1	1 1111	0
3900200	+1	1 1101	0
4000000	+0	0 1101	0
4100000	+0	1 1101	0
4100100	+1	1 1100	0
4200000	+0	0 1100	0
4300000	+0	1 1100	0
4300100	+1	1 1101	0
4300200	+1	1 1111	0
4300300	+1	1 1011	0
4400000	+0	0 1011	0
4500000	+0	1 1011	0
4500100	+1	1 1010	0
4600000	+0	0 1010	0
4700000	+0	1 1010	0
4700100	+1	1 1011	0
4700200	+1	1 1001	0
4800000	+0	0 1001	0
4900000	+0	1 1001	0
4900100	+1	1 1000	0
5000000	+0	0 1000	0
5100000	+0	1 1000	0

5100100	+1	1 1001	0
5100200	+1	1 1011	0
5100300	+1	1 1111	0
5100400	+1	1 0111	0

3-)



Bu şeklimizde 000 dan başlayarak 111 e kadar sırasıyla binary modda birer birer artan bir devre tasarladık. Önceki devremizde 4 bitlik sayılarla işlem yaptığımız için 4 adet FF kullanmıştık. Bu devremizde ise 3 bitlik sayılarla işlem yapacağımız için 3 adet FF kullanıyoruz. Bu sefer sayılar baştan sona doğru sıralanacağı için çıkış sinyallerimizin terslerini aldık. Sırasıyla Q(0) dan Q(2) e kadar çıkış sinyallerimizin frekansları sırasıyla yarıya inerek azalmaktadır. Ve bu şekilde 000 dan 111 e kadar düzgün sırayla birer birer artan ve sürekli dönen bir devre yaratmış olduk.

ps	/test/mclk	/test/TX_ERROR
delta	/test/Q	
0 +0	0 xxx	0
0 +4	0 111	0
100000	+0 1 111	0
200000	+0 0 111	0
300000	+0 1 111	0
300100	+2 1 110	0
300200	+2 1 100	0
300300	+2 1 000	0
400000	+0 0 000	0
500000	+0 1 000	0
500100	+2 1 001	0
600000	+0 0 001	0
700000	+0 1 001	0
700100	+2 1 000	0
700200	+2 1 010	0
800000	+0 0 010	0
900000	+0 1 010	0

900100 +2	1 011	0
1000000 +0	0 011	0
1100000 +0	1 011	0
1100100 +2	1 010	0
1100200 +2	1 000	0
1100300 +2	1 100	0
1200000 +0	0 100	0
1300000 +0	1 100	0
1300100 +2	1 101	0
1400000 +0	0 101	0
1500000 +0	1 101	0
1500100 +2	1 100	0
1500200 +2	1 110	0
1600000 +0	0 110	0
1700000 +0	1 110	0
1700100 +2	1 111	0
1800000 +0	0 111	0
1900000 +0	1 111	0
1900100 +2	1 110	0
1900200 +2	1 100	0
1900300 +2	1 000	0
2000000 +0	0 000	0
2100000 +0	1 000	0
2100100 +2	1 001	0
2200000 +0	0 001	0
2300000 +0	1 001	0
2300100 +2	1 000	0
2300200 +2	1 010	0
2400000 +0	0 010	0
2500000 +0	1 010	0
2500100 +2	1 011	0
2600000 +0	0 011	0
2700000 +0	1 011	0
2700100 +2	1 010	0
2700200 +2	1 000	0
2700300 +2	1 100	0
2800000 +0	0 100	0
2900000 +0	1 100	0
2900100 +2	1 101	0
3000000 +0	0 101	0
3100000 +0	1 101	0
3100100 +2	1 100	0
3100200 +2	1 110	0

4-) Şekil-1 deki devremiz clock sinyalinin frekansını yarıya indirgiyordu. Eğer şekil-3 deki

Q(0) kablomuzdan bir tel aracılığı ile F çıkışı alırsak şekil-1 deki devrenin gerçekleştirdiği işlemi bu devrede de herhangi bir değişiklik yapmadan gerçekleştirmiş oluruz. Yani şekil 1 deki gibi tek bir FF kullanarak bu işlemi gerçekleştirmiş oluruz.



Deney8.zip