

SAYISAL MANTIK TASARIMI DENEY 8

---RAPOR---



1 -

Bu deneysel çalışmada devreyi ilk çalıştırdığımızda girişler 0 dır , clock pulse ise yoktur. Bu yüzden Q çıkışı 0 kalacak, inverter çıkışı ise 0 ın tersi olacaktır. Daha sonra ise D girişide 1 olacaktır. İlk clock pulse ile birlikte giriş, çıkışa aktarılır ve daha sonra inverter tarafından terslenir ve F çıkışı 1 olur. D girişi yine 0 olur ve bu olay sürekli tekrarlanarak devam eder . Besleme olduğu sürecede bu bilgi akımı devam edecektir. Çıkış frekansı ise giriş frekansının yarısıdır.

2 -

Devrede Pull Up dan gelen 1 degeri ile mclk dan gelen degerler flip flopa giriyorlar ve Q(0) degeri elde ediliyor. Aynı şekilde pull up tan gelen 1 ve bir önceki flip floptan çıkan deęer 2. flip flopa giriyor ve Q(1) degeri elde ediliyor. Ve Q(2) ve Q(3) degerleri ise çıktı olur. Mclk devrede selett işlemleri yapıyor. J ve k girişleri ise flip flop görevi görüyor. Clr ise clear görevini üstleniyor. Pull down kısmı ise clear degerlerini 0 (sıfır) olarak ayarlıyor. Sonuçlar Q(3:0) lık 4 bitlik bir şekilde ele alınıyor ve bu işlemler sonucunda bir geri sayıcı meydana getirilmiştir.

3 -

Devrede Q çıkışlarıyla clock girişleri arasına inverter koyulması sonucu devrenin ileriye sayması gerçekleşir. Bunun nedeni ise inverterin clock girişlerinin, Q çıkışı 0 olması ile sağlamıştır ve devre ileriye doğru saymıştır.

4 -

3.sekildeki flip flop çıkışı giriş frekansını ikiye bölüyor.Bu işlem 1.sekildeki devreyle aynı işi yapmasını sağlıyor.Biz bu çıkışı kullanarak aynı işi 3 te verilen devre ile de gerçekleştirebiliriz.