



BÖLÜM 6

BİRLEŞİK DEVRELER (COMBINATIONAL)

6.1 ARİTMETİK ÜNİTELER

Toplama, çıkarma, çarpma ve bölme gibi aritmetik işlemleri yapan sayısal devrelere aritmetik devreler adı verilir. Sayısal sistemlerde temel aritmetik işlemler toplama ve çıkarma işlemidir. Çarpma işlemi tekrarlanan toplama, bölme işlemi ise tekrarlanan çıkarma işlemi ile tanımlanır.

6.1.1 TOPLAYICI DEVRELER (ADDERS)

Sayısal devreler için toplama işlemini gerçekleştiren devrelere toplayıcılar (adders) adı verilir. Aşağıda Binary (ikilik) sayıların toplamına ilişkin temel kurallar verilmiştir.

				<u>Elde(Carry)</u>	<u>Sonuç(Sum)</u>
0	+	0	=	0	0
0	+	1	=	0	1
1	+	0	=	0	1
1	+	1	=	1	0

Not: Toplama işlemi sonunda oluşan eldenin işlem sonucunun en yüksek değerlikli basamağı olduğu unutulmamalıdır.

6.1.1.1 YARIM TOPLAYICI (HALF ADDER)

Bir bitlik iki veriyi toplayan devrelere yarım toplayıcı (half adder) adı verilir. Bir yarım toplayıcın birer bitlik iki veri girişi için iki giriş, toplam ve oluşan eldenin gösterimi için iki tane çıkışı vardır. Aşağıda bir yarım toplayıcının tasarımı anlatılmıştır;

Bir bitlik iki veri P Ve Q ile adlandıırırsak tasarlanacak devrenin iki binary sayının toplanması işlemini gerçekleştirmesi istenir. Toplama işleminin gösterimi için sonuç (Sum -S) ve elde (Carry -C) olmak üzere iki tane çıkış olması gerekir.

P	Q	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

Doğruluk tablosu yardımı ile çıkışları yazmak istersek;

$$S = \bar{P} \cdot Q + P \cdot \bar{Q} = P \oplus Q$$

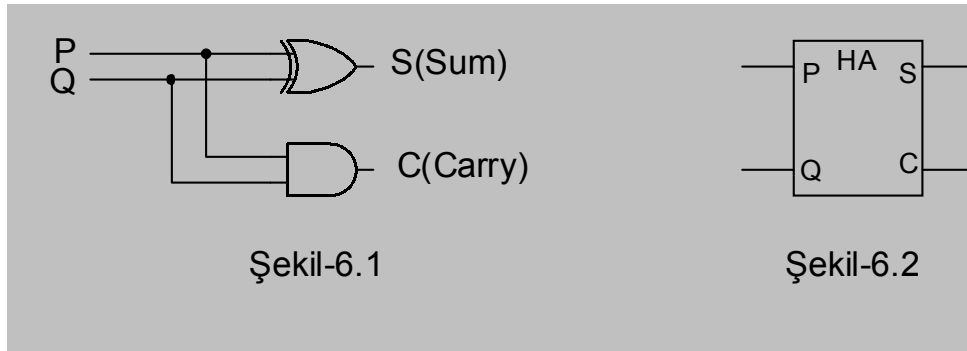
$$C = P \cdot Q$$

ifadeleri elde edilir.

Tablo 6.1

Not : Çıkışlara ait Lojik ifadeyi elde ederken Her bir çıkışa ait olan minimum terimin yazıldığı görülmelidir.

Aşağıda bir yarım toplayıcının (Half Adder) Lojik diyagramı ve sembolü verilmiştir



Şekil-6.1

Şekil-6.2

6.1.1.2 TAM TOPLAYICI (FULL ADDER)

İkinci temel tür toplayıcı derelere tam toplayıcı (full adder) adı verilir. Üç bitlik verilerin toplanması işlemini gerçekleştiren devrelerdir. Devrenin toplama işlemi için üç giriş, sonucun gösterimi için iki tane çıkışı vardır. Girişlerden ikisi toplama işlemi yapılacağı iki veriyi gösterirken diğer giriş düşük değerlikli basamaktan oluşan elde girişi içindir. Aşağıda bir tam toplayıcının doğruluk tablosu verilmiştir;

P	Q	C _{in}	C _{out}	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	0	1	1

Doğruluk tablosunda ;
C_{in} – Bir önceki işlemde oluşan elde
C_{out} – Toplama işlemi sonrasında oluşan eldeyi göstermektedir

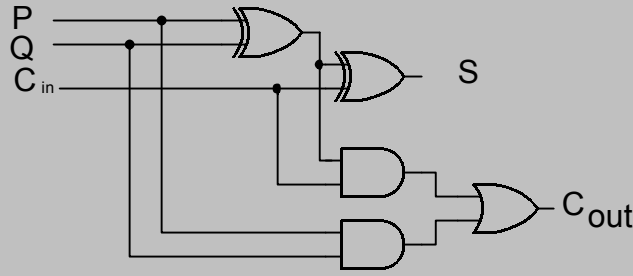
Doğruluk tablosundan çıkışlara ait Lojik ifadeler ise ;

$$S = C_{in} \oplus (P \oplus Q)$$

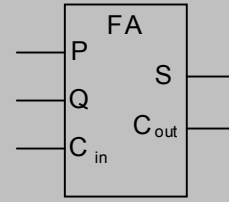
$$C_{out} = P \cdot Q + C_{in} \cdot (P \oplus Q)$$

ifadeleri elde edilir.

Aşağıda bir tam toplayıcının lojik diyagramı ve sembolü verilmiştir;

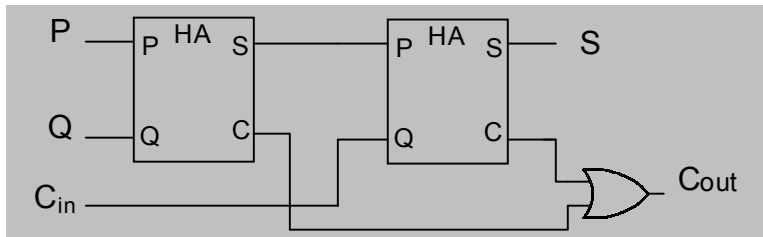


Şekil-6.3

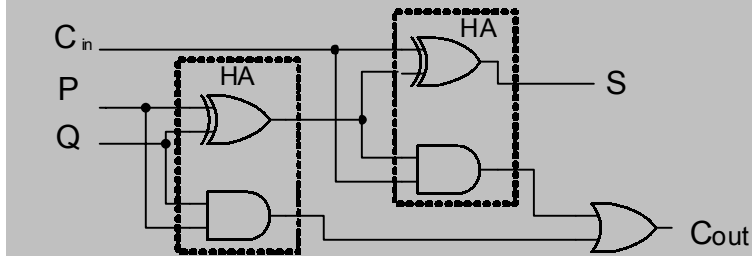


Şekil-6.4

Aşağıda iki yarım toplayıcı ve harici bir VEYA kapısı kullanılarak elde edilmiş tam toplayıcı devresi verilmiştir.



Şekil 6.5



Şekil 6.6

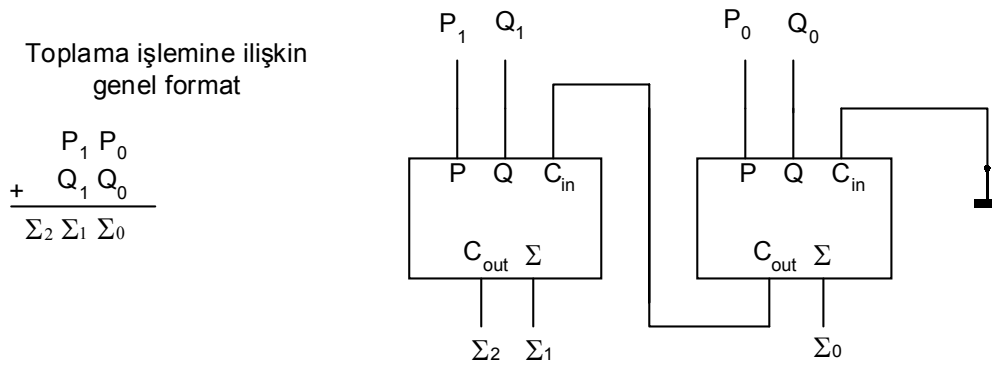
6.1.1.3 PARALEL TOPLAYICILAR (PARALLEL ADDERS)

Bir n-bitlik paralel toplayıcı n tane tam toplayıcının birbirine paralel bağlanması ile elde edilebilir. Her bir tam toplayıcının elde çıkışı (C_{out}) daha yüksek değerli toplayıcının elde girişine bağlanır. Böylece düşük değerli basamakların toplamından oluşan elde (C_{out}) bir sonraki toplamı yapılacak basamaklara etki edebilecektir.

6.1.1.3.A İKİ BİT PARALEL TOPLAYICI

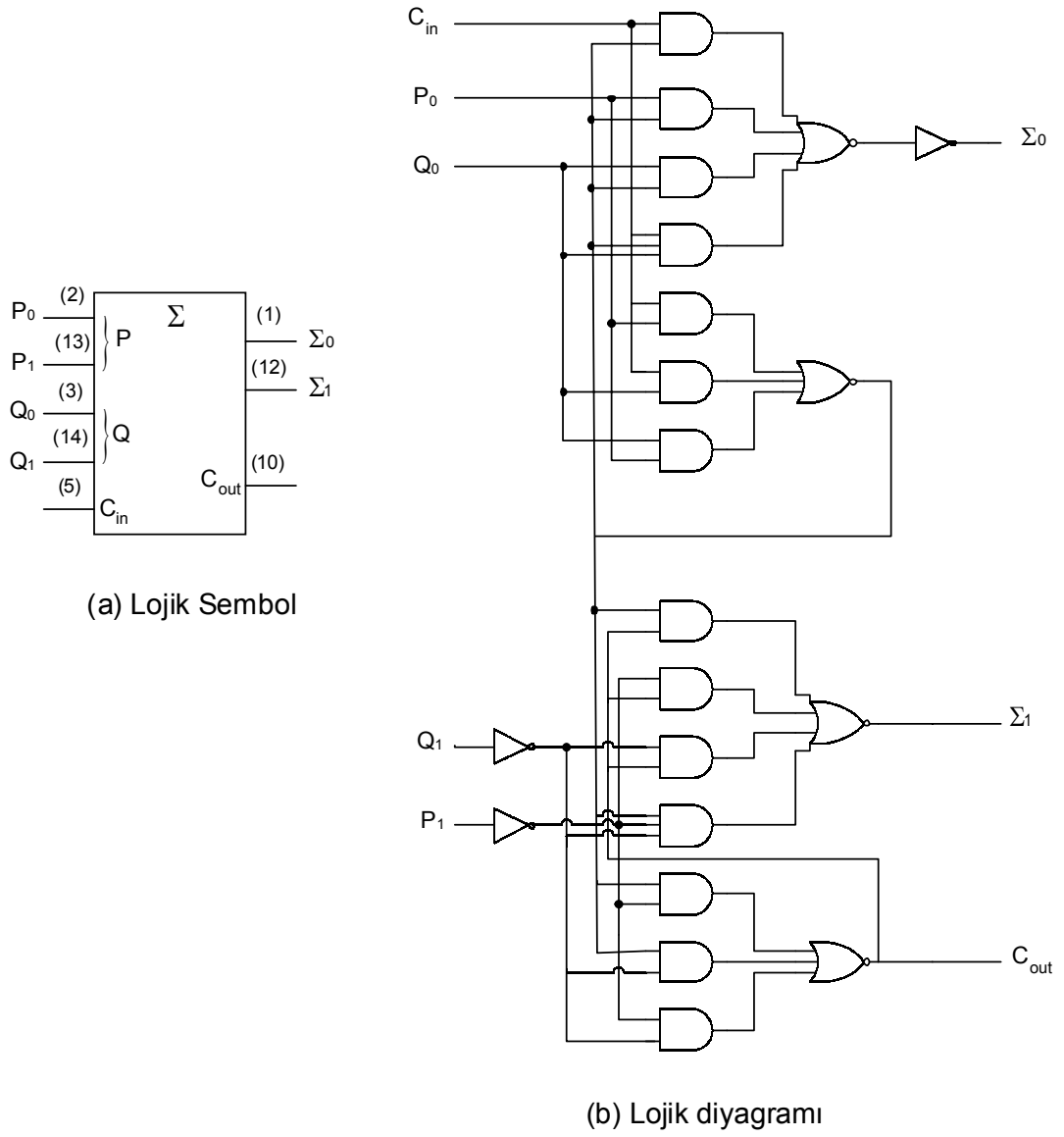
Böyle bir devre ile iki bitlik verilerin toplama işlemi gerçekleştirilir. İki bitlik iki verinin toplanmasını sağlamak için iki tam toplayıcıya ihtiyaç vardır. Toplam işlemi en düşük değerlikli bitlerin toplamı ile başlayacaktır. Bu toplam işleminden oluşan elde (0 veya 1) bir sonraki toplama işlemine eklenmek zorundadır. İki bitlik P ile Q verilerinin toplanması ile işlemi açıklayalım;

Aşağıda iki tam toplayıcının paralel bağlanması ile elde edilmiş iki-bit paralel toplayıcı devresi ve sembolü verilmiştir. En yüksek değerlikli bitlerin toplamından oluşan elde toplama sonucunun en yüksek basamağıdır.



Şekil 6.7

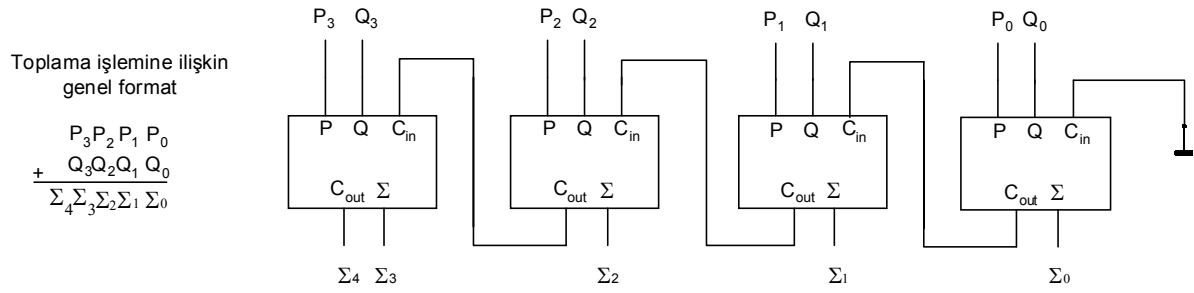
Not: En düşük değerlikli basamakların toplamına hiçbir zaman bir elde girişi olmadığından birinci tam toplayıcının C_{in} girişi toprağa (Lojik-0) bağlanmıştır.



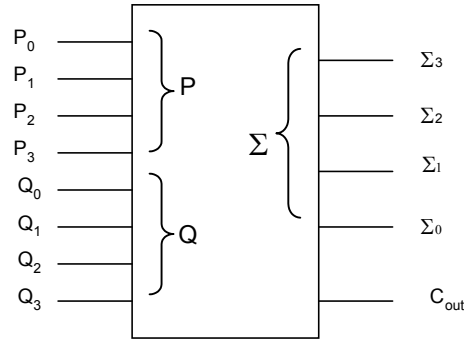
Şekil 6.8
İki bit binary paralel toplayıcı

6.1.1.3.A DÖRT-BİT PARALEL TOPLAYICI

Şekil 5.10' da dört-bit paralel toplayıcının blok diyagramı ve sembolü verilmiştir. Toplama işlemi için önce en düşük değerlikli bitler en sağdaki tam toplayıcı girişlerine uygulanır. Bütün tam toplayıcıların elde çıkışları (C_{out}) bir sonraki toplama işleminin yapılacağı tam toplayıcının elde girişlerine (C_{in}) bağlanmıştır.



(a) Blok diagram



(b) Lojik sembol

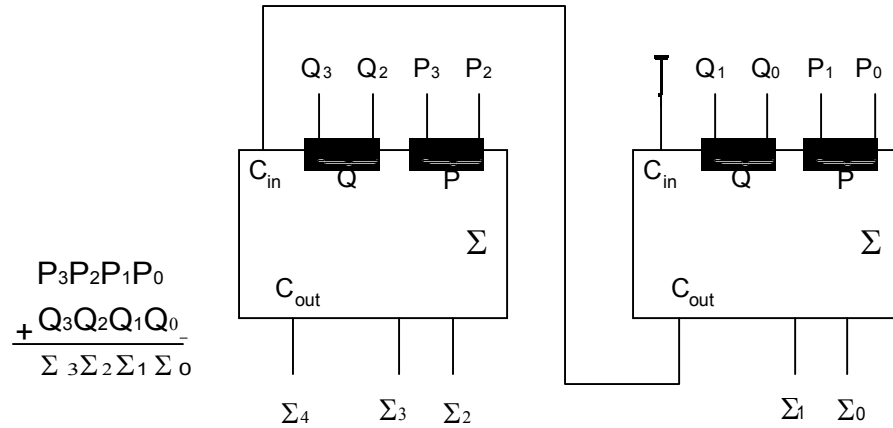
Şekil 6.9
Dört-bit paralel toplayıcı

Örnek:

İki tane 7482 İki-bit paralel toplayıcı kullanarak Dört-bit paralel toplayıcı elde ediniz.

Çözüm:

İki 7482 kullanarak dört-bit paralel toplayıcının elde edilmesi şekil 5.11’de gösterilmiştir. Düşük değerlikli iki bit birinci paralel toplayıcı girişlerinde toplanır. Yüksek değerlikli iki bitin toplamı ise ikinci paralel toplayıcıda gerçekleştirilir. Bu toplamdan oluşan elde toplama işleminin en yüksek basamağı olur.

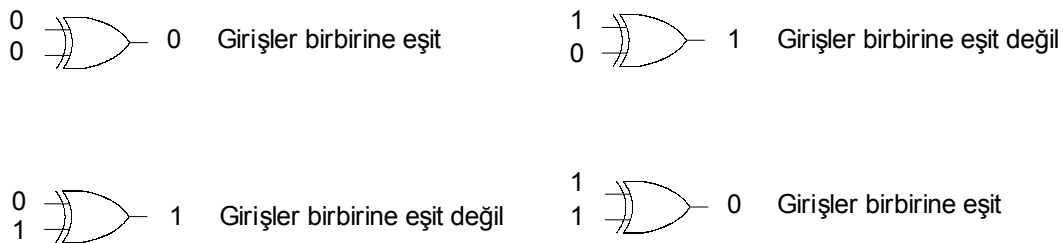


Şekil 6.10
İki 7482 ile Dört-bit Paralel Toplayıcı

6.2 KARŞILAŞTIRICILAR(COMPARATORS)

Karşılaştırma işlemi girişindeki sayısal bilgilerden birinin diğerine göre büyük,küçük veya eşit olma durumlarının belirlenmesidir.

En temel karşılaştırıcı devreleri Özel-Veya (Xor) kapılarıdır. Bir Özel-Veya kapısının girişleri farklı iken çıkış Lojik-1,girişleri aynı iken çıkış Lojik-0’dır. Şekil 5.12 Özel-Veya kapısı ile temel karşılaştırma işlemini göstermektedir.



Şekil 6.12
Temel Karşılaştırma işlemi

Özel-Veya kapısı ile girişlerindeki iki bitlik bilginin eşit olup olmadığı görülür. Ancak bir karşılaştırıcının eşitlik durumu ile birlikte bilginin küçük veya büyük olması durumlarını göstermesi beklenir.

Örnek:

Bir bitlik A ve B verilerini karşılaştıran bu karşılaştırma sonunda $A > B$, $A = B$, $A < B$ durumlarını gösteren devreyi tasarlayınız.

Devreye ait doğruluk tablosu aşağıdaki gibi olacaktır;

Girişler		Çıkışlar		
A	B	$A > B$	$A = B$	$A < B$
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

Doğruluk tablosu yardımı ile çıkışlar yazılırsa,

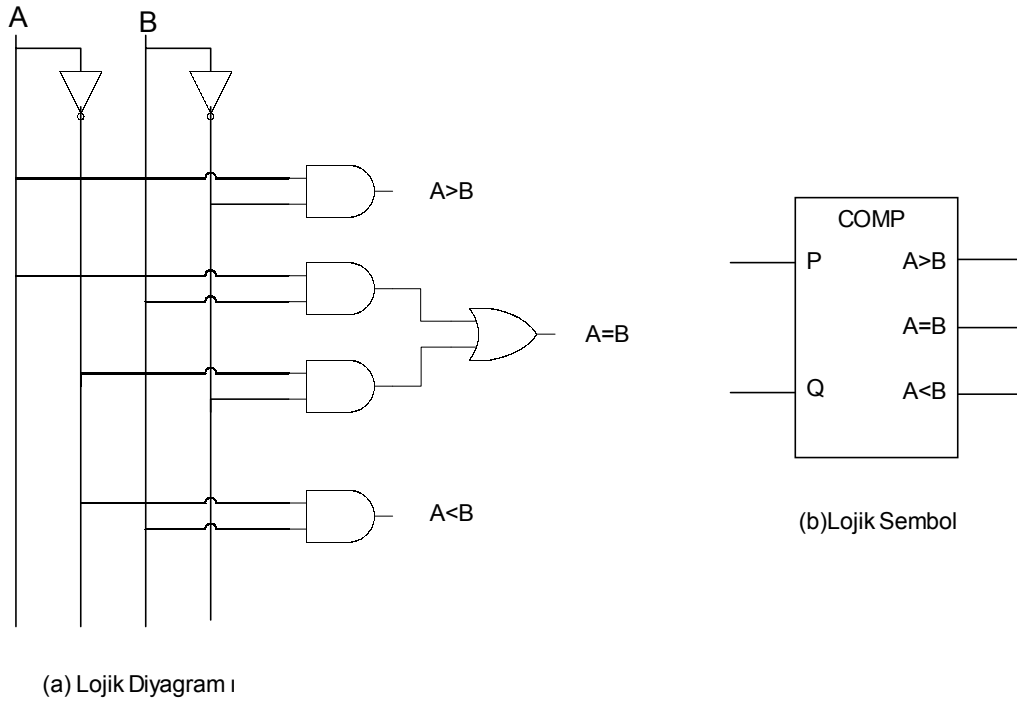
$$(A > B) = A \cdot \bar{B}$$

$$(A = B) = \bar{A} \cdot \bar{B} + A \cdot B = \overline{A \oplus B}$$

$$(A < B) = \bar{A} \cdot B$$

olacaktır. Böyle bir devre ile bir bitlik iki verinin $A > B$, $A = B$, $A < B$ durumları belirlenecektir.

Şekil 5.13'de bir-bitlik büyüklük karşılaştırıcısının Lojik diyagramı ve sembolü verilmiştir.



Şekil 6.13
Bir-bitlik büyüklük karşılaştırıcı

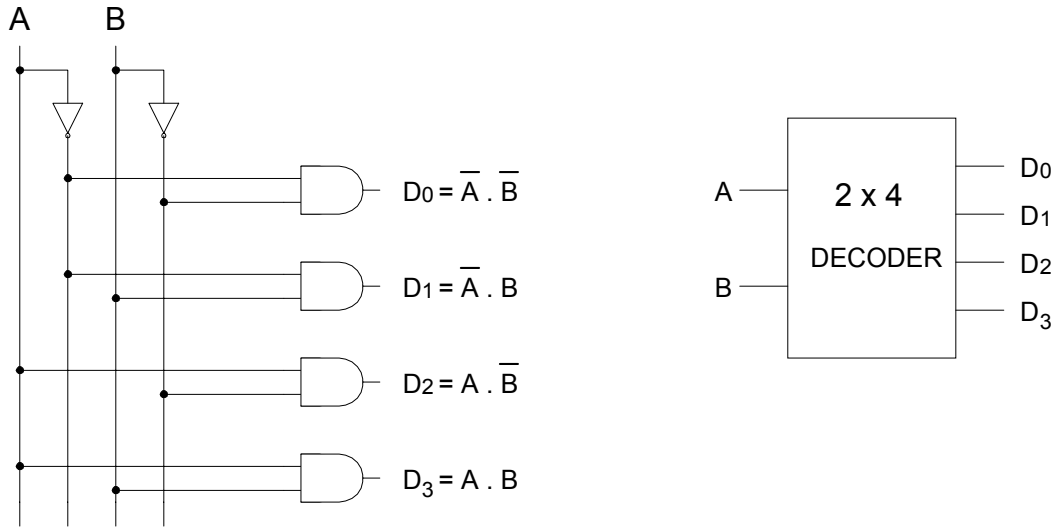
6.3.KOD ÇÖZÜCÜLER(DECODERS)

Sayısal sistemlerde bilgiler ikilik kodlarla tanımlanırlar. n bitlik bir ikilik kod ile 2^n kadar farklı durum tanımlanabilir. Bir kod çözücü, n giriş hattından gelen ikilik bilgileri maximum 2^n kadar farklı çıkış hattına dönüştüren birleşik bir devredir. Bir kod çözücünün n kadar girişi varsa 2^n kadar çıkışı vardır. Kullanılmayan veya dikkate alınmaz durumlar varsa kod çözücü çıkışı 2^n den az olacaktır.

6.3.1 İKİ BİTLİK KOD ÇÖZÜCÜ

İki bitlik bir kod çözücünün 2 girişi 4 çıkışı vardır. Böyle bir devre için girişlerin durumuna bağlı olarak sadece tek bir çıkış doğru olacaktır. Aşağıda 2x4 Kod çözücünün doğruluk tablosu ,Lojik diyagramı ve sembolü verilmiştir.

A	B	D ₀	D ₁	D ₂	D ₃
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

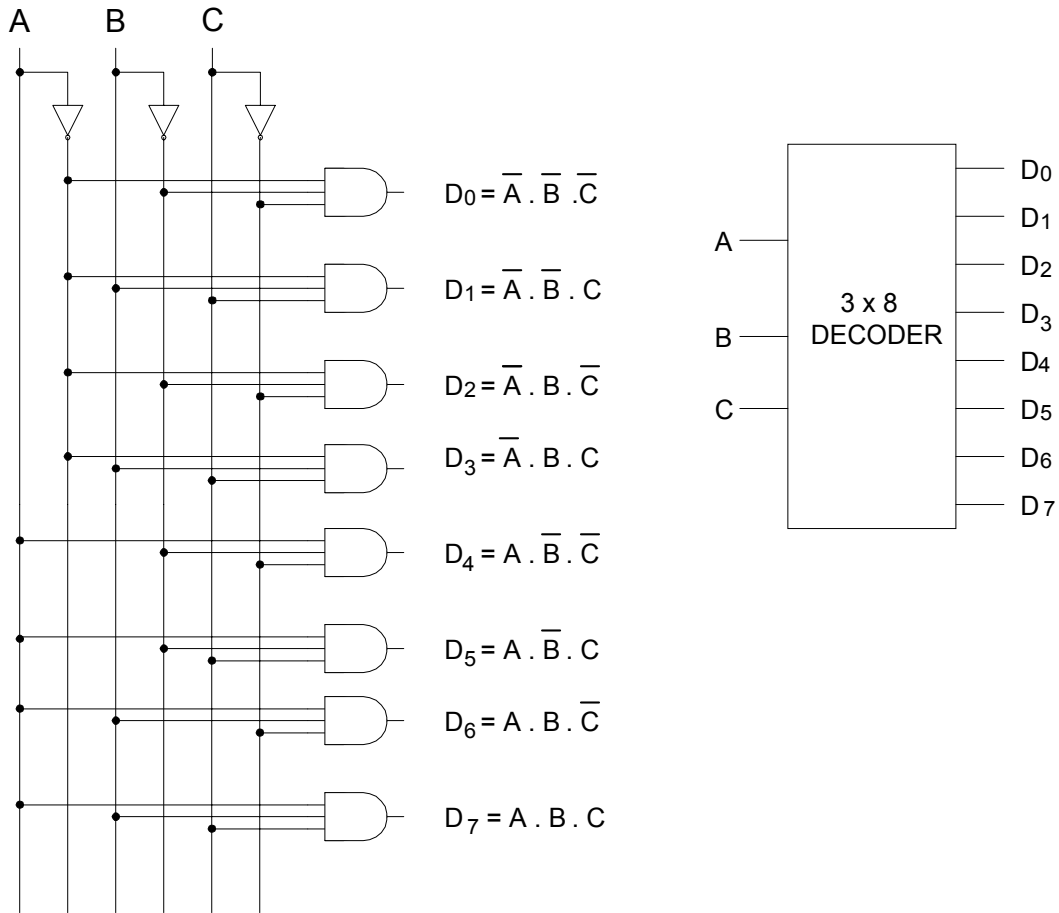


Şekil 6.14 İki bitlik kod çözücü

6.3.2. ÜÇ BİTLİK KOD ÇÖZÜCÜ

Üç bitlik kod çözücüde(decoder) üç girişin kodu çözülerek sekiz çıkış üretir. Her çıkış bu üç giriş değişkenine ait bir minimum terimle tanımlanır. Girişlerin durumuna bağlı olarak sadece tek bir çıkışı doğrudur.

Decimal	A	B	C	D ₀	D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇
0	0	0	0	1	0	0	0	0	0	0	0
1	0	0	1	0	1	0	0	0	0	0	0
2	0	1	0	0	0	1	0	0	0	0	0
3	0	1	1	0	0	0	1	0	0	0	0
4	1	0	0	0	0	0	0	1	0	0	0
5	1	0	1	0	0	0	0	0	1	0	0
6	1	1	0	0	0	0	0	0	0	1	0
7	1	1	1	0	0	0	0	0	0	0	1



6.15. Üç bitlik kod çözücü

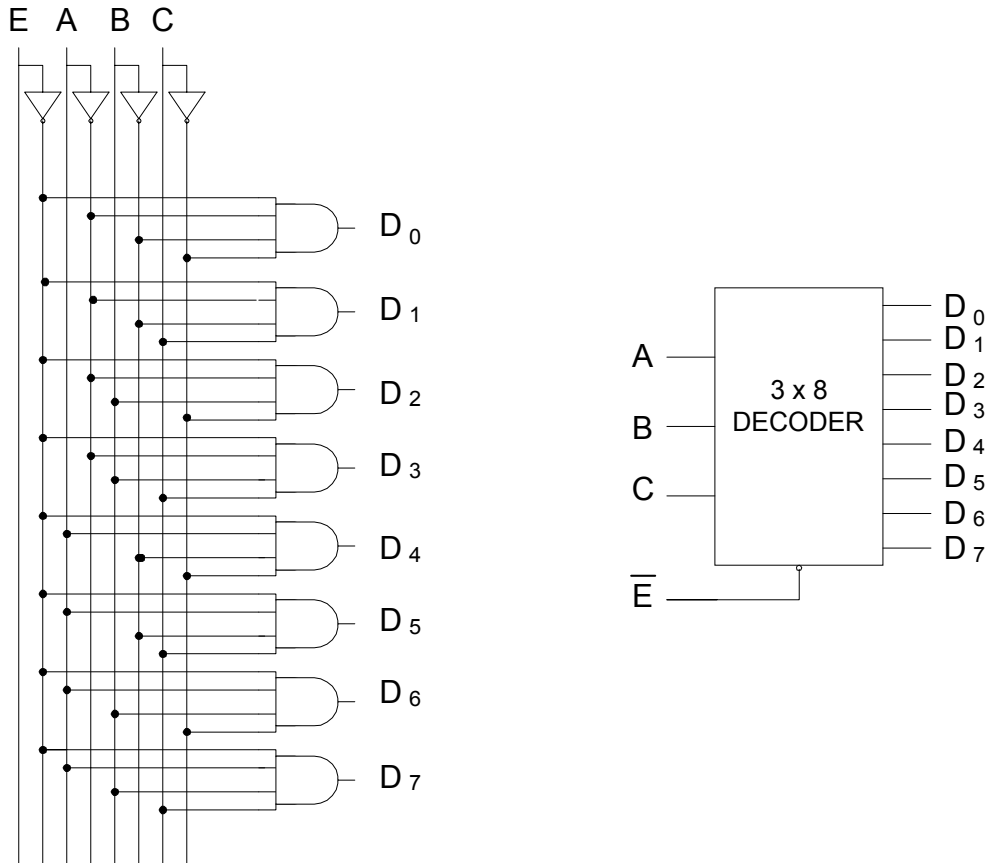
6.3.3. YETKİ GİRİŞLİ KOD ÇÖZÜCÜLER

Kod çözücülerin tamamı olmasada büyük bir bölümü bir veya birden çok yetki (enable) girişi içerir. Kod çözücü (decoder) sadece yetkilendiğinde (enable girişine gelen Lojik-1 veya Lojik-0) kod çözme işlemini gerçekleştirir. Diğer bütün durumlarda kod çözücü (decoder) çıkışları Lojik-1 veya Lojik-0 olur.

Not: Yetkilendirme, çalışılan decoder özelliğine göre Lojik-1 veya Lojik-0 da olabilir.

Aşağıda Lojik-0 da yetkilenen 3x8 Decoder'ın doğruluk tablosu verilmiştir.

E	A	B	C	D ₀	D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇
1	X	X	X	0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0
0	1	0	1	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	0	0	0	1	0
0	1	1	1	0	0	0	0	0	0	0	1



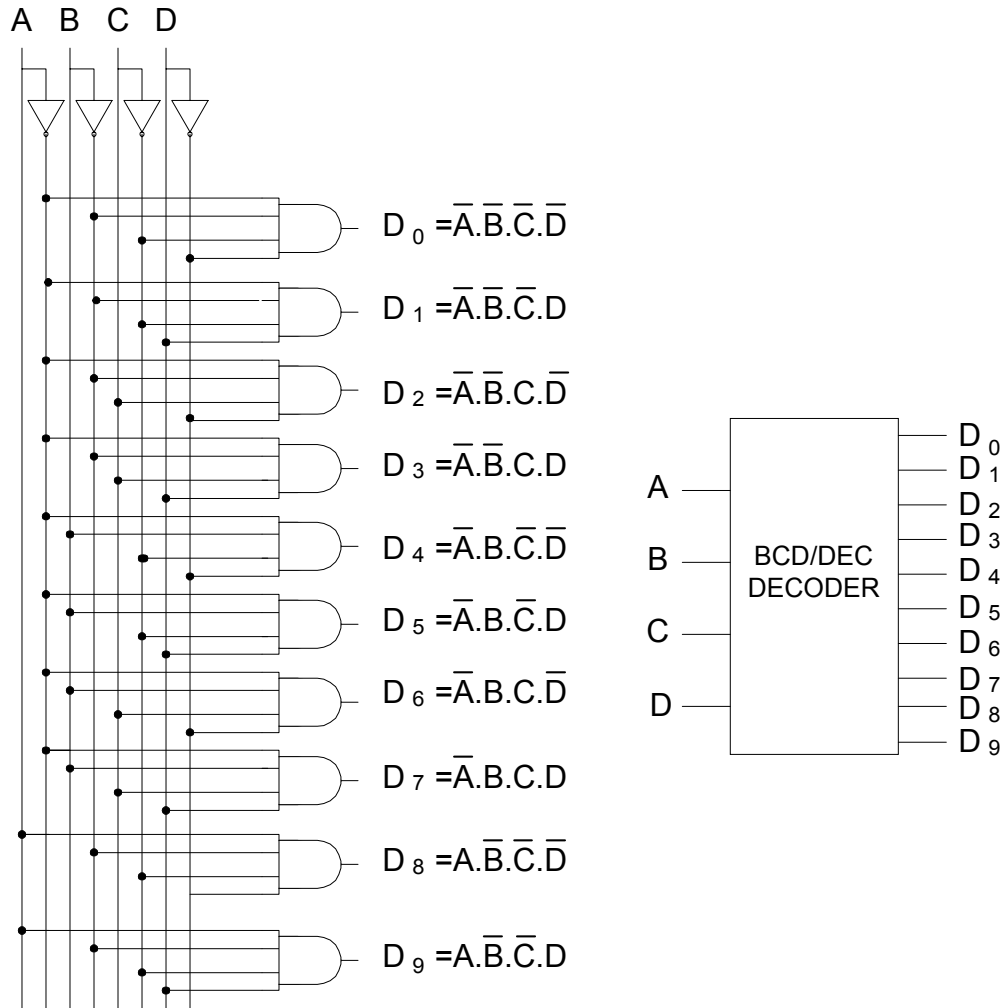
Şekil 6.16

Aşağıda yetki giriqli 4x16 Decoder olan 4514 entegresinin doğruluk tablosu ve Lojik sembolü verilmiştir. Inhibit (INH) adlı giriş Decoder için yetkilendirme girişidir. Eğer bu giriş Lojik-1'e çekilmezse kodçözme işlemi gerçekleştirilmez ve bütün çıkışlar Lojik-0 olur. Harici bir giriş olan Strobe (ST) devre içindeki bir Latch'e (Mandal- Veri tutucu)

çalışmasına kumanda etmektedir.Eğer bu giriş Lojik-1'e çekilmezse diğer girişlerdeki (D,C,B,A) değişim ne olursa olsun eski durum korunacaktır.

[illegible]

[illegible]

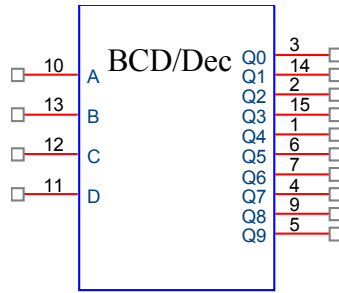


Şekil 6.18 BCD/DEC Kod çözücü

4028 BCD-DECİMAL DECODER

Aşağıda BCD- Decimal Kod çözücü olan 4028 entegresinin doğruluk tablosu ve Lojik sembolü verilmiştir.

D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	0	0	1	0	0	0	0
0	1	1	0	0	0	0	0	0	0	1	0	0	0
0	1	1	1	0	0	0	0	0	0	0	1	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0
1	0	0	1	0	0	0	0	0	0	0	0	0	1
1	0	1	0	0	0	0	0	0	0	0	1	0	0
1	0	1	1	0	0	0	0	0	0	0	0	1	0
1	1	0	0	0	0	0	0	0	0	0	0	0	1
1	1	0	1	0	0	0	0	0	0	0	0	0	1
1	1	1	0	0	0	0	0	0	0	0	0	1	0
1	1	1	1	0	0	0	0	0	0	0	0	0	1



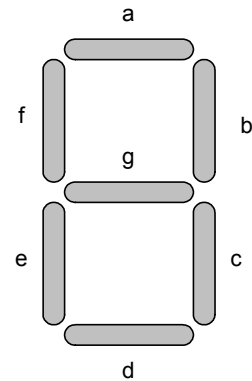
4028

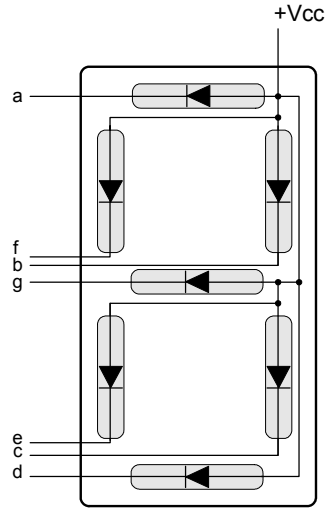
6.19. 4028 BCD/Dec kod çözücü

6.3.5. BCD SEVEN SEGMENT KOD ÇÖZÜCÜ

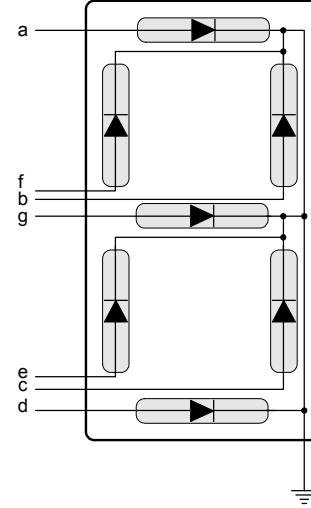
Yedi ayrı Led'in uygun bağlanması ile 0-9 arasındaki sayıları görüntüleyebiliriz. Bu işlemi yapan devre elemanına yedi parçalı gösterge(seven segment display) adı verilir. Display led bağlantılarına göre ortak anot veya ortak katot'lu olabilir.

Şekil 6.20 Seven Segment Display gösterimi





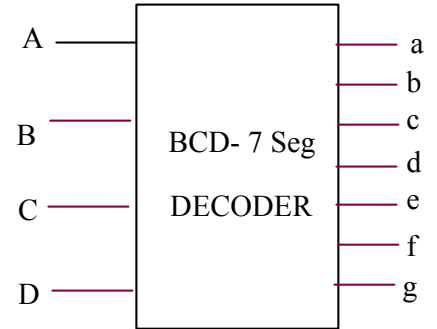
Şekil 6.20 Ortak Anot Display



Şekil 6.21 Ortak katot Display

Aşağıda Ortak Katotlu Display için BCD- Seven Segment Decoder doğruluk tablosu verilmiştir

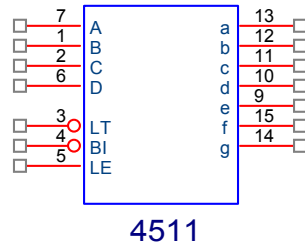
Dec	A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1



Şekil 6.21 BCD/Seven segment kod çözücü

Aşağıda ortak katotlu display için BCD- Seven Segment Decoder olan 4511 entegresinin doğruluk tablosu ve lojik sembolü verilmiştir.

Inputs							Outputs							
LE	$\overline{\text{BI}}$	$\overline{\text{LT}}$	D	C	B	A	a	b	c	d	e	f	g	Display
X	X	0	X	X	X	X	1	1	1	1	1	1	1	B
X	0	1	X	X	X	X	0	0	0	0	0	0	0	
0	1	1	0	0	0	0	1	1	1	1	1	1	0	0
0	1	1	0	0	0	1	0	1	1	0	0	0	0	1
0	1	1	0	0	1	0	1	1	0	1	1	0	1	2
0	1	1	0	0	1	1	1	1	1	1	0	0	1	3
0	1	1	0	1	0	0	0	1	1	0	0	1	1	4
0	1	1	0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	1	0	0	0	1	1	1	1	1	6
0	1	1	0	1	1	1	1	1	1	0	0	0	0	7
0	1	1	1	0	0	0	1	1	1	1	1	1	1	8
0	1	1	1	0	0	1	1	1	1	0	0	1	1	9
0	1	1	1	0	1	0	0	0	0	0	0	0	0	
0	1	1	1	0	1	1	0	0	0	0	0	0	0	
0	1	1	1	1	0	0	0	0	0	0	0	0	0	
0	1	1	1	1	0	1	0	0	0	0	0	0	0	
0	1	1	1	1	1	0	0	0	0	0	0	0	0	
0	1	1	1	1	1	1	0	0	0	0	0	0	0	
1	1	1	X	X	X	X	0	0	0	0	0	0	0	

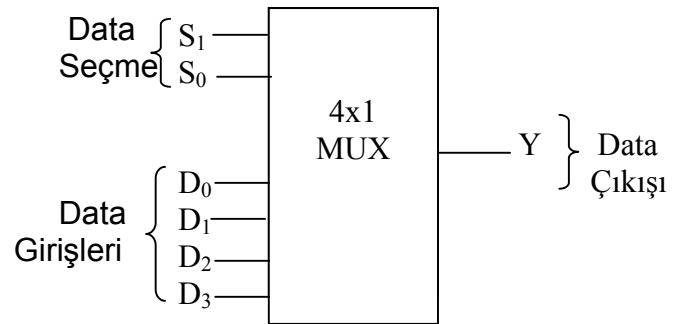


Şekil 6.22

MULTIPLEXERS(DATA SELECTORS-ÇOĞULLAYICILAR)

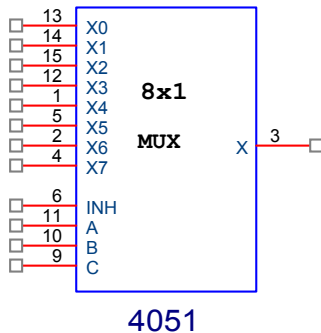
Çoğullama çok sayıdaki bilginin,daha az sayıda kanal veya hat üzerinden iletilmesi anlamına gelir. Sayısal çoğullayıcı, birçok giriş hattının birisinden gelen ikilik bilgileri seçen ve tek bir çıkış hattına yönlendiren birleşik bir devredir. Belli bir girişin seçilmesi bir dizi seçme hattı ile kontrol edilir. Bir çoğulayıcı için **2ⁿ sayıda giriş hattı varsa hangi girişin seçileceğini belirleyen n kadar seçme hattı vardır.**

Data Inputs	Select	Data Output
S ₁	S ₀	Y
0	0	D ₀
0	1	D ₁
1	0	D ₂
1	1	D ₃



Şekil 6.23

Bazı durumlarda kod çözücülerde olduğu gibi Multiplexler içinde çalışmayı kontrol eden bir yetkilendirme (enable) girişi bulunabilir. Multiplex (çoğullayıcı) ancak yetkilendirildiğinde çoğullama işlemini gerçekleştirir. Yetkilendirme girişi, iki veya daha fazla sayıda Multiplex' in birleştirilerek daha çok sayıda girişli bir sayısal çoğullayıcının elde edilmesinde kullanılır.Aşağıda yetki girişli bir Multilex olan 4051 entegresinin doğruluk tablosu ve Lojik sembolü verilmiştir. Yetkilendirme girişi Inhibit (INH) olarak adlandırılmıştır.



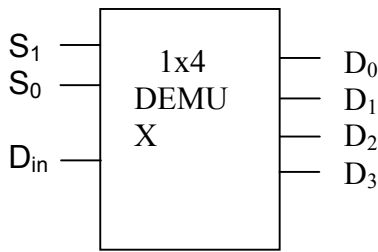
Şekil 6.24

Input States				Output
INH	C	B	A	X
0	0	0	0	X ₀
0	0	0	1	X ₁
0	0	1	0	X ₂
0	0	1	1	X ₃
0	1	0	0	X ₄
0	1	0	1	X ₅
0	1	1	0	X ₆
0	1	1	1	X ₇
1	X	X	X	*

6.5 DEMULTIPLEXLER(BİLGİ DAĞITICILAR-DATA DISTRIBUTORS)

Demultiplex (Bilgi Dağıtıcı) tek bir hattan bilgi alan ve bu bilgiyi olası 2^n sayıda çıkış hattından birisi üzerinden ileten bir devredir. Belli bir çıkış hattının seçimi n kadar çıkış hattının durumları tarafından kontrol edilir.

Aşağıda iki seçme hattı ve dört çıkış hattı olan bir DEMUX' un doğruluk tablosu ve lojik sembolü verilmektedir.



Şekil 6.25

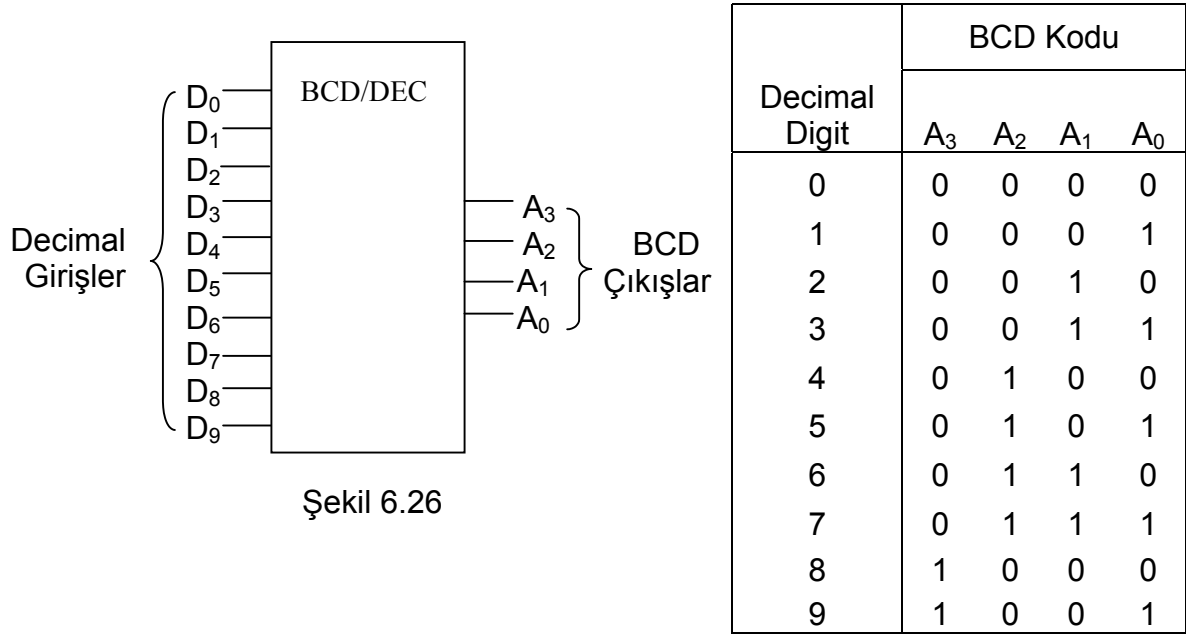
S_1	S_0	D_0	D_1	D_2	D_3
0	0	D_{in}	0	0	0
0	1	0	D_{in}	0	0
1	0	0	0	D_{in}	0
1	1	0	0	0	D_{in}

6.6. ENCODER (KODLAYICILAR)

Kodlayıcı devre (encoder circuit) kod çözücü devrenin tersi işlemi yapar. Bu devreler, decimal veya bilinen klasik şekillerdeki bilgileri sayısal devrelerin işlem yapabileceği şekle dönüştürürler. Bir kodlayıcının (encoder) 2^n (yada daha az) giriş hattı ve n sayıda çıkış hattı üretir.

6.6.1. DECİMAL-BCD ENCODER

Decimal – BCD encoder girişindeki decimal bilgiyi kodlayarak BCD kod karşılığını dört çıkışta gösterir. Aşağıda 10x4 encoder lojik sembolü ve doğruluk tablosu verilmiştir.



Şekil 6.26

Çıkışları Lojik ifade doğruluk tablosundan yazmak istersek;

$$A_3 = D_8 + D_9$$

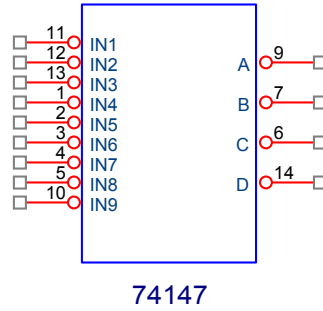
$$A_2 = D_4 + D_5 + D_6 + D_7$$

$$A_1 = D_2 + D_3 + D_6 + D_7$$

$$A_0 = D_1 + D_3 + D_5 + D_7 + D_9$$

Aşağıda Decimal-BCD Encoder' in Lojik diyagramı verilmiştir.

GİRİŞLER									ÇIKIŞLAR			
IN ₁	IN ₂	IN ₃	IN ₄	IN ₅	IN ₆	IN ₇	IN ₈	IN ₉	D	C	B	A
1	1	1	1	1	1	1	1	1	1	1	1	1
X	X	X	X	X	X	X	X	0	0	1	1	0
X	X	X	X	X	X	X	0	1	0	1	1	1
X	X	X	X	X	X	0	1	1	1	0	0	0
X	X	X	X	X	0	1	1	1	1	0	0	1
X	X	X	X	0	1	1	1	1	1	0	1	0
X	X	X	0	1	1	1	1	1	1	0	1	1
X	X	0	1	1	1	1	1	1	1	1	0	0
X	0	1	1	1	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	1	0

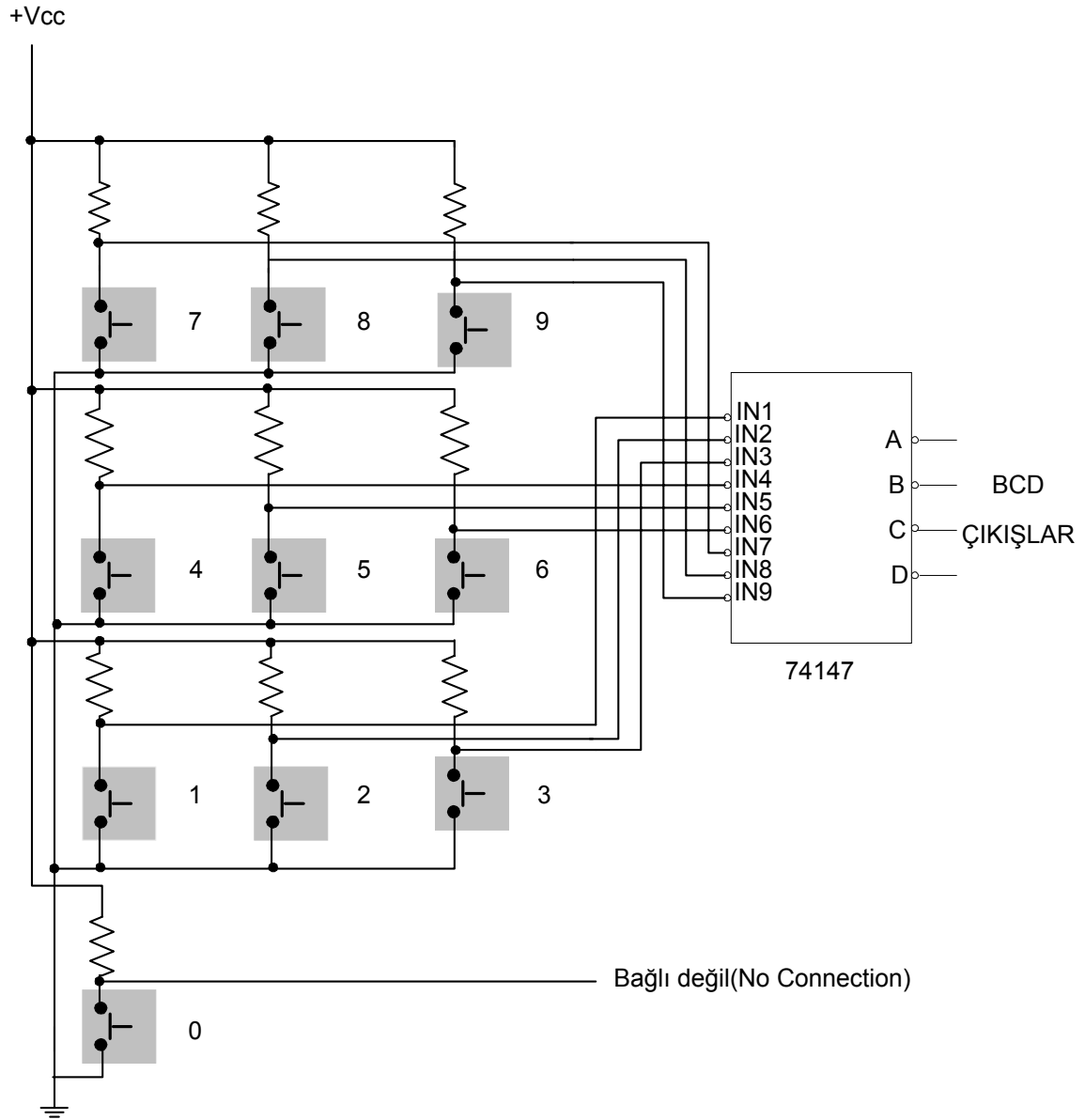


Şekil 6.28

Yukarıdaki doğruluk tablosu yardımıyla kodlayıcının çalışması anlaşılabilir. Eğer öncelikli girişlerden birisine Lojik-0 gelmişse diğer girişlerin durumuna bakılmaksızın girişin değillenmiş BCD kod karşılığı gösterilir. Örneğin IN6 girişine gelen Lojik-0 ile daha az öncelikli girişlerin durumları önemsiz olur.

Aşağıda Decimal- BCD öncelikli kodlayıcı ile yapılmış basit bir on tuşlu klavye uygulaması verilmiştir. Encoderin bütün girişler pull-up dirençleri ile Lojik-1'e çekilmiştir. Klavyedeki herhangi bir tuşa basılması ile ilgili giriş Lojik-0'a çekilir ve girişteki Decimal değerin terslenmiş BCD kod karşılığı BCD Çıkışlarında verilecektir.

Not: Klavyedeki hiçbir tuşa basılmaması veya hiçbir girişe bağlı olmayan 0 nolu tuşa basılması ile girişlerde bir değişiklik olmayacak ve çıkışta 0 rakamının terslenmiş BCD kod karşılığı verilecektir.



Şekil 6.29

6.7 PARITY GENARATORS/ CHECKERS

Sayısal sistemlerin birbirleri ile haberleşmesi sırasında iletilen bilginin değişmesi oldukça sıklıkla karşılaşılan bir konudur. Bilgi değişimlerini kontrol edebilmek ve gönderilen bilginin doğruluğunu kontrol etmek amacı ile Parity Kodu (Hata Tesbit) kodları ortaya çıkmıştır.

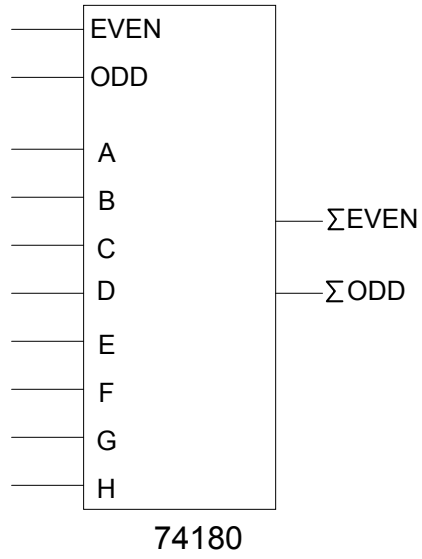
Veriye özel bir bit ekleme yöntemi ile veri tümleştirme sağlanabilir. Fazladan eklenen eşlik biti (parity bit)i verilen kod kelimesindeki hatanın bulunmasını sağlayacaktır. Basit bir eşlik bitinin kodlanması tek yada çift taban üzerine yapılır. Tek eşlik bitinde veri içindeki 1'lerin sayısı tek, çift eşlik bitinde ise 1'lerin sayısı çifttir.

Decimal Sayı	Gönderilecek Bilgi	Tek Eşlik Bit	Çift Eşlik Biti
0	0000	1	0
1	0001	0	1
2	0010	0	1
3	0011	1	0
4	0100	0	1
5	0101	1	0
6	0110	1	0
7	0111	0	1
8	1000	0	1
9	1001	1	0
10	1010	0	1
11	1011	0	1
12	1100	1	0
13	1101	0	1
14	1110	0	1
15	1111	1	0

Tablo 2.11

Not: Tek eşlik biti ile çift eşlik bitinin birbirinin tümleyeni olduğu tablodan görülmelidir.

Sayısal devreler için parity biti üreten devrelere parity genarator adı verilir. Aşağıda 74180 On-Bit parity genarator/ checker entegresinin doğruluk tablosu ve lojik sembolü verilmiştir.



GİRİŞLER			ÇIKIŞLAR	
A-H içindeki Σ 1 sayısı	EVEN (ÇİFT)	ODD (TEK)	Σ EVEN	Σ ODD
ÇİFT(EVEN)	1	0	1	0
TEK (ODD)	1	0	0	1
ÇİFT(EVEN)	0	1	0	1
TEK (ODD)	0	1	1	0
X	1	1	0	0
X	0	0	1	1

Şekil 6.30