

Adı Soyadı:

No:

İmza:

Not: 1 ! 2 ! 3 ! 4 ! 5 ! T

! ! ! ! !

Sayısal Tasarım Final 1. Öğretim

10/01/2011

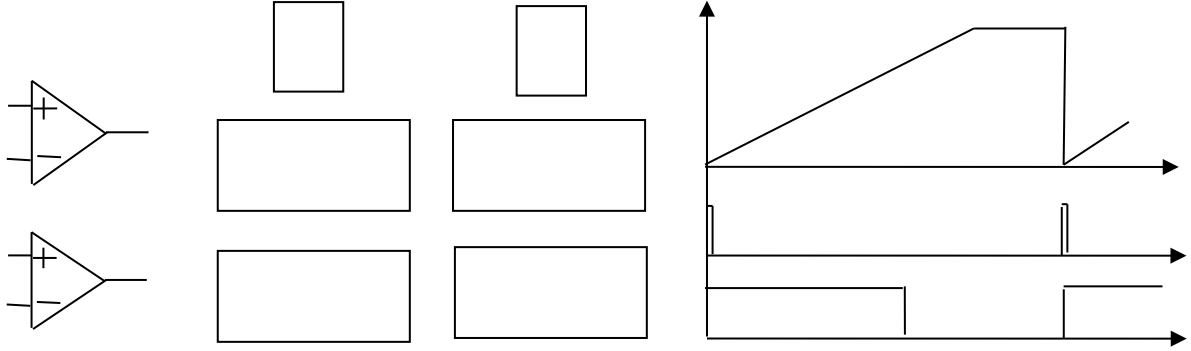
1. VEYADEĞİL (NOR) kapıları kullanarak 3 bitlik karşılaştırmacı tasarlayınız. 15p

2. 4 bitlik B sayısı ile 6 değerini çarpıp 1 ekleyecek devreyi tasarlayınız. 20p

3. K=1 iken birer birer ileri, K=0 iken ikişer ikişer ileri sayan 3 bitlik sayıcı devreyi T flip flop kullanarak tasarlayınız. 15P

T	$Q(t+1)$
0	$Q(t)$
1	$Q(t)'$

4. Blok diyagramı verilen sayısal voltmetrede $f_{clk}=200\text{Hz}$, $T_x=0.02\text{sn}$ olduğuna göre göstergede $V_x=1.6\text{V}$ değeri için görülecek sayı kaçtır? Göstergede doğru değer görülebilmesi için ne yapılmalıdır? 20P



5. a) Verilen 6 komutlu işlemci için aşağıdaki Makine kodları hangi programa karşılık gelmektedir. Assembler dili karşılığını veriniz. 15p

b) Programın çalışması nasıl gerçekleşir? Açıklayınız. Program çalıştıktan sonra r saklayıcılarının alacağı son değerleri gösteriniz. 15p + 10p BONUS

Komut 1: 8 bitlik c sabitini belirtilen r saklayıcısına kopyala

MOV Ra, #c 0011 r3r2r1r0 c7c6c5c4c3c2c1c0 Ra=c

Komut 2: b saklayıcısından c saklayıcısındaki değeri çıkar, işlem sonucunu a saklayıcısına kopyala

SUB Ra, Rb, Rc 0100 ra3ra2ra1ra0 rb3rb2rb1rb0 rc3rc2rc1rc0 Ra=Rb-Rc

Komut 3: Belirtilen a saklayıcısındaki değer sıfırdan farklı ise offset ile verilen 8 bit işaretli değer kadar ileri(+) Ya da geri(-) zıpla (adrese git)

JNZ Ra, offset 0101 ra3ra2ra1ra0 o7o6o5o4o3o2o1o0 Ra!=0 ise PC=PC+offset

Komut 4: Veri hafızasında d adresinde bulunan değeri a saklayıcısına kopyala

MOV Ra, d 0000 r3r2r1r0 d7d6d5d4d3d2d1d0 Ra=data(d)

Komut 5: a saklayıcısındaki değeri veri hafızasında d adresine kopyala

MOV d, Ra 0001 r3r2r1r0 d7d6d5d4d3d2d1d0 data(d)=Ra

Komut 6: b saklayıcısındaki değerle, c saklayıcısındaki değeri topla sonucu a saklayıcısına kopyala

ADD Ra, Rb, Rc 0010 ra3ra2ra1ra0 rb3rb2rb1rb0 rc3rc2rc1rc0 Ra=Rb+Rc

Adres	Komut	Assembler
00	0011 0001 1000 0000	_____,'_____,_____,_____
01	0011 0010 0000 0101	_____,'_____,_____,_____
02	0011 0011 0000 1010	_____,'_____,_____,_____
03	0011 0000 0000 0001	_____,'_____,_____,_____
04	0100 0010 0010 0000	_____,'_____,_____,_____
05	0101 0010 0000 0011	_____,'_____,_____,_____
06	0100 0001 0001 0011	_____,'_____,_____,_____
07	0101 0001 1111 1101	_____,'_____,_____,_____
08	0001 0001 0000 0101	_____,'_____,_____,_____

Sınav süresi 90 dakikadır. BAŞARILAR DİLERİM. M.Y.

Adı Soyadı:

No:

İmza:

Not: 1 ! 2 ! 3 ! 4 ! 5 ! T

! ! ! ! !

Sayısal Tasarım Final 2. Öğretim

10/01/2011

1. VEDEĞİL (NAND) kapıları kullanarak T flip flop tasarlayınız. 10p

2. a,b,c,d,e,f,g gibi 7 adet girişe sahip devrede "1" olan girişlerin toplam sayısını bulan sayısal devreyi tasarlayınız. 20p

3. Ötelemeli kaydedici (shift register) kullanarak 16 bit çıkarma işlemini 1 bit çıkarma devresi kullanarak gerçekleştirmek istiyoruz. Düzenegi tasarlayarak, çalışmasını kısaca açıklayınız. 20p

4. Bisiklet için (00-99km/s) hız ölçer devresi tasarlamak istiyoruz. Tekerlek 1 tur döndüğünde algılayıcıdan devremize 4 saat (clk) darbesi gelmektedir. Tekerlek

çevresi 2.5 metredir. Buna göre hazır paralel yüklemeli 4 bit BCD sayıcılardan oluşan ölçüm devresi blok diyagramını çiziniz. Sistem için gerekli zamanlamaları belirleyiniz. 20P

5. a) FPGA sisteminde kullanılan LUT (look up table), switch matrix, CLB (configurable logic block) modüllerini **en az 2 LUT kullanılacak** örnek bir tasarım yardımıyla açıklayınız. 15p

b) Verilen FPGA kodlarının her bir satırını açıklayınız ve devrenin blok diyagramını çizerek, devrede gerçekleştirilen işlemi belirleyiniz. 15p

```
module ma2(a,b,mi, s,do);
```

```
input [1:0] a,b;
input mi;
output [1:0] s;
output do ;
wire [1:0] s;
wire do;
wire tel1,tel2,tel3;
ma f1(a[0], b[0], mi, s[0], tel1);
ma f2(a[1], b[1], tel1, s[1], tel2);
endmodule
```

```
module ma( in_a, in_b, min, m, dout );
    input min;
    input in_a;
    input in_b;
    output m;
    output dout;
    reg m, dout;
    always @(in_a or in_b or min)
    begin
        m <= in_a ^ in_b ^ min;
        dout <= (in_b & min) | (in_a & min) | (in_a & in_b);
    end
endmodule
```

c) FPGA sisteminin alternatifi sistemlerle kıyaslamasını yaparak, FPGA uygulaması nasıl gerçekleştirilir açıklayınız. 15p

Sınav süresi 90 dakikadır. BAŞARILAR DİLERİM. M.Y.

FPGA Internals: Configurable Logic Blocks (CLBs)

- LUTs can only implement combinational logic
- Need flip-flops to implement sequential logic
- Add flip-flop to each LUT output
 - Configurable Logic Block (CLB)
 - LUT + flip-flops
 - Can program CLB outputs to come from flip-flops or from LUTs directly

