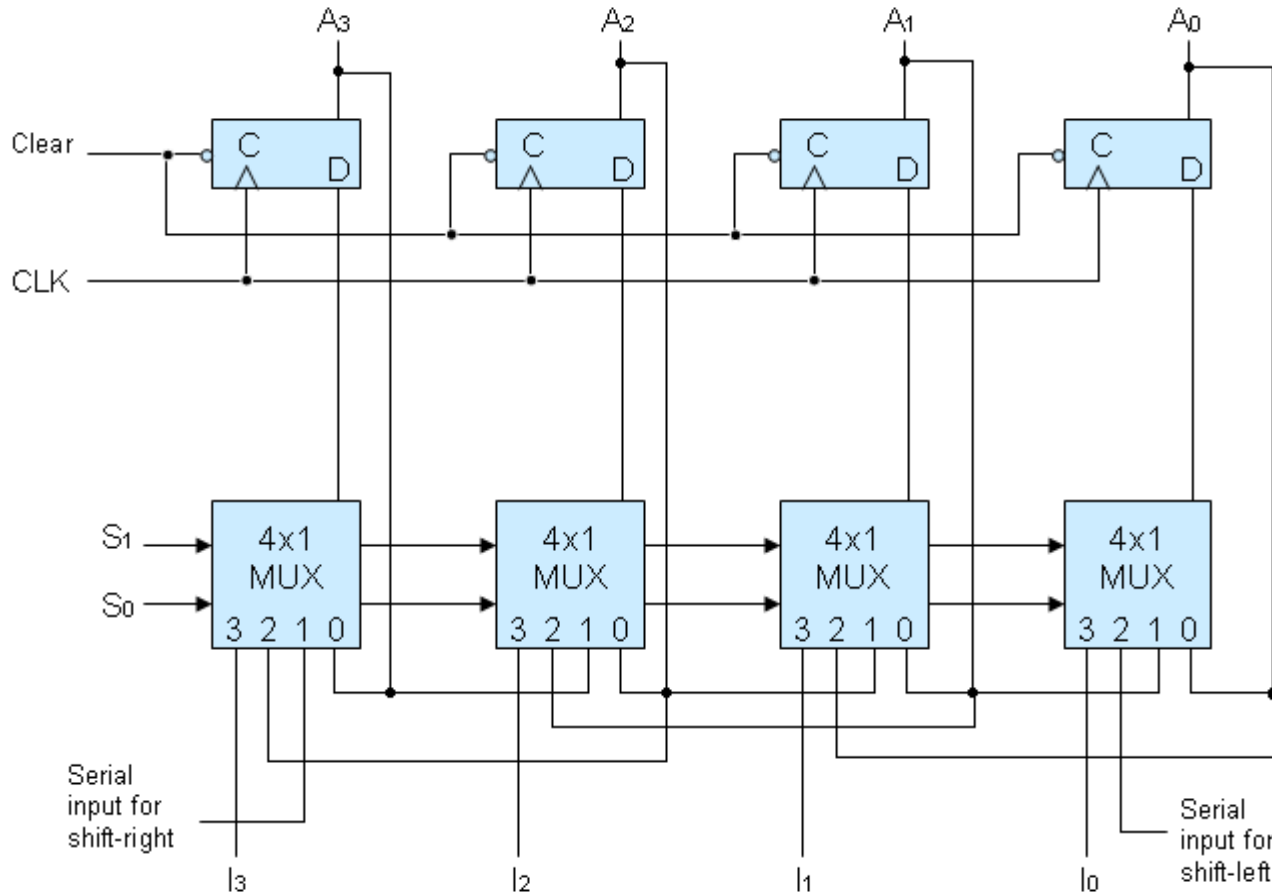


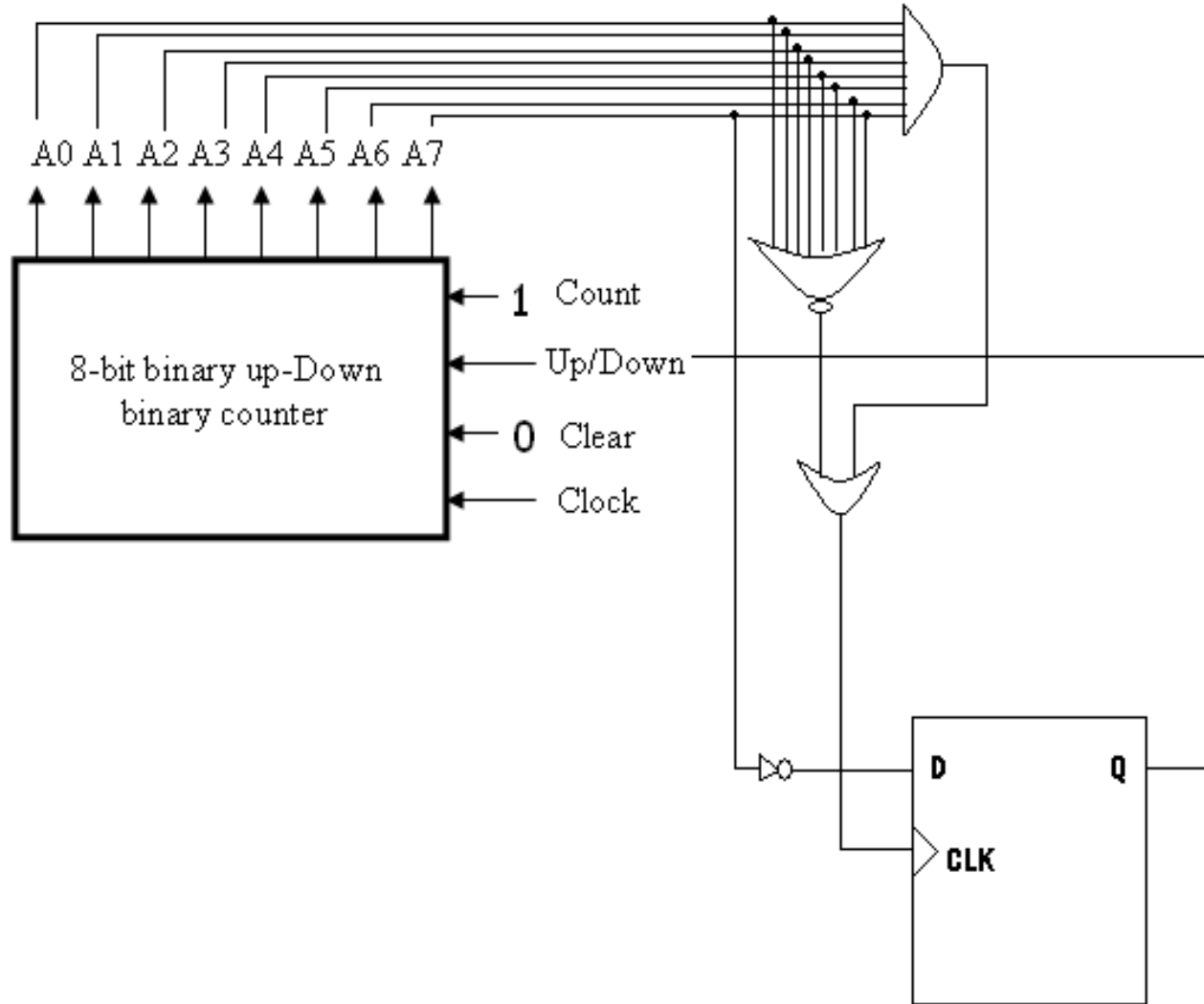
TOBB ETÜ BİL264 MANTIKSAL DEVRE TASARIMI

FİNAL SINAVI

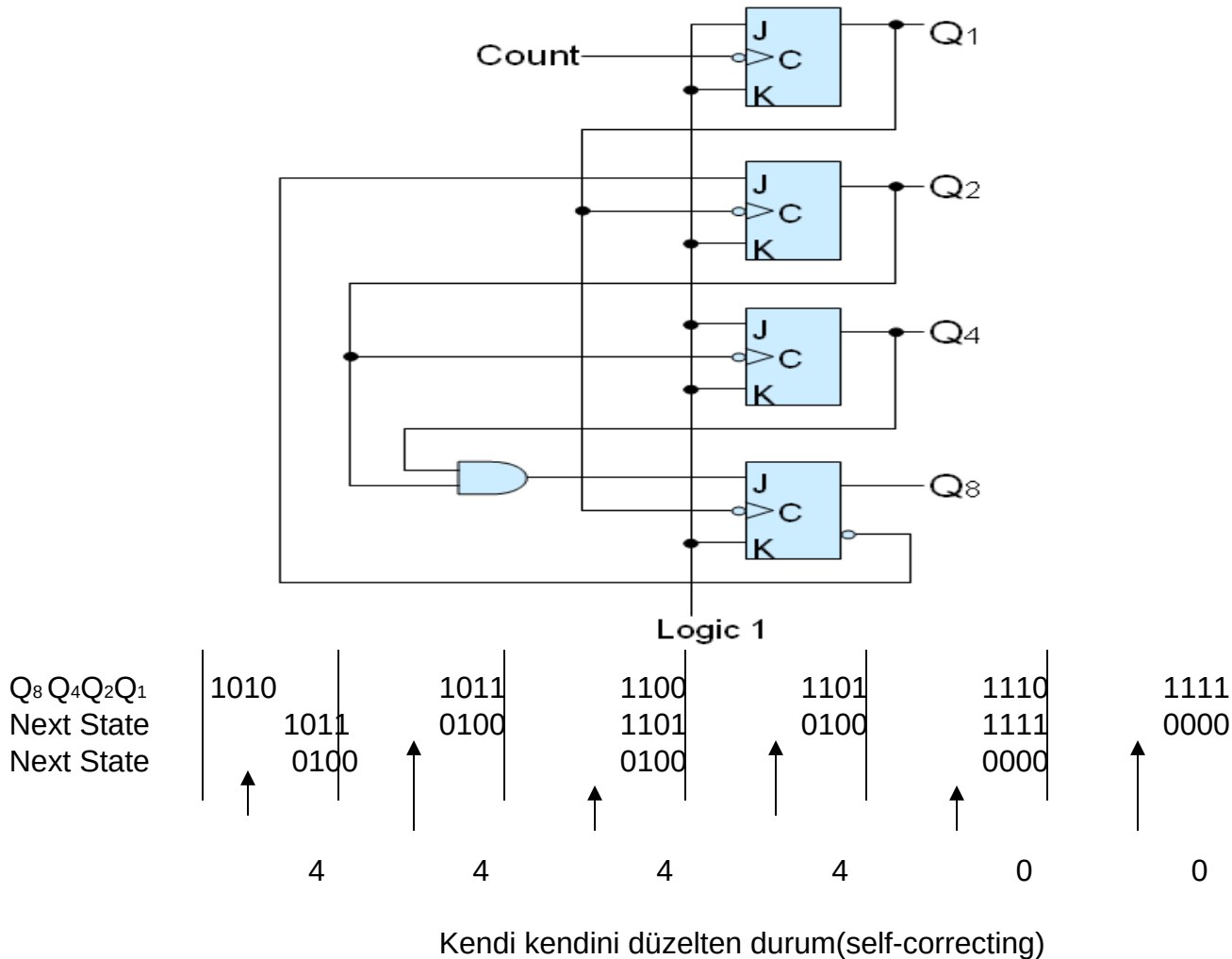
Soru 1) [25 puan] Aşağıdaki 4 bitlik evrensel kaydırmalı yazmacın (4 bit universal shift register) bağlantıları eksik bırakılmıştır. s_1 ve s_0 girişleri şu işlemleri gerçekleştirmektedir: $s_1s_0=00$ – değişiklik yok, $s_1s_0=01$ – sağa kaydır, $s_1s_0=10$ – sola kaydır, $s_1s_0=11$ – paralel yükle. Şekil üzerinde bağlantıları eksiksiz olarak tamamlayınız.



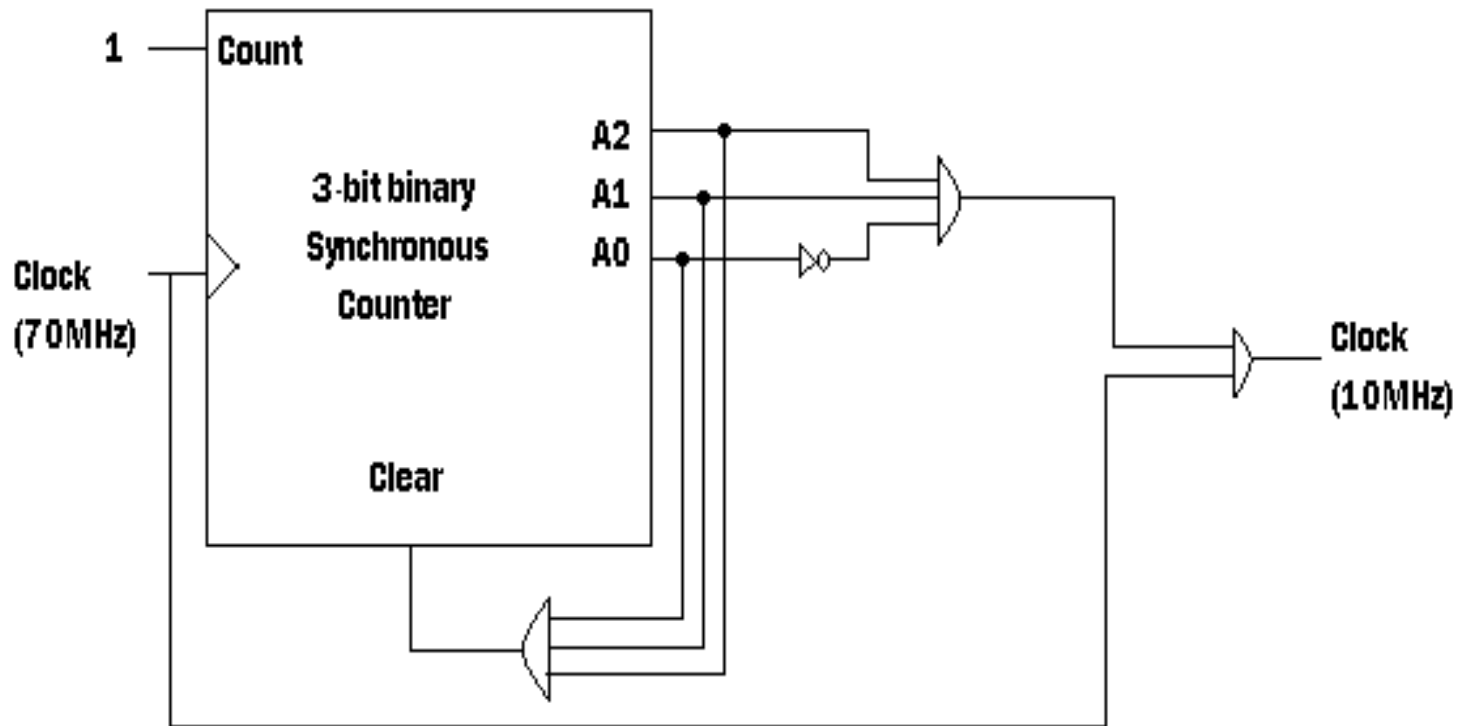
Soru 2) [25 puan] Aşağıda verilen 8 bitlik aşağı-yukarı ikili sayıcı (8 bit up-down binary counter), temel mantık kapıları ve flip-flop(lar) kullanarak sürekli aşağıdan yukarı ve yukarıdan aşağı sayan bir devre tasarlayınız (... 0'dan itibaren yukarı doğru artarak 255'e sonra 255'den aşağı azalarak 0'a ...). Yukarı-aşağı sayıcının Up-Down girişine 1 girince yukarı, 0 girince aşağı doğru sayar.



Soru 3) [25 puan] Aşağıda mantıksal diyagramı (logic diagram) gösterilen devre bir BCD ripple sayaçtır. 4 flip-flop ile 16 durum (state) ifade edilebilir. Bir BCD sayaçta normal şartlar altında toplam 10 durum vardır. Dolayısıyla 6 adet durum kullanılmamaktadır. Bu kullanılmayan durumlara normal işleyiş dışında (örneğin: gürültü sebebiyle) girilirse devre bir ya da daha çok durum değişimi sonucu kullanılan bir duruma girer mi (kendi kendini düzelten bir devre midir?— self correcting)? Tüm kullanılmayan durumlar için inceleyiniz.



Soru 4) [25 puan] 70 MHz'lik bir saat sinyalini 10 MHz'e düşüren bir mantıksal devre tasarlayın. Tasarımınızda sayaç(lar), çoğullayıcı(lar) (multiplexer), temel kapılar gibi standart mantıksal devre elemanlarını kullanabilirsiniz.



Soru 5) [25 puan] JK flip floplarını kullanarak aşağıda anlatılan işlemi gerçekleştiren bir mantıksal devre tasarlayın. Mantıksal devrenize 0 ile 7 arasında sayılar girilmektedir. Arka arkaya girilen iki adet sayının toplamı 2'den küçükse çıkışınız 1'dir. Arka arkaya girilen iki adet sayının toplamı 13den büyükse çıkışınız 2'dir. Diğer tüm durumlarda çıkış 0'dır.

Giris	Cevrimi
0	→ 00
1	→ 01
2-6	→ 10
7	→ 11

H ₁	I ₂ /I ₁ I ₀	00	01	11	10
0				1	1
1		1	1	1	1

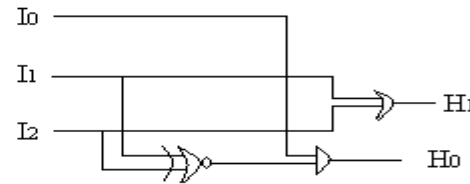
$$H_1 = I_1 + I_2$$

H ₀	I ₂ /I ₁ I ₀	00	01	11	10
0			1		
1				1	

$$H_0 = I_0 I_2' I_1' + I_0 I_2 I_1$$

$$= I_0 (I_2 \oplus I_1)'$$

I ₂	I ₁	I ₀	H ₁	H ₀
0	0	0	0	0
0	0	1	0	1
0	1	0	1	0
0	1	1	1	0
1	0	0	1	0
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1



Present State		Inputs		Next State		Outputs		Flip-flop Inputs			
A	B	H ₁	H ₀	A	B	O ₁	O ₀	J _A	K _A	J _B	K _B
0	0	0	0	0	0	0	1	0	X	0	X
0	0	0	1	0	1	0	1	0	X	1	X
0	0	1	0	1	0	0	0	1	X	0	X
0	0	1	1	1	1	0	0	1	X	1	X
0	1	0	0	0	0	0	1	0	X	X	1
0	1	0	1	0	1	0	0	0	X	X	0
0	1	1	0	1	0	0	0	1	X	X	1
0	1	1	1	1	1	0	0	1	X	X	0
1	0	0	0	0	0	0	0	X	1	0	X
1	0	0	1	0	1	0	0	X	1	1	X
1	0	1	0	1	0	0	0	X	0	0	X
1	0	1	1	1	1	0	0	X	0	1	X
1	1	0	0	0	0	0	0	X	1	X	1
1	1	0	1	0	1	0	0	X	1	X	0
1	1	1	0	1	0	0	0	X	0	X	1
1	1	1	1	1	1	1	0	X	0	X	0

O₁

H ₁ H ₀	00	01	11	10
AB				
00				
01				
11			1	
10				

$$O_1 = ABH_1H_0$$

J_A

H ₁ H ₀	00	01	11	10
AB				
00			1	1
01			1	1
11	X	X	X	X
10	X	X	X	X

$$J_A = H_1$$

J_B

H ₁ H ₀	00	01	11	10
AB				
00		1	1	
01	X	X	X	X
11	X	X	X	X
10		1	1	

$$J_B = H_0$$

O₀

H ₁ H ₀	00	01	11	10
AB				
00	1	1		
01	1			
11				
10				

$$O_0 = A'H_1'H_0' + A'B'H_1' = A'H_1'(H_0' + B)$$

K_A

H ₁ H ₀	00	01	11	10
AB				
00	X	X	X	X
01	X	X	X	X
11	1	1		
10	1	1		

$$K_A = H_1'$$

K_B

H ₁ H ₀	00	01	11	10
AB				
00	X	X	X	X
01	1			1
11	1			1
10	X	X	X	X

$$K_B = H_0'$$

