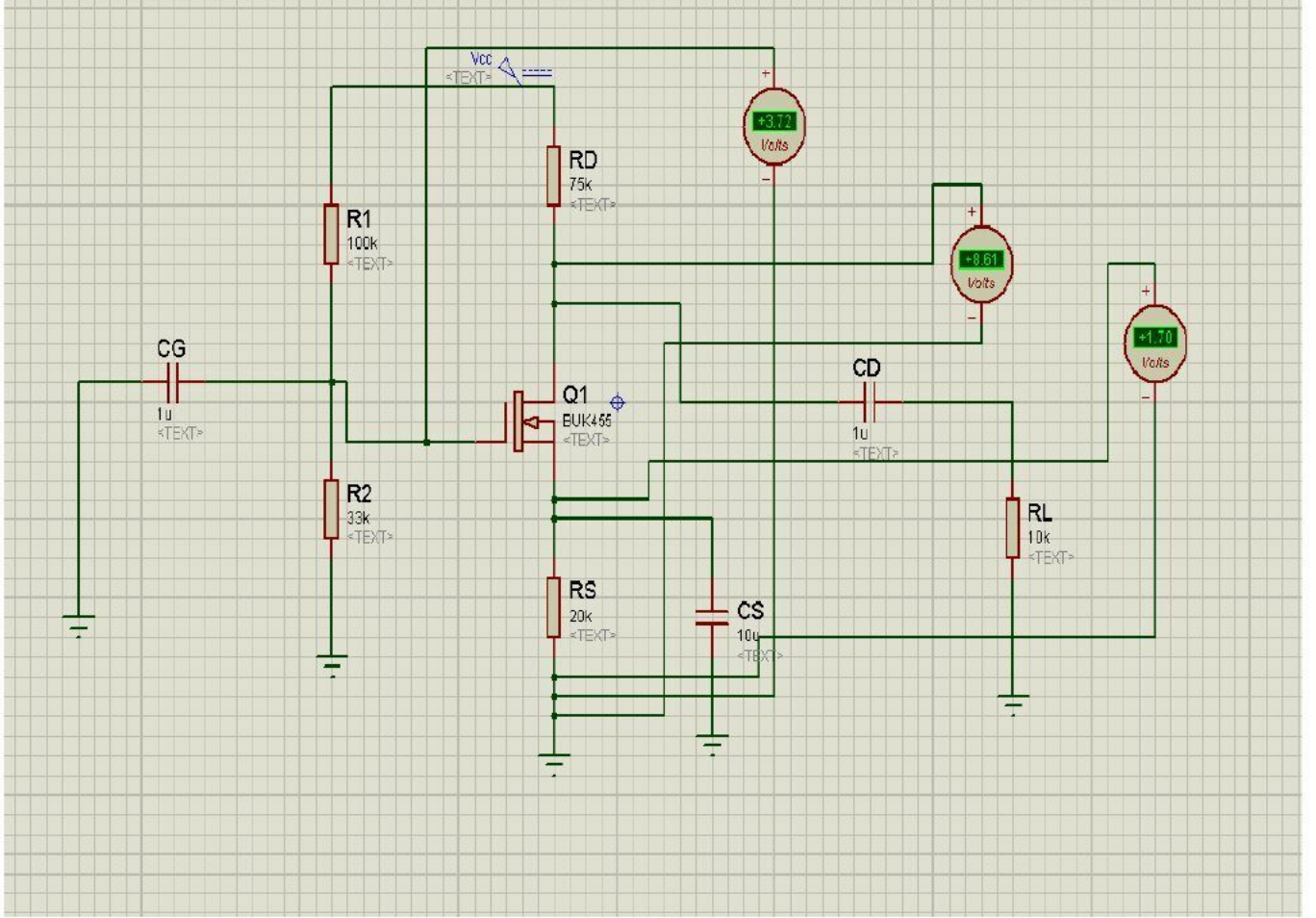


1)

Devreye 15V Vcc verdiğimizde elde ettiğimiz V_g , V_d , V_s değerleri ŞEKİL-1 de verilmiştir.



ŞEKİL-1

$$V_g = 3.72V$$

$$V_d = 8.61V$$

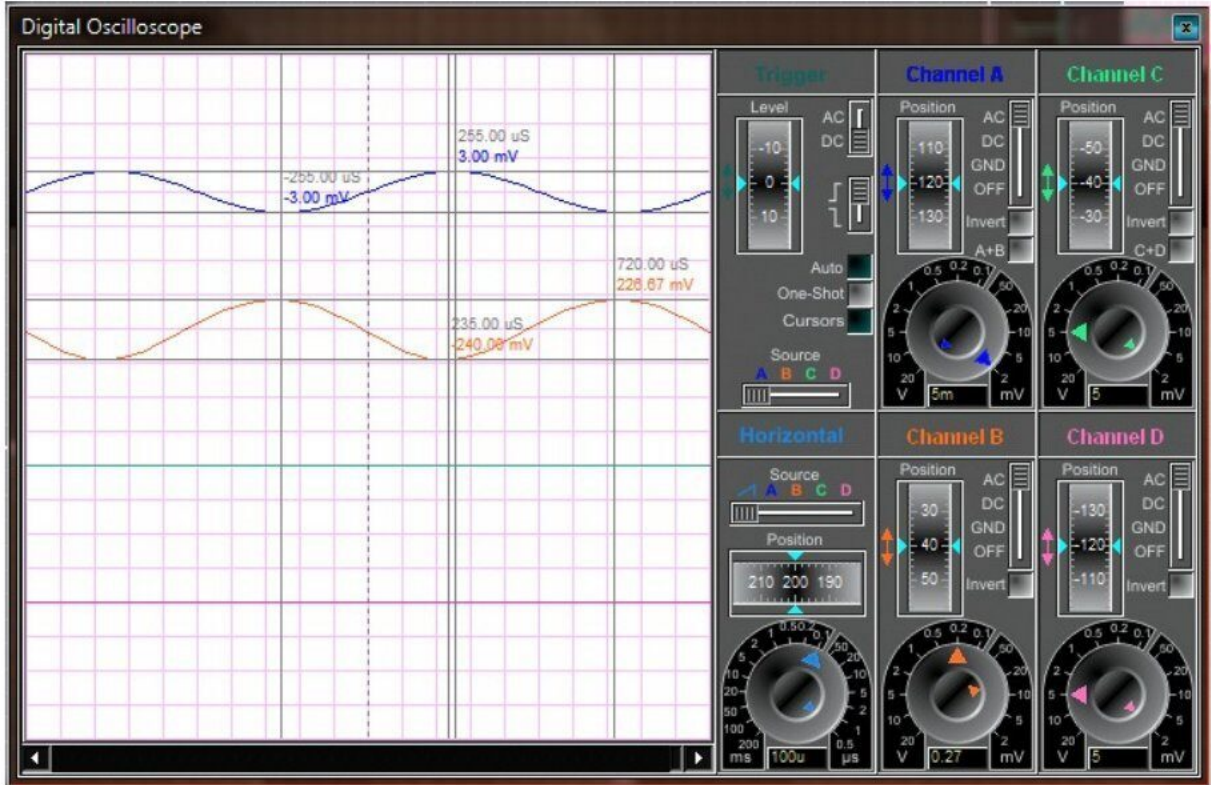
$$V_s = 1.70V$$

2)

a)

Devrenin girişine genliği 6mV peak to peak değerinde ve frekansı 1 kHz olan bir sinüs sinyali gönderdiğimizde, devrenin çıkışından aldığımız sinyal ŞEKİL-2 de verilmiştir.

Osiloskoptaki A kanalı giriş sinyalini B kanalı ise çıkış sinyalini göstermektedir.



ŞEKİL-2

$$V_{in} = 6 \text{ mV}$$

$$V_{out} = 480 \text{ mV}$$

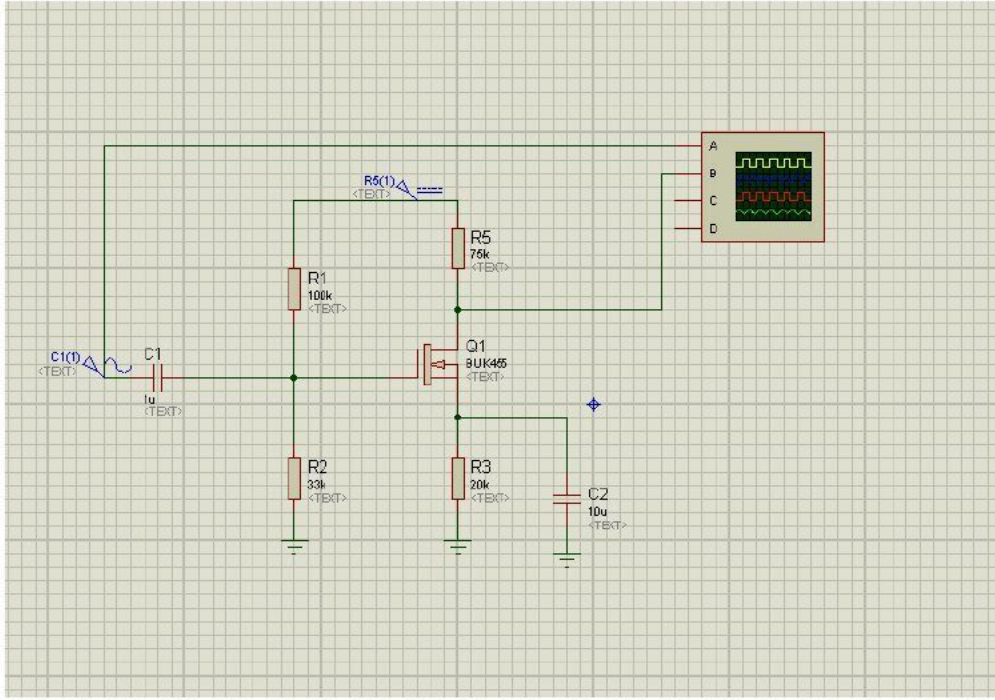
Bu değerler göz önüne alındığında devredeki kazanç;

$$A_v = V_{out}/V_{in}$$

$$A_v = 80$$

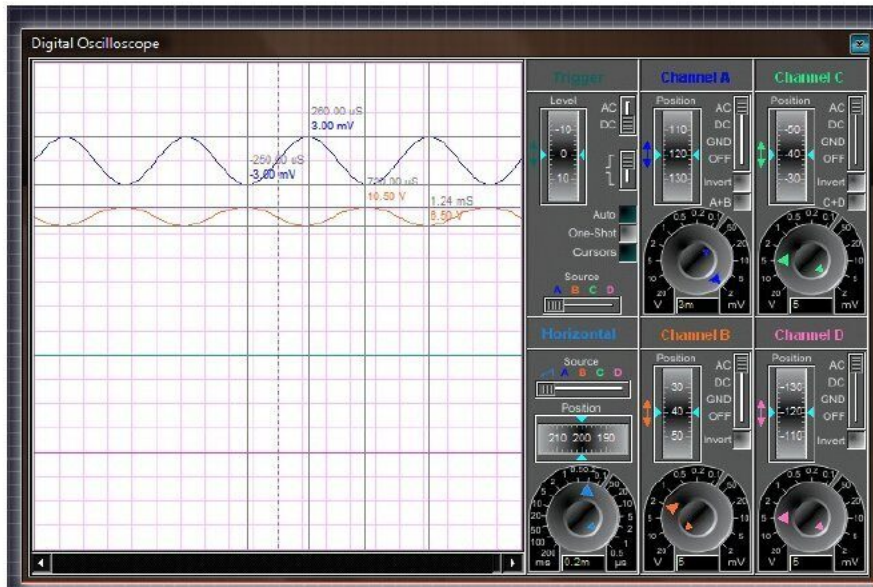
b)

Devredeki Cd kapasitörünü ve Rl direncini çıkardığımızda devrenin şematiği ŞEKİL-3 te verildiği gibidir.



ŞEKİL-3

Devrenin simülasyonu ise ŞEKİL-4 te verilmiştir. Osiloskobun A kanalı girişi B kanalı ise çıkış sinyalini göstermektedir.



ŞEKİL-4

Şekil-4 te gördüğümüz gibi devreye 6mV giriş sinyaline karşılık elde ettiğimiz çıkış sinyali 21 V değerindedir. Yani devreye vermiş olduğumuz DC voltaj, giriş voltajına eklenerek çıkış gerilimini oluşturmuştur. Bu da gösteriyor ki; Rl direnci devrede ki DC akımın tamamını üstünden geçirmektedir. Devrenin kazancı ise;

$$V_{in} = 6 \text{ mV}$$

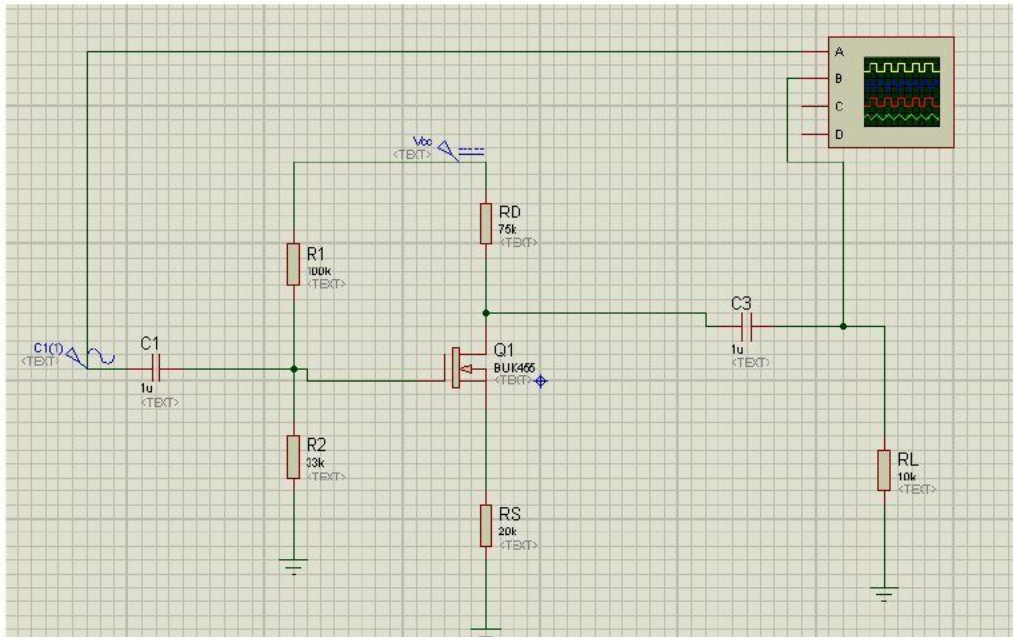
$$V_{out} = 21 \text{ V}$$

$$A_v = 21/6 = 3500$$

Elde ettiğimiz simülasyonlarda peak değerlerinin aynı olmamasının sebebi kullanmamız gereken FET çeşidinin proteus programında olmamasından kaynaklanmaktadır.

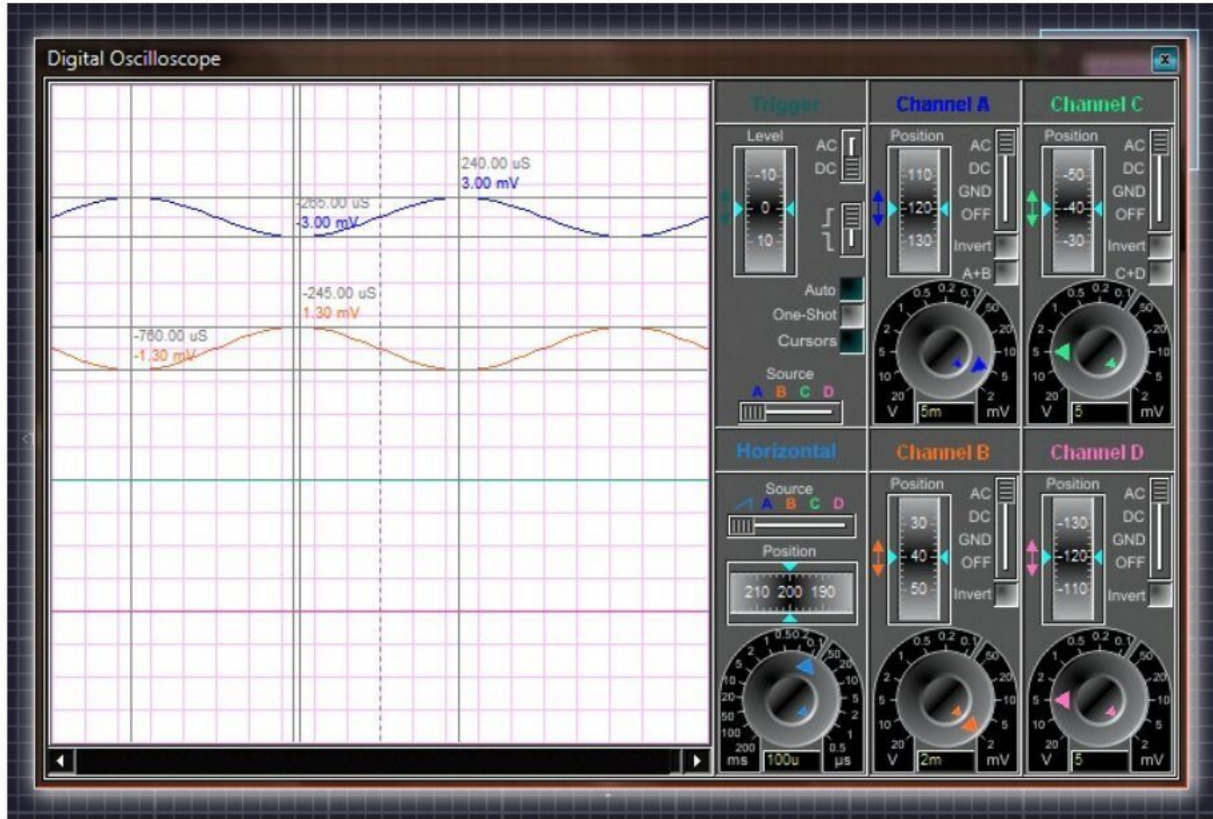
c)

Devredeki Cs kapasitörünü çıkardığımızda devrenin şematığı ŞEKİL-5 te verildiği gibidir.



ŞEKİL-5

Devrenin simülasyonu ise ŞEKİL-6 da verilmiştir. Osiloskobun A kanalı girişi B kanalı ise çıkış sinyalini göstermektedir.



ŞEKİL-6

Şekil-6 da gördüğümüz gibi devreye 6mV giriş sinyaline karşılık elde ettiğimiz çıkış sinyali 2.60 V değerindedir. Yani devreden çıkarttığımız kapasitörden sonra devrenin çıkışından elde ettiğimiz voltaj artmıştır ve dolayısıyla devrenin kazancı da artış göstermiştir. Devrenin kazancı ise;

$$V_{in} = 6 \text{ mV}$$

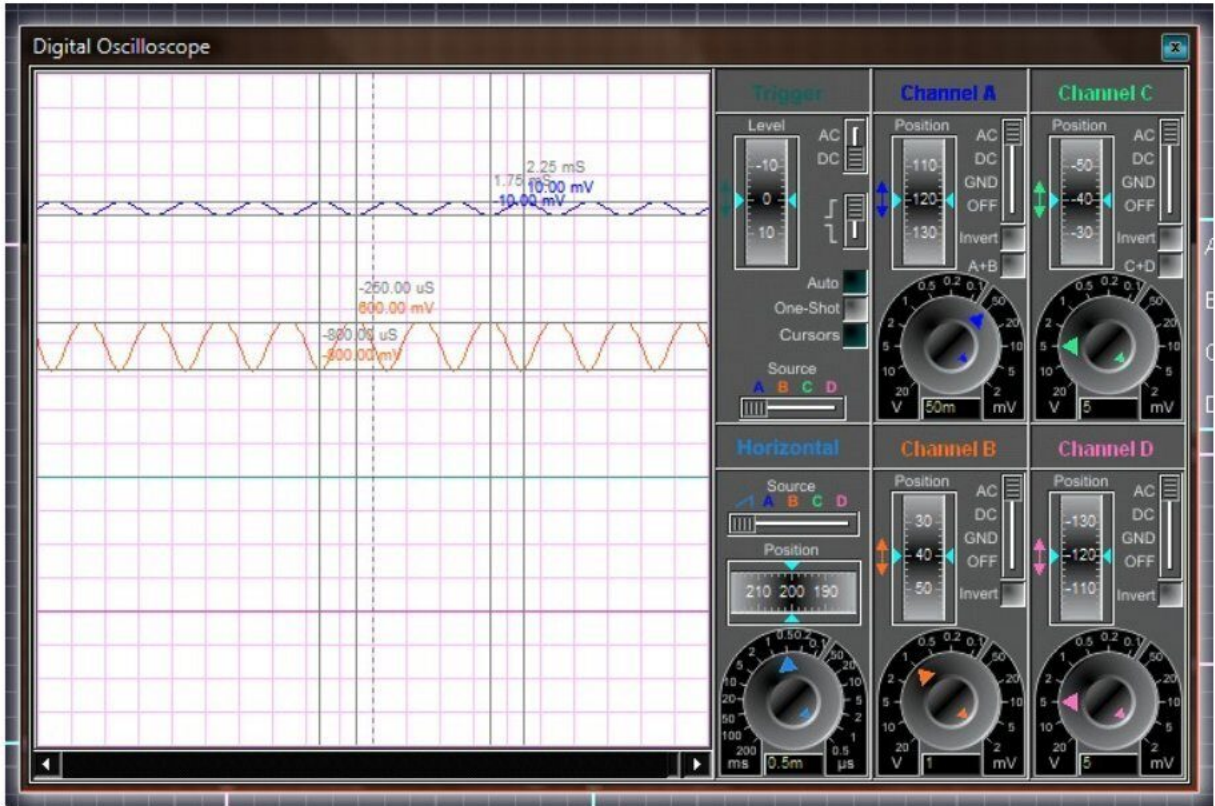
$$V_{out} = 2.60 \text{ V}$$

$$A_v = 2.60 / 6 = 433$$

3)

Devreye vermiş olduğumuz sinyalin genliğini yavaş yavaş arttırdığımızda çıkış sinyalinin kırılmaya uğradığını gözlemledik. Giriş sinyaline 20 mV peak to peak değeri verdiğimizde çıkış sinyalinde kırılma meydana geldi. Bu kırılma ŞEKİL-6 da gösterilmiştir.

Osiloskobun A kanalı giriş sinyalini, B kanalı ise çıkış sinyalini göstermektedir.

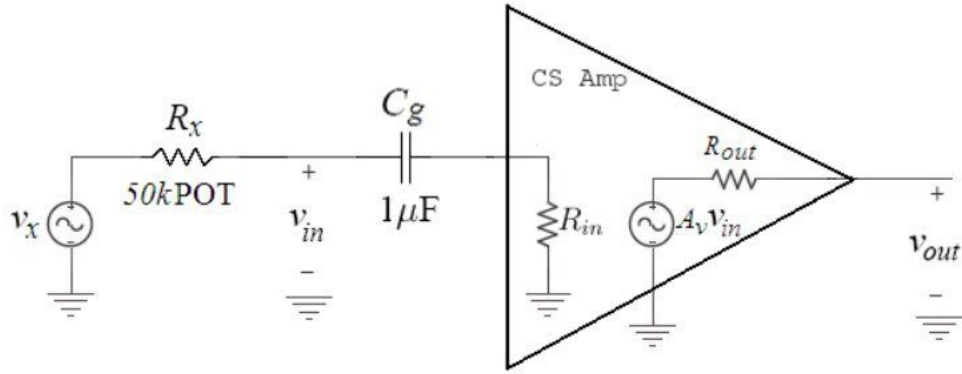


ŞEKİL-6

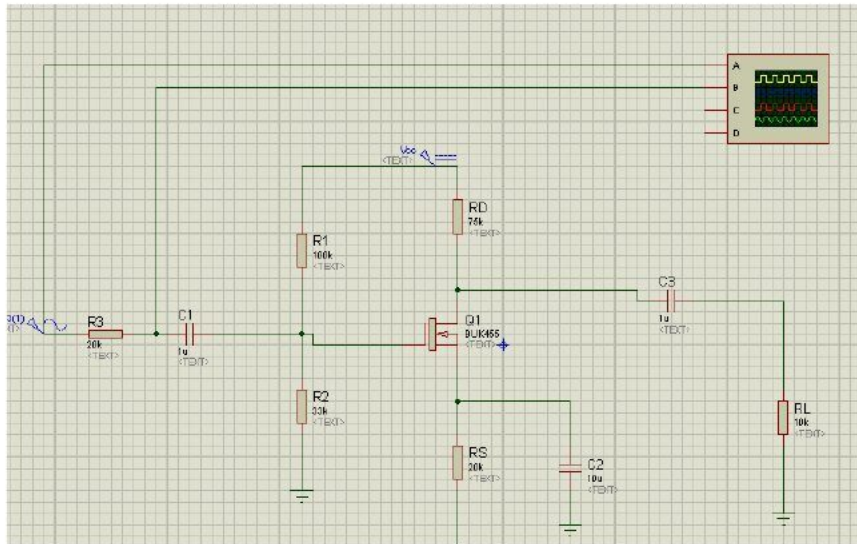
Devredeki çıkış voltajı ;

$V_{out, maximum} = 1.20mV$

4)

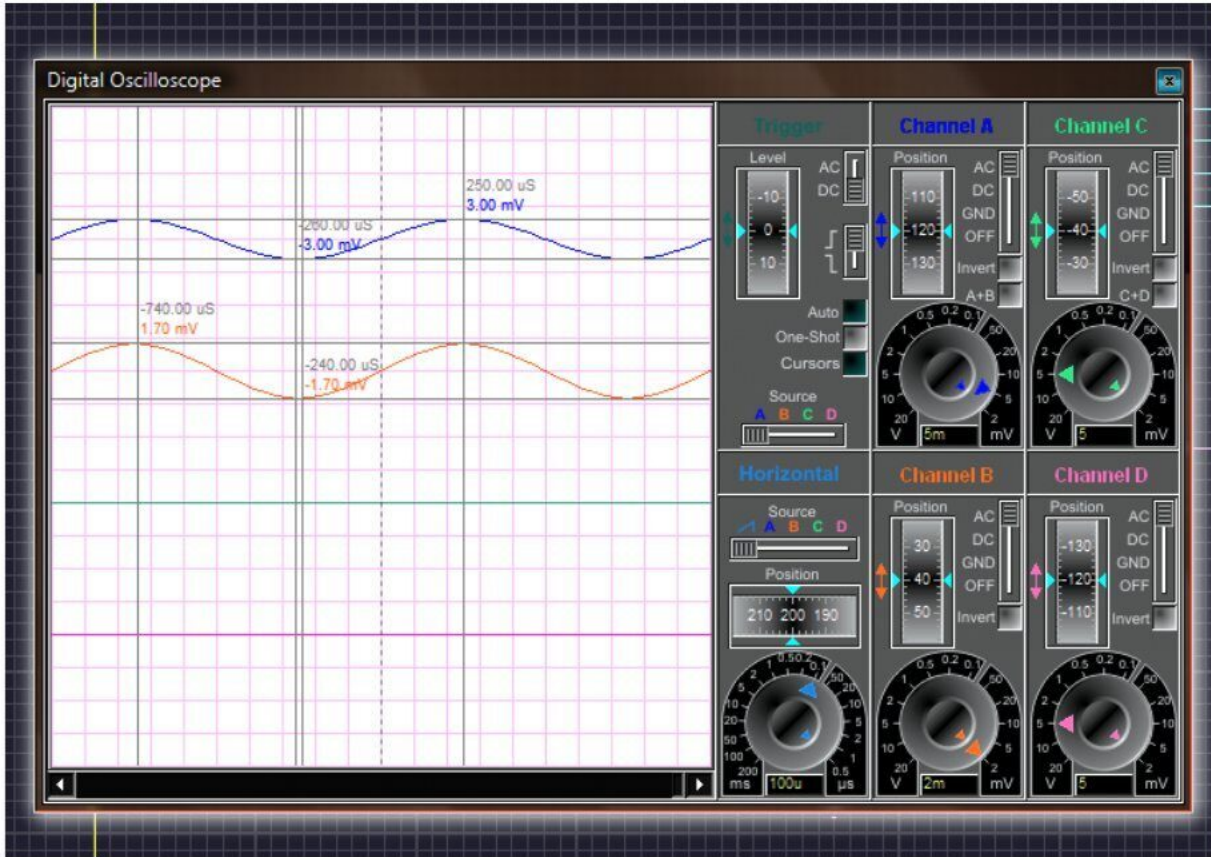


Yukarıda ki devrenin şematığı ŞEKİL-7 de verilmiştir. Devrenin şematığı çizilirken Pot değerine 20k değerinde bir direnç kullanılmıştır.



ŞEKİL-7

Devrenin simülasyonu ise ŞEKİL-8 de gösterildiği gibidir.



ŞEKİL-8

Devredeki giriş sinyali V_x A kanalında, V_{in} sinyali ise B kanalında gösterilmiştir.

$$V_x = 6 \text{ mV}$$

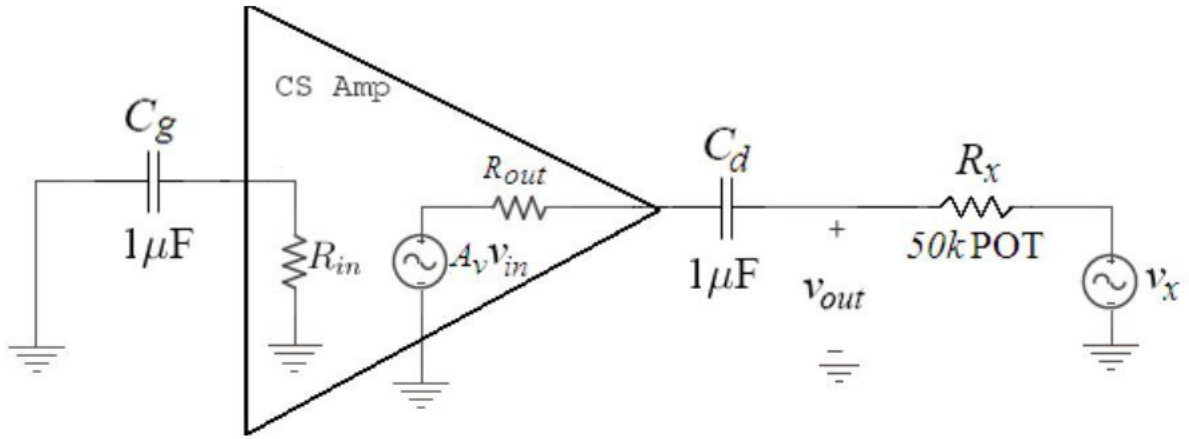
$$V_{in} = 3.40 \text{ mV}$$

Bu verilere dayanarak R_{in} direncini hesaplırsak;

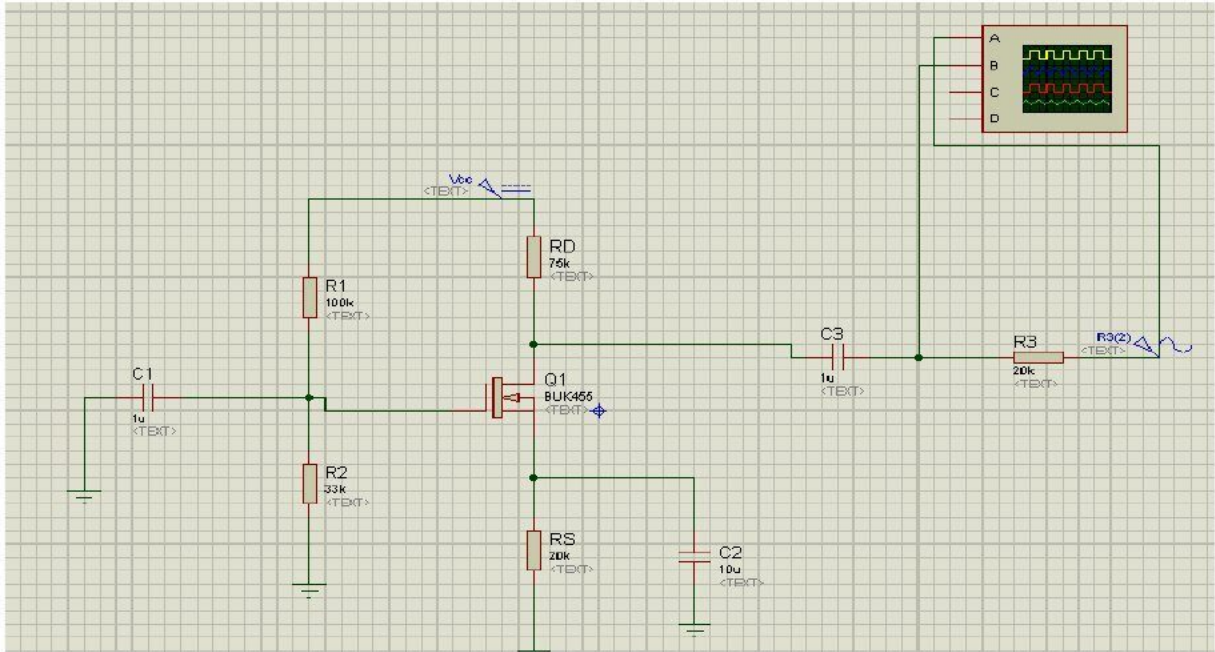
$$V_x / 20k + R_{in} = V_{in} / R_{in}$$

$$R_{in} = 26.15k$$

5)

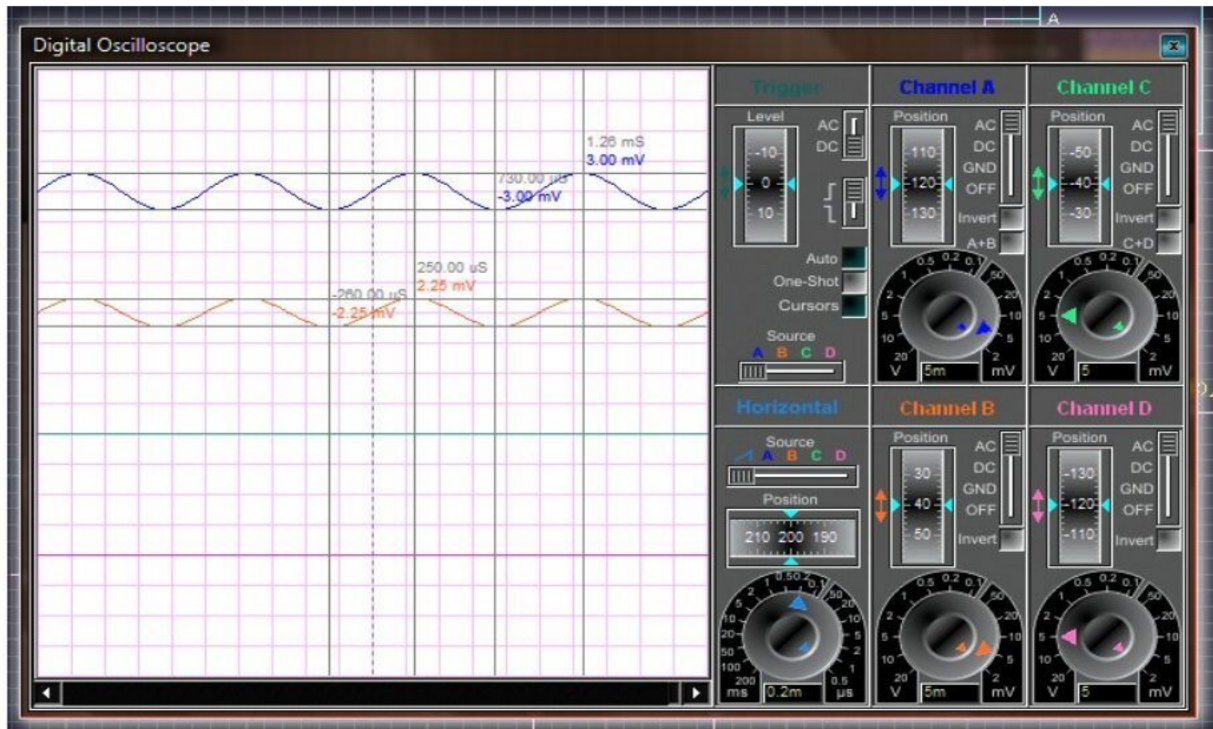


Yukarıda ki devrenin şematığı ŞEKİL-9 da verilmiştir. Devrenin şematığı çizilirken Pot değerine 20k değerinde bir direnç kullanılmıştır.



ŞEKİL-9

Devrenin simülasyonu ise ŞEKİL-10 da gösterildiği gibidir.



ŞEKİL-10

Devredeki giriş sinyali V_x A kanalında, V_{out} sinyali ise B kanalında gösterilmiştir.

$$V_x = 6 \text{ mV}$$

$$V_{out} = 4.50 \text{ mV}$$

Bu verilere dayanarak R_{in} direncini hesaplırsak;

$$V_x / 20k + R_{out} = V_{out} / R_{out}$$

$$R_{out} = 60k$$

