

EEM332 LABORATUVARI DENEY Y6 ÖNÇALIŞMA MANTIK KAPISI TASARIMI

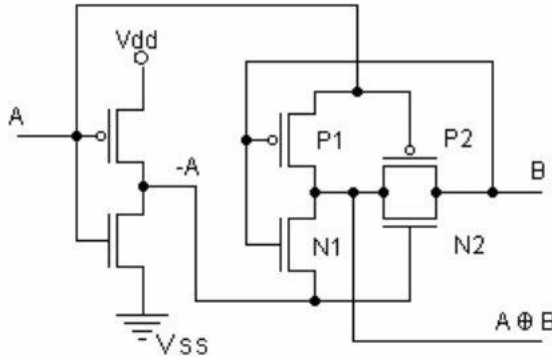
1-)Aşağıda ki şekilde verilen XOR gate tasarımı için oluşturulan ağ list aşağıda belirtilmiştir.

XOR gate için doğruluk tablosu şöyledir:

Transistörler ile oluşturulan logic devrenin Girişlerine göre çıkışları sağdaki doğruluk Tablosunda gösterilmiştir. Tablodan da Gözleneceği gibi A girişi 1 iken ancak ve ancak B girişi 0 iken çıkışı high olarak alabiliriz. B girişi 0 ilen ancak ve ancak A girişi de 1 ise Çıkışı high olarak alabiliriz. XOR kapısını hatırlamanın bir yolu ise şöyle akılda kalmasını sağlamaktır: “girişlerden biri veya diğeri ancak ikisi değil.”

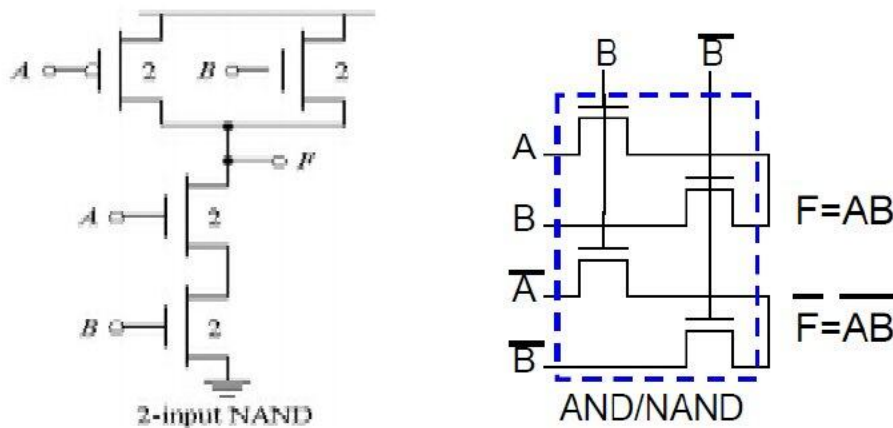
INPUT		OUTPUT
A	B	A XOR B
0	0	0
0	1	1
1	0	1
1	1	0

Şematik gösterimi ise şekildeki gibidir.



```
.MODEL MOSN NMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=5.36726E+15 VTO=0.743469 KP=8.00059E-05 GAMMA=0.543
+ PHI=0.6 U0=655.881 UEXP=0.157282 UCRIT=31443.8
+ DELTA=2.39824 VMAX=55260.9 XJ=0.25U LAMBDA=0.0367072
+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=1.0 RSH=70.00
+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0003 MJ=0.6585
+ CJSW=8.0E-10 MJSW=0.2402 PB=0.58
.MODEL MOSP PMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=4.3318E+15 VTO=-0.738861 KP=2.70E-05 GAMMA=0.58
+ PHI=0.6 U0=261.977 UEXP=0.323932 UCRIT=65719.8
+ DELTA=1.79192 VMAX=25694 XJ=0.25U LAMBDA=0.0612279
+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=-1.0 RSH=120.6
+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0005 MJ=0.5052
+ CJSW=1.349E-10 MJSW=0.2417 PB=0.64
```

2-) Bu soruda ise en az sayıda CMOS kullanılarak iki girişli NAND kapısı şeklindeki gibi tasarlanmıştır. Ağ list bir sonraki sayfada oluşturulmuştur. Tasarım oluşturulurken şekil üzerinde her transistör için Drain ve Source uçları belirtilmiştir. Ağ liste görüldüğü gibi pulsar 0 V ile 5 V olarak ayarlanmıştır. Grafik üzerinden doğruluk tablosu kullanılarak çıkışların doğru olduğu gözlenmiştir. Ayrıca iki girişli NAND kapısı pass transistör olarak iki ve bu yapıya eklenen bir inverter yapısı ve aşağıda ki şemadaki gibide 4 transistör ile oluşturulabilir.



```
.MODEL MOSP PMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=4.3318E+15 VTO=-0.738861 KP=2.70E-05 GAMMA=0.58
+ PHI=0.6 U0=261.977 UEXP=0.323932 UCRIT=65719.8
+ DELTA=1.79192 VMAX=25694 XJ=0.25U LAMBDA=0.0612279
```

```
+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=-1.0 RSH=120.6
+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0005 MJ=0.5052
+ CJSW=1.349E-10 MJSW=0.2417 PB=0.64
```

```
M1 2 4 1 1 MOSP W=5.4u L=1.2u
M2 2 5 1 1 MOSP W=5.4u L=1.2u
```

```
M3 2 5 3 3 MOSN W=1.8u L=1.2u
M4 3 4 0 0 MOSN W=1.8u L=1.2u
```

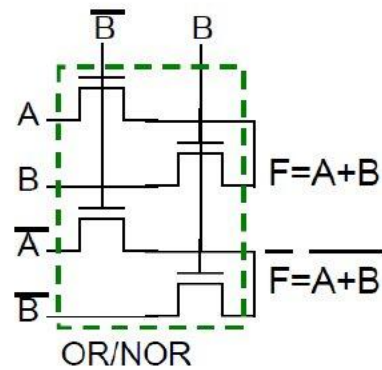
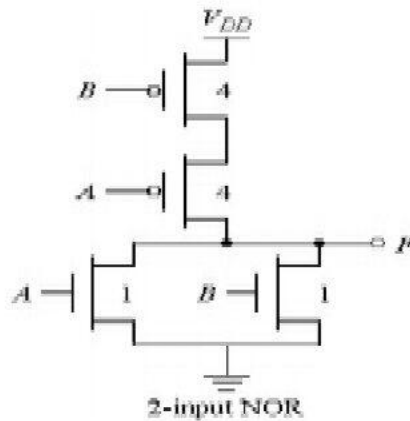
```
vdd 1 0 5V
Vin 4 0 pulse(5V 0V 0 1ns 1ns 100ns 200ns)
Vin1 5 0 pulse(5V 0V 0 1ns 1ns 200ns 400ns)
```

```
c1 5 0 1fF
```

```
.control
tran 0.05n 1600n
plot v(2) v(4)+0.05 v(5)+0.1
```

```
.endc
.end
```

3-) Son soruda ise en az sayıda CMOS kullanılarak iki girişli NOR kapısı şeklindeki gibi tasarlanmıştır. Ağ list aşağıdaki gibi oluşturulmuştur. Tasarım oluşturulurken şekil üzerinde her transistör için Drain ve Source uçları belirtilmiştir. Ağ liste görüldüğü gibi pulslar 0 V ile 5 V olarak ayarlanmıştır. Grafik üzerinden doğruluk tablosu kullanılarak çıkışların doğru olduğu gözlenmiştir. Ağ list soldaki temel yapı için oluşturulmuştur ancak sağda ki şekil de 2 girişli NOR kapısı olarak tasarlanabilir.



```
.MODEL MOSN NMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=5.36726E+15 VTO=0.743469 KP=8.00059E-05 GAMMA=0.543
+ PHI=0.6 U0=655.881 UEXP=0.157282 UCRIT=31443.8
+ DELTA=2.39824 VMAX=55260.9 XJ=0.25U LAMBDA=0.0367072
+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=1.0 RSH=70.00
+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0003 MJ=0.6585
+ CJSW=8.0E-10 MJSW=0.2402 PB=0.58
.MODEL MOSP PMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=4.3318E+15 VTO=-0.738861 KP=2.70E-05 GAMMA=0.58
+ PHI=0.6 U0=261.977 UEXP=0.323932 UCRIT=65719.8
+ DELTA=1.79192 VMAX=25694 XJ=0.25U LAMBDA=0.0612279
+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=-1.0 RSH=120.6
+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0005 MJ=0.5052
+ CJSW=1.349E-10 MJSW=0.2417 PB=0.64
```

```
M1 5 2 0 0 MOSN W=1.8u L=1.2u
M2 5 4 0 0 MOSN W=1.8u L=1.2u
M3 3 2 1 1 MOSP W=5.4u L=1.2u
M4 5 4 3 3 MOSP W=5.4u L=1.2u
```

```
Vdd 1 0 5V
Vin 2 0 pulse(5V 0V 0 1ns 1ns 100ns 200ns)
Vin1 4 0 pulse(5v 0V 0 1ns 1ns 200ns 400ns)
```

```
C2 5 0 1fF
.control
tran 0.05n 400n
plot v(5) v(2)+0.1 v(4)+0.05
.endc
.end
```