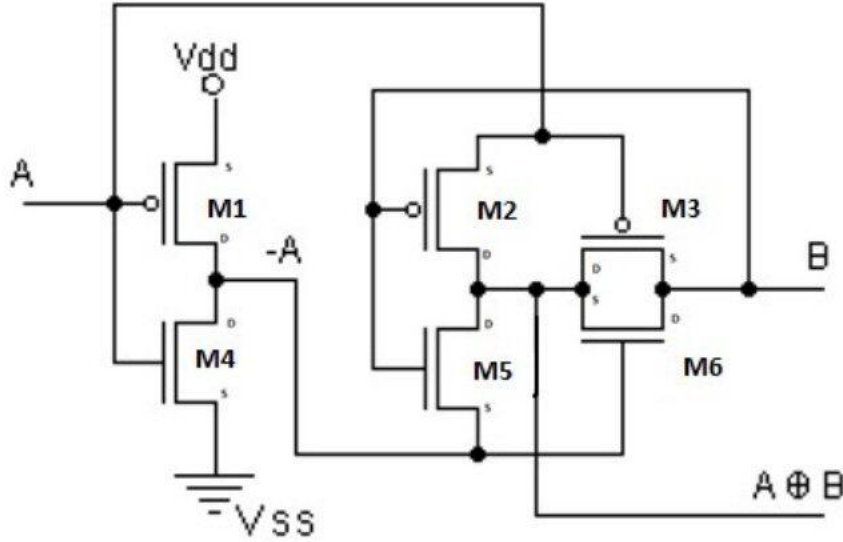


ÖNÇALIŞMA



Şekilde verilen devre için ağ listesi aşağıdaki gibi hazırlanmıştır.

```
M1 5 1 4 4 MOSP W=5.4u L=1.2u
M2 3 2 1 4 MOSP W=5.4u L=1.2u
M3 3 1 2 4 MOSP W=5.4u L=1.2u
M4 5 1 0 0 MOSN W=1.8u L=1.2u
M5 2 5 3 3 MOSN W=1.8u L=1.2u
M6 3 2 5 5 MOSN W=1.8u L=1.2u
vdd 4 0 5V
Vin 1 0 pulse(0V 5V 0 0ns 0ns 100ns 200ns)
Vin1 2 0 pulse(0V 5V 0 0ns 0ns 200ns 400ns)
```

Belirtilen CMOS yapısının çalışma mantığını girişlere uygulayacağımız değerler ile gösterebiliriz.

Örneğin girişten gelen, A = 0, B = 0 değerleri için;

1. M1 transistörü iletime geçecek ve source ucuna uygulanan “high” değerini çıkışa (drain) aktaracaktır , bu sırada M4 transistörü tıkamada olacağından çıkışa etkisi olmayacaktır.
2. Aynı şekilde, A' nın “low” olmasından dolayı M3 transistörü de iletime geçecektir. Bu sırada, M1 transistörü çıkışına “high” aktardığı ve bu çıkışta M6 ' nın kapısına bağlı olduğu için, B girişi bu iki transistör tarafından çıkışa aktarılır.
3. M2 ve M5 transistörlerinin kontrolleri B girişine bağlı olduğundan ve B şu an için “low” olduğundan M2 iletime, M5 tıkamaya geçer. Bunun sonucunda M2 nin source bacağında bulunan A değeri (ki şu an için low) çıkışa aktarılır.