



Başkent Üniversitesi
Elektrik Elektronik Mühendisliği Bölümü
EEM312-Sayısal Elektronik
Yazılım Laboratuvarı

Rapor

17/05/2006

Deney Adı:Mantık Kapısı Tasarımı

Deney No: Y8

[Redacted]

[Redacted]

[Redacted]

LABORATUAR ÇALIŞMASI:

1)

i)s1

```
.MODEL MOSN NMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=5.36726E+15 VTO=0.743469 KP=8.00059E-05 GAMMA=0.543
+ PHI=0.6 U0=655.881 UEXP=0.157282 UCRIT=31443.8
+ DELTA=2.39824 VMAX=55260.9 XJ=0.25U LAMBDA=0.0367072
+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=1.0 RSH=70.00
+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0003 MJ=0.6585
+ CJSW=8.0E-10 MJSW=0.2402 PB=0.58
```

```
.MODEL MOSP PMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=4.3318E+15 VTO=-0.738861 KP=2.70E-05 GAMMA=0.58
+ PHI=0.6 U0=261.977 UEXP=0.323932 UCRIT=65719.8
+ DELTA=1.79192 VMAX=25694 XJ=0.25U LAMBDA=0.0612279
+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=-1.0 RSH=120.6
+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0005 MJ=0.5052
+ CJSW=1.349E-10 MJSW=0.2417 PB=0.64
```

*** D G S B**

```
M1 3 2 1 1 MOSP W=3.6u L=1.2u
M2 2 4 5 5 MOSP W=3.6u L=1.2u
M3 4 2 5 5 MOSP W=3.6u L=1.2u
```

```
M4 3 2 0 0 MOSN W=1.8u L=1.2u
M5 3 4 5 5 MOSN W=1.8u L=1.2u
M6 5 3 4 4 MOSN W=1.8u L=1.2u
```

```
vdd 1 0 5V
v2 2 0 0v
v4 4 0 0v
```

```
*Vin1 2 0 pulse(0V 5V 0 0ns 0ns 100ns 200ns)
*Vin2 4 0 pulse(0V 5V 0 0ns 0ns 200ns 400ns)
```

```
.control
tran 0.05n 500n
plot v(2) v(4) v(5)
```

```
.endc
.end
```

ii)s1

```
.MODEL MOSN NMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=5.36726E+15 VTO=0.743469 KP=8.00059E-05 GAMMA=0.543
+ PHI=0.6 U0=655.881 UEXP=0.157282 UCRIT=31443.8
+ DELTA=2.39824 VMAX=55260.9 XJ=0.25U LAMBDA=0.0367072
+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=1.0 RSH=70.00
+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0003 MJ=0.6585
+ CJSW=8.0E-10 MJSW=0.2402 PB=0.58
```

```
.MODEL MOSP PMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=4.3318E+15 VTO=-0.738861 KP=2.70E-05 GAMMA=0.58
+ PHI=0.6 U0=261.977 UEXP=0.323932 UCRIT=65719.8
+ DELTA=1.79192 VMAX=25694 XJ=0.25U LAMBDA=0.0612279
+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=-1.0 RSH=120.6
+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0005 MJ=0.5052
```

+ CJSW=1.349E-10 MJSW=0.2417 PB=0.64

* D G S B

M1 3 2 1 1 MOSP W=3.6u L=1.2u

M2 2 4 5 5 MOSP W=3.6u L=1.2u

M3 5 2 4 4 MOSP W=3.6u L=1.2u

M4 3 2 0 0 MOSN W=1.8u L=1.2u

M5 3 4 5 5 MOSN W=1.8u L=1.2u

M6 4 3 5 5 MOSN W=1.8u L=1.2u

vdd 1 0 5V

v2 2 0 0v

v4 4 0 5v

*Vin1 2 0 pulse(0V 5V 0 0ns 0ns 100ns 200ns)

*Vin2 4 0 pulse(0V 5V 0 0ns 0ns 200ns 400ns)

.control

tran 0.05n 500n

plot v(2) v(4) v(5)+0.1

.endc

.end

iii)s1

.MODEL MOSN NMOS LEVEL=2 LD=0.15U TOX=200.0E-10

+ NSUB=5.36726E+15 VTO=0.743469 KP=8.00059E-05 GAMMA=0.543

+ PHI=0.6 U0=655.881 UEXP=0.157282 UCRIT=31443.8

+ DELTA=2.39824 VMAX=55260.9 XJ=0.25U LAMBDA=0.0367072

+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=1.0 RSH=70.00

+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0003 MJ=0.6585

+ CJSW=8.0E-10 MJSW=0.2402 PB=0.58

.MODEL MOSP PMOS LEVEL=2 LD=0.15U TOX=200.0E-10

+ NSUB=4.3318E+15 VTO=-0.738861 KP=2.70E-05 GAMMA=0.58

+ PHI=0.6 U0=261.977 UEXP=0.323932 UCRIT=65719.8

+ DELTA=1.79192 VMAX=25694 XJ=0.25U LAMBDA=0.0612279

+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=-1.0 RSH=120.6

+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0005 MJ=0.5052

+ CJSW=1.349E-10 MJSW=0.2417 PB=0.64

* D G S B

M1 3 2 1 1 MOSP W=3.6u L=1.2u

M2 2 4 5 5 MOSP W=3.6u L=1.2u

M3 4 2 5 5 MOSP W=3.6u L=1.2u

M4 3 2 0 0 MOSN W=1.8u L=1.2u

M5 5 4 3 3 MOSN W=1.8u L=1.2u

M6 5 3 4 4 MOSN W=1.8u L=1.2u

vdd 1 0 5V

v2 2 0 5v

v4 4 0 0v

```
*Vin1 2 0 pulse(0V 5V 0 0ns 0ns 100ns 200ns)
*Vin2 4 0 pulse(0V 5V 0 0ns 0ns 200ns 400ns)
```

```
.control
tran 0.05n 500n
plot v(2) v(4) v(5)+0.1
```

```
.endc
.end
```

iv)s1

```
.MODEL MOSN NMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=5.36726E+15 VTO=0.743469 KP=8.00059E-05 GAMMA=0.543
+ PHI=0.6 U0=655.881 UEXP=0.157282 UCRIT=31443.8
+ DELTA=2.39824 VMAX=55260.9 XJ=0.25U LAMBDA=0.0367072
+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=1.0 RSH=70.00
+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0003 MJ=0.6585
+ CJSW=8.0E-10 MJSW=0.2402 PB=0.58
```

```
.MODEL MOSP PMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=4.3318E+15 VTO=-0.738861 KP=2.70E-05 GAMMA=0.58
+ PHI=0.6 U0=261.977 UEXP=0.323932 UCRIT=65719.8
+ DELTA=1.79192 VMAX=25694 XJ=0.25U LAMBDA=0.0612279
+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=-1.0 RSH=120.6
+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0005 MJ=0.5052
+ CJSW=1.349E-10 MJSW=0.2417 PB=0.64
```

*** D G S B**

```
M1 3 2 1 1 MOSP W=3.6u L=1.2u
M2 5 4 2 2 MOSP W=3.6u L=1.2u
M3 5 2 4 4 MOSP W=3.6u L=1.2u
```

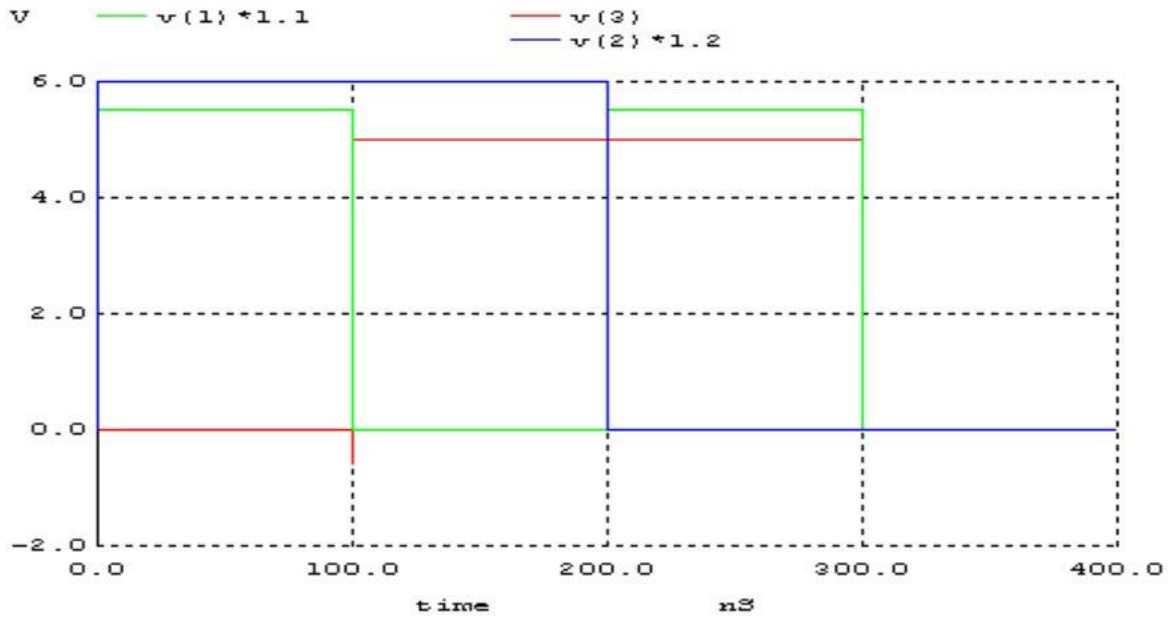
```
M4 3 2 0 0 MOSN W=1.8u L=1.2u
M5 3 4 5 5 MOSN W=1.8u L=1.2u
M6 4 3 5 5 MOSN W=1.8u L=1.2u
```

```
vdd 1 0 5V
v2 2 0 5v
v4 4 0 5v
```

```
*Vin1 2 0 pulse(0V 5V 0 0ns 0ns 100ns 200ns)
*Vin2 4 0 pulse(0V 5V 0 0ns 0ns 200ns 400ns)
```

```
.control
tran 0.05n 500n
plot v(2)+0.1 v(4)
plot v(5)
```

```
.endc
.end
```



Şekilde verilen Özel Veya Kapı (XOR) tasarımının olası bütün durumları için ağ listeleri yukarıda belirtilmiştir. Tüm bu durumların oluşma nedeni ise P2 ve N2 transistörlerinin bağlanma durumlarından dolayı kaynaklanan ve B girişinden girilen değerlere göre P2 ve N2 nin bacak durumlarının değişmesidir. Transistorlerin bulk uçları source ucuna bağlı kalacağından dolayı ve B girişinden 1 ve 0 verdiğimizde bu drain-source-bulk uçlarının yerleri değişeceğinden dolayı bunun için yukarıdaki 4 ayrı durum oluşmuştur. Buna göre girişlerin aynı olduğu durumlarda (1-1, 0-0) çıkış 0 olarak alınacaktır. A ve B girişlerinden farklı girişler uygularsak (0-1, 1-0) çıkış 1 olarak alınacaktır. Yukarıdaki grafiklerden de bu durumlar görülmektedir.

2)

*nand

```
.MODEL MOSN NMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=5.36726E+15 VTO=0.743469 KP=8.00059E-05 GAMMA=0.543
+ PHI=0.6 U0=655.881 UEXP=0.157282 UCRIT=31443.8
+ DELTA=2.39824 VMAX=55260.9 XJ=0.25U LAMBDA=0.0367072
+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=1.0 RSH=70.00
+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0003 MJ=0.6585
+ CJSW=8.0E-10 MJSW=0.2402 PB=0.58
```

```
.MODEL MOSP PMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=4.3318E+15 VTO=-0.738861 KP=2.70E-05 GAMMA=0.58
+ PHI=0.6 U0=261.977 UEXP=0.323932 UCRIT=65719.8
+ DELTA=1.79192 VMAX=25694 XJ=0.25U LAMBDA=0.0612279
+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=-1.0 RSH=120.6
+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0005 MJ=0.5052
+ CJSW=1.349E-10 MJSW=0.2417 PB=0.64
```

```
M1 2 4 1 1 MOSP W=5.4u L=1.2u
```

```
M2 2 5 1 1 MOSP W=5.4u L=1.2u
```

```
M4 2 5 3 3 MOSN W=1.8u L=1.2u
```

```
M5 3 4 0 0 MOSN W=1.8u L=1.2u
```

```
vdd 1 0 5V
```

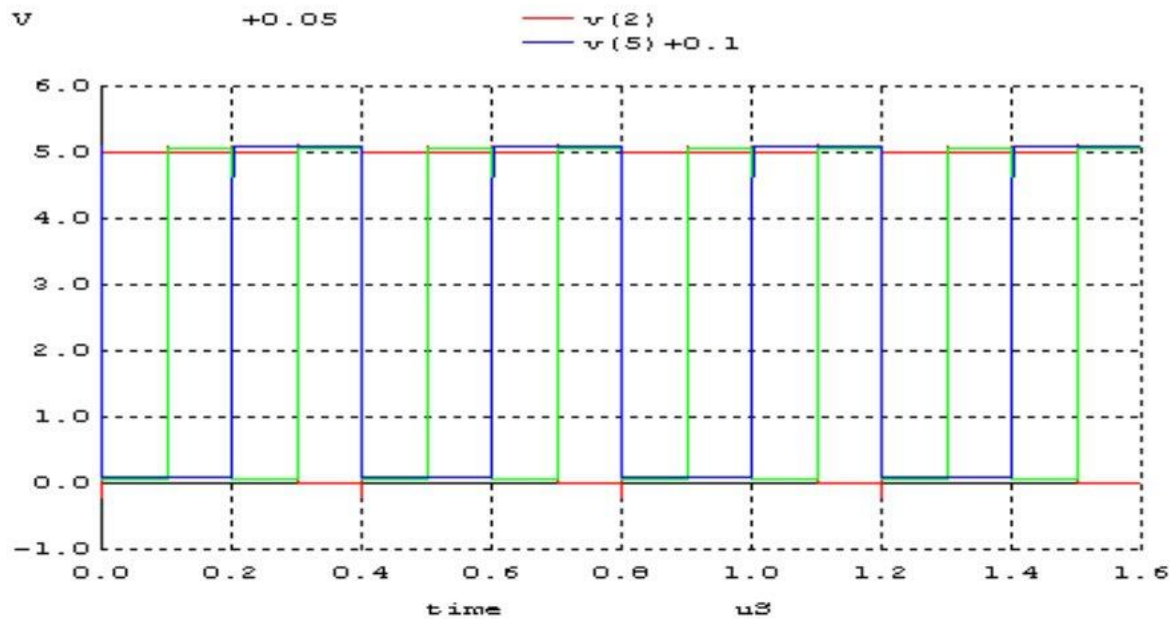
```
Vin 4 0 pulse(5V 0V 0 1ns 1ns 100ns 200ns)
```

```
Vin1 5 0 pulse(5V 0V 0 1ns 1ns 200ns 400ns)
```

c1 5 0 1fF

```
.control
tran 0.05n 1600n
plot v(2) v(4)+0.05 v(5)+0.1
```

```
.endc
.end
```



*nand

```
.MODEL MOSN NMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=5.36726E+15 VTO=0.743469 KP=8.00059E-05 GAMMA=0.543
+ PHI=0.6 U0=655.881 UEXP=0.157282 UCRIT=31443.8
+ DELTA=2.39824 VMAX=55260.9 XJ=0.25U LAMBDA=0.0367072
+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=1.0 RSH=70.00
+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0003 MJ=0.6585
+ CJSW=8.0E-10 MJSW=0.2402 PB=0.58
```

```
.MODEL MOSP PMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=4.3318E+15 VTO=-0.738861 KP=2.70E-05 GAMMA=0.58
+ PHI=0.6 U0=261.977 UEXP=0.323932 UCRIT=65719.8
+ DELTA=1.79192 VMAX=25694 XJ=0.25U LAMBDA=0.0612279
+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=-1.0 RSH=120.6
+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0005 MJ=0.5052
+ CJSW=1.349E-10 MJSW=0.2417 PB=0.64
```

```
M1 2 4 1 1 MOSP W=5.4u L=1.2u
M2 2 5 1 1 MOSP W=5.4u L=1.2u
```

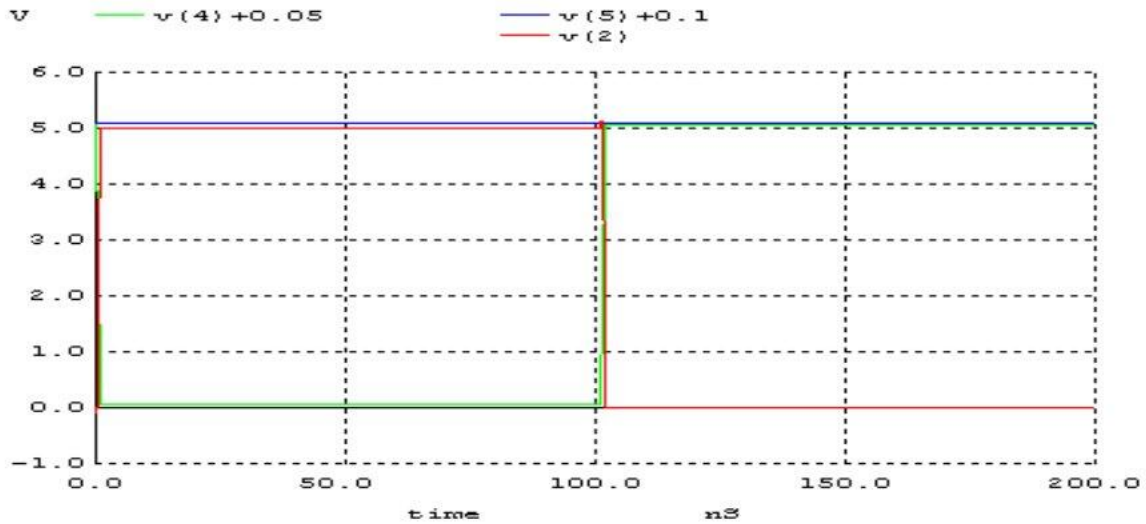
```
M4 2 5 3 3 MOSN W=1.8u L=1.2u
M5 3 4 0 0 MOSN W=1.8u L=1.2u
```

```
vdd 1 0 5V
Vin 4 0 pulse(5V 0V 0 1ns 1ns 100ns 200ns)
Vin1 5 0 5V
```

```
.control
tran 0.005n 200n
plot v(2) v(4)+0.05 v(5)+0.1
```

.endc

.end



En az sayıda CMOS teknolojisini kullanarak 2 girişli Ve Değil (NAND) kapısı tasarladığımız zaman ve ağ listesini oluşturduğumuzda karşımıza bu grafikler çıkmıştır. Burada beklenen durum ise;

A	B	(A.B)'
0	0	1
0	1	1
1	0	1
1	1	0

Şeklinde dir. NAND kapısının mantık tablosuna bakıldığında ve grafiklerle karşılaştırıldığında durumlar sağlanmaktadır.

3)

*nor

```
.MODEL MOSN NMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=5.36726E+15 VTO=0.743469 KP=8.00059E-05 GAMMA=0.543
+ PHI=0.6 U0=655.881 UEXP=0.157282 UCRIT=31443.8
+ DELTA=2.39824 VMAX=55260.9 XJ=0.25U LAMBDA=0.0367072
+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=1.0 RSH=70.00
+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0003 MJ=0.6585
+ CJSW=8.0E-10 MJSW=0.2402 PB=0.58
```

```
.MODEL MOSP PMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=4.3318E+15 VTO=-0.738861 KP=2.70E-05 GAMMA=0.58
+ PHI=0.6 U0=261.977 UEXP=0.323932 UCRIT=65719.8
+ DELTA=1.79192 VMAX=25694 XJ=0.25U LAMBDA=0.0612279
+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=-1.0 RSH=120.6
+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0005 MJ=0.5052
+ CJSW=1.349E-10 MJSW=0.2417 PB=0.64
```

```
M1 5 2 0 0 MOSN W=1.8u L=1.2u
```

```
M2 5 4 0 0 MOSN W=1.8u L=1.2u
```

```
M4 3 2 1 1 MOSP W=5.4u L=1.2u
```

```
M5 5 4 3 3 MOSP W=5.4u L=1.2u
```

```
vdd 1 0 5V
```

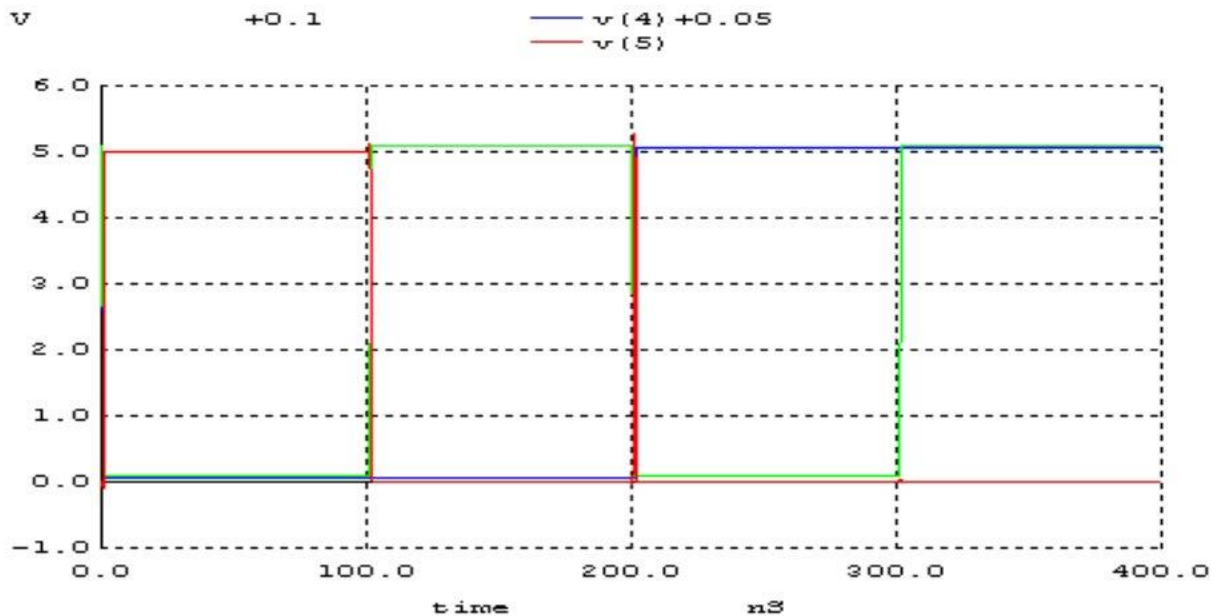
```
Vin 2 0 pulse(5V 0V 0 1ns 1ns 100ns 200ns)
```

```
Vin1 4 0 pulse(5v 0V 0 1ns 1ns 200ns 400ns)
```

c1 5 0 1fF

```
.control
tran 0.05n 400n
plot v(5) v(2)+0.1 v(4)+0.05

.endc
.end
```



```
*nor
.MODEL MOSN NMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=5.36726E+15 VTO=0.743469 KP=8.00059E-05 GAMMA=0.543
+ PHI=0.6 U0=655.881 UEXP=0.157282 UCRIT=31443.8
+ DELTA=2.39824 VMAX=55260.9 XJ=0.25U LAMBDA=0.0367072
+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=1.0 RSH=70.00
+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0003 MJ=0.6585
+ CJSW=8.0E-10 MJSW=0.2402 PB=0.58
```

```
.MODEL MOSP PMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=4.3318E+15 VTO=-0.738861 KP=2.70E-05 GAMMA=0.58
+ PHI=0.6 U0=261.977 UEXP=0.323932 UCRIT=65719.8
+ DELTA=1.79192 VMAX=25694 XJ=0.25U LAMBDA=0.0612279
+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=-1.0 RSH=120.6
+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0005 MJ=0.5052
+ CJSW=1.349E-10 MJSW=0.2417 PB=0.64
```

```
M1 5 2 0 0 MOSN W=1.8u L=1.2u
M2 5 4 0 0 MOSN W=1.8u L=1.2u
```

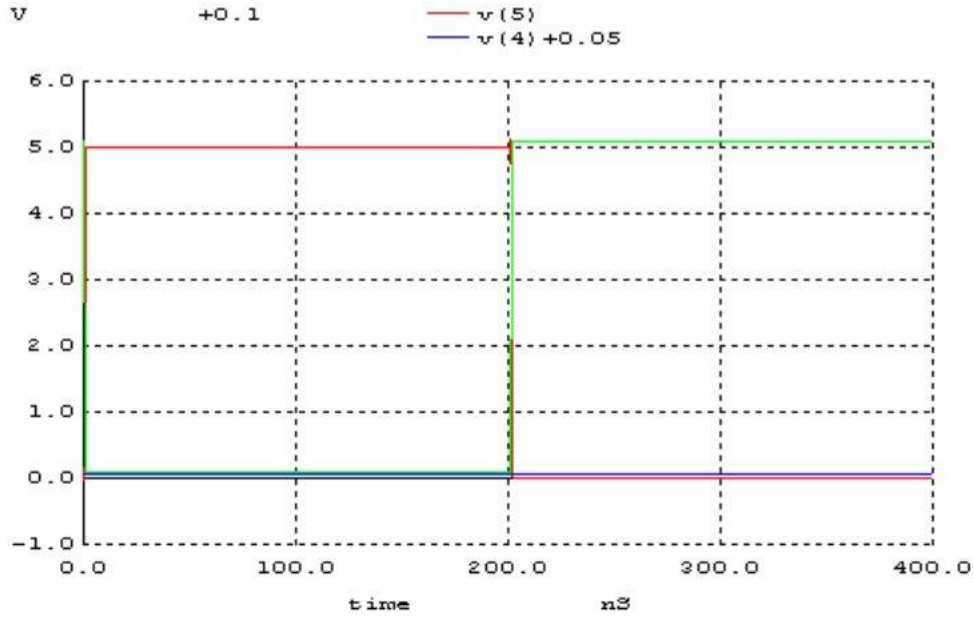
```
M4 3 2 1 1 MOSP W=5.4u L=1.2u
M5 5 4 3 3 MOSP W=5.4u L=1.2u
```

```
vdd 1 0 5V
Vin 2 0 pulse(5V 0V 0 1ns 1ns 200ns 400ns)
Vin1 4 0 0V
```

```
.control
tran 0.05n 400n
plot v(5) v(2)+0.1 v(4)+0.05
```

.endc

.end



En az sayıda CMOS teknolojisini kullanarak 2 girişli Veya Değil (NOR) kapısı tasarladığımız zaman ve ağ listesini oluşturduğumuzda karşımıza bu grafikler çıkmıştır. Burada beklenen durum ise;

A	B	$(A+B)'$
0	0	1
0	1	0
1	0	0
1	1	0

Şeklinde dir. NOR kapısının mantık tablosuna bakıldığında ve grafikle karşılaştırıldığında durumlar sağlanmaktadır.

4) 1. 2. ve 3. maddelerde tasarlanan XOR, NAND ve NOR kapıları Spice benzetimcisi ile gereken giriş sinyalleri uygulayarak bu maddeler içerisinde kontrol edilmiştir ve grafikleri yukarıda olduğu gibi elde edilmiştir. Mantıksal işlev olarak test edildiğinde doğruluğu görülmüştür.

5) Tasarlanan mantık kapılarında en kötü gecikme zamanları elde edildiğinde ve karşılaştırıldığında gecikme süresi en düşük olan kapı NOR kapısıdır.

