

RAPOR:

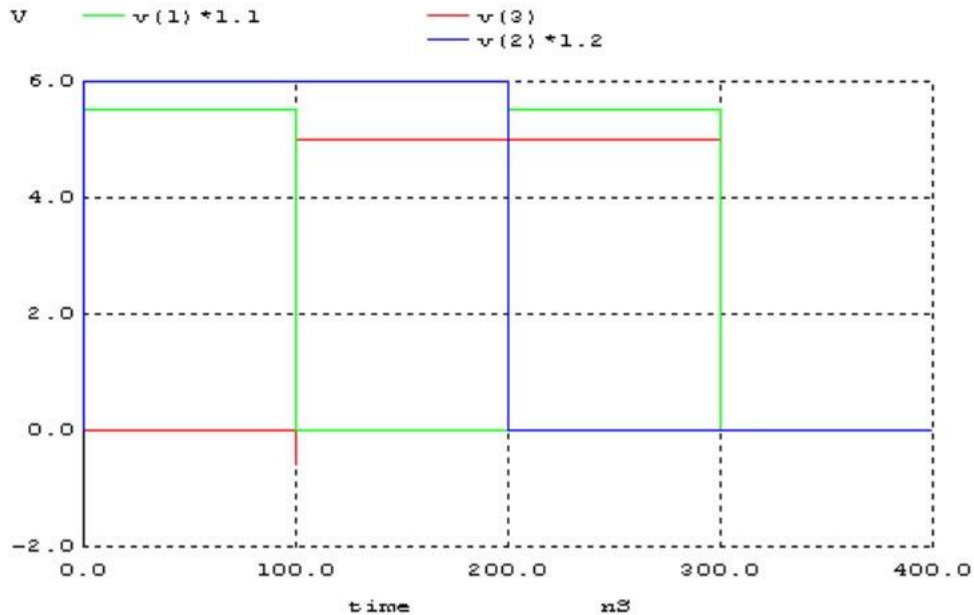
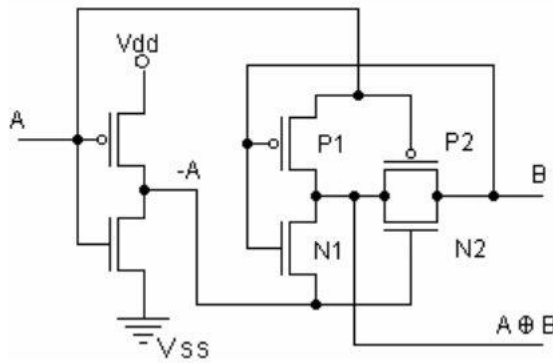
Bu deneyde ki amaç föyde belirtilen mantık kapılarını logic olarak FET transistörler ile tasarlamaktır. Bu tasarımın sonucunda verdiğimiz giriş sinyalleri ile doğru sonucu alıp almadığımızı ise Spice ortamında elde ettiğimiz grafikler ile gözlemleyeceğiz. Önçalışmada yapılan tasarımlarda her transistör için Drain ve Source uçları belirtilmiştir.

Tasarımlar yapılırken kullanılan transistör sayısı,propogation delay,kazanç ve oluşabilecek kayıplar göz önünde bulundurulmuştur.

1-)

i)

İlk olarak Şekil-1 de verilen XOR devresi için ağılist oluşturuldu ve aşağıda ki grafik elde edildi.Bu grafik üzerinde XOR için olabilecek bütün girişlere göre çıkışlar grafikte gözlenmiştir.Bütün kurgulanabilecek girdi olasılıkları P2 N2 transistörlerinin bağlanma durumlarından kaynaklanmaktadır.B girişi P2 ve N2 girişlerinin bacaklarının durumlarını belirlemektedir.



```
.MODEL MOSN NMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=5.36726E+15 VTO=0.743469 KP=8.00059E-05 GAMMA=0.543
+ PHI=0.6 U0=655.881 UEXP=0.157282 UCRIT=31443.8
+ DELTA=2.39824 VMAX=55260.9 XJ=0.25U LAMBDA=0.0367072
+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=1.0 RSH=70.00
```

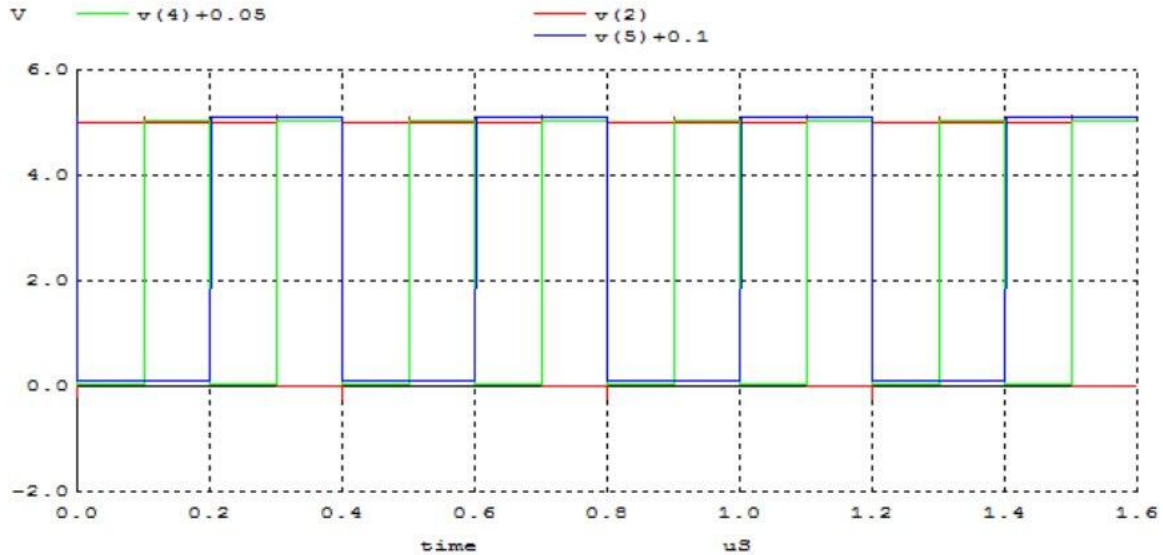
```

+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0003 MJ=0.6585
+ CJSW=8.0E-10 MJSW=0.2402 PB=0.58
.MODEL MOSP PMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=4.3318E+15 VTO=-0.738861 KP=2.70E-05 GAMMA=0.58
+ PHI=0.6 U0=261.977 UEXP=0.323932 UCRIT=65719.8
+ DELTA=1.79192 VMAX=25694 XJ=0.25U LAMBDA=0.0612279
+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=-1.0 RSH=120.6
+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0005 MJ=0.5052
+ CJSW=1.349E-10 MJSW=0.2417 PB=0.64
M1 5 1 4 4 MOSP W=5.4u L=1.2u
M2 3 2 1 4 MOSP W=5.4u L=1.2u
M3 3 1 2 4 MOSP W=5.4u L=1.2u
M4 5 1 0 0 MOSN W=1.8u L=1.2u
M5 2 5 3 0 MOSN W=1.8u L=1.2u
M6 3 2 5 0 MOSN W=1.8u L=1.2u
vdd 4 0 5V
Vin 1 0 pulse(0V 5V 0 0ns 0ns 100ns 200ns)
Vin1 2 0 pulse(0V 5V 0 0ns 0ns 200ns 400ns)
.control
tran 0.05n 400n
plot v(3) v(1)*1.1 v(2)*1.2
.endc
.end

```

ii)

Nand kapısı için yine aynı şekilde ağlist oluşturularak Spice ortamında grafikler elde edilmiştir. Farklı tasarım şekilleri önçalışmada gösterilmiştir. Grafik şekilde ki gibidir :



Ağlist şekilde ki gibidir:

```

.MODEL MOSN NMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=5.36726E+15 VTO=0.743469 KP=8.00059E-05 GAMMA=0.543
+ PHI=0.6 U0=655.881 UEXP=0.157282 UCRIT=31443.8
+ DELTA=2.39824 VMAX=55260.9 XJ=0.25U LAMBDA=0.0367072

```

```

+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=1.0 RSH=70.00
+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0003 MJ=0.6585
+ CJSW=8.0E-10 MJSW=0.2402 PB=0.58

.MODEL MOSP PMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=4.3318E+15 VTO=-0.738861 KP=2.70E-05 GAMMA=0.58
+ PHI=0.6 U0=261.977 UEXP=0.323932 UCRIT=65719.8
+ DELTA=1.79192 VMAX=25694 XJ=0.25U LAMBDA=0.0612279
+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=-1.0 RSH=120.6
+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0005 MJ=0.5052
+ CJSW=1.349E-10 MJSW=0.2417 PB=0.64

M1 2 4 1 1 MOSP W=5.4u L=1.2u
M2 2 5 1 1 MOSP W=5.4u L=1.2u
M3 2 5 3 3 MOSN W=1.8u L=1.2u
M4 3 4 0 0 MOSN W=1.8u L=1.2u
vdd 1 0 5V
Vin 4 0 pulse(5V 0V 0 1ns 1ns 100ns 200ns)
Vin1 5 0 pulse(5V 0V 0 1ns 1ns 200ns 400ns)
c1 5 0 1fF
.control
tran 0.05n 1600n
plot v(2) v(4)+0.05 v(5)+0.1
.endc
.end

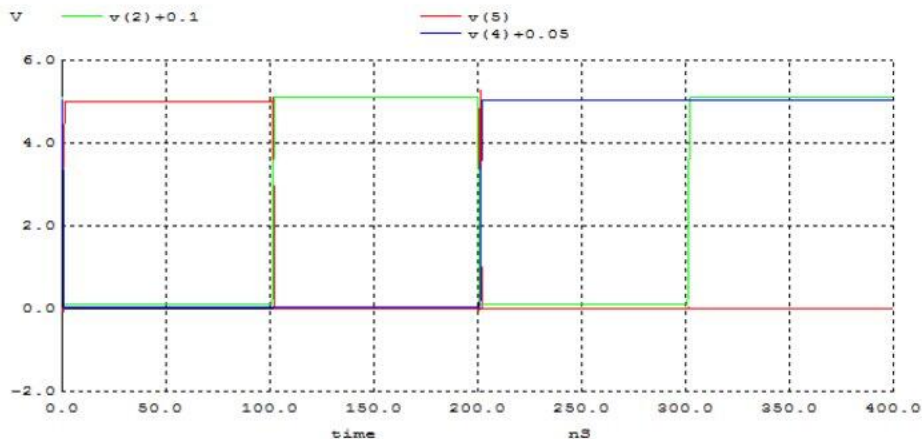
```

Doğruluk tablosu ise aşağıdaki gibidir..

A	B	(A.B)'
0	0	1
0	1	1
1	0	1
1	1	0

iii) Bu şıkta ise NOR kapısı tasarlandı.Dört adet transistör kullanılarak yine önçalışmada belirtilen devre formatında ağıst oluşturuldu.Grafik üzerinden tasarlanan NOR gate in çalışmasında bir problem olmadığı gözlenmiştir.

Grafik şekilde ki gibidir:



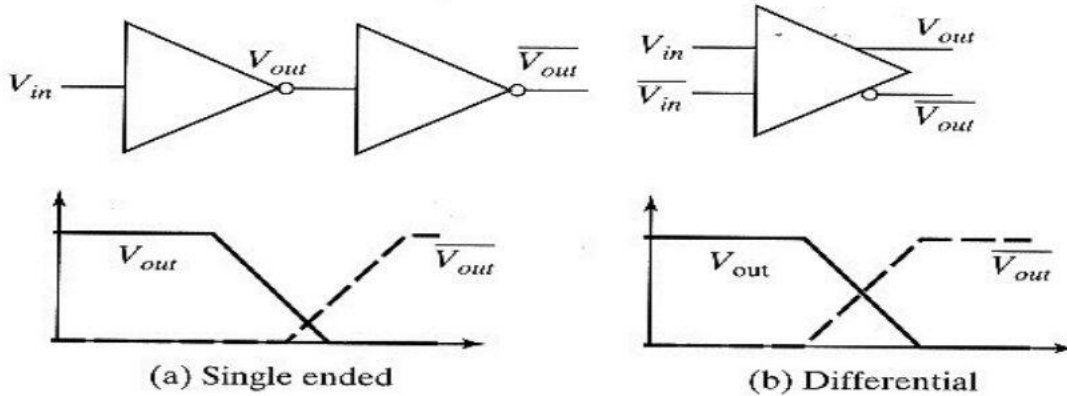
Elde ettiğimiz bu grafiğin ağılist i ise aşağıdaki gibidir:

```
.MODEL MOSN NMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=5.36726E+15 VTO=0.743469 KP=8.00059E-05 GAMMA=0.543
+ PHI=0.6 U0=655.881 UEXP=0.157282 UCRIT=31443.8
+ DELTA=2.39824 VMAX=55260.9 XJ=0.25U LAMBDA=0.0367072
+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=1.0 RSH=70.00
+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0003 MJ=0.6585
+ CJSW=8.0E-10 MJSW=0.2402 PB=0.58
.MODEL MOSP PMOS LEVEL=2 LD=0.15U TOX=200.0E-10
+ NSUB=4.3318E+15 VTO=-0.738861 KP=2.70E-05 GAMMA=0.58
+ PHI=0.6 U0=261.977 UEXP=0.323932 UCRIT=65719.8
+ DELTA=1.79192 VMAX=25694 XJ=0.25U LAMBDA=0.0612279
+ NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=-1.0 RSH=120.6
+ CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0005 MJ=0.5052
+ CJSW=1.349E-10 MJSW=0.2417 PB=0.64
M1 5 2 0 0 MOSN W=1.8u L=1.2u
M2 5 4 0 0 MOSN W=1.8u L=1.2u
M3 3 2 1 1 MOSP W=5.4u L=1.2u
M4 5 4 3 3 MOSP W=5.4u L=1.2u
Vdd 1 0 5V
Vin 2 0 pulse(5V 0V 0 1ns 1ns 100ns 200ns)
Vin1 4 0 pulse(5v 0V 0 1ns 1ns 200ns 400ns)
C2 5 0 1fF
.control
tran 0.05n 400n
plot v(5) v(2)+0.1 v(4)+0.05
.endc
.end
```

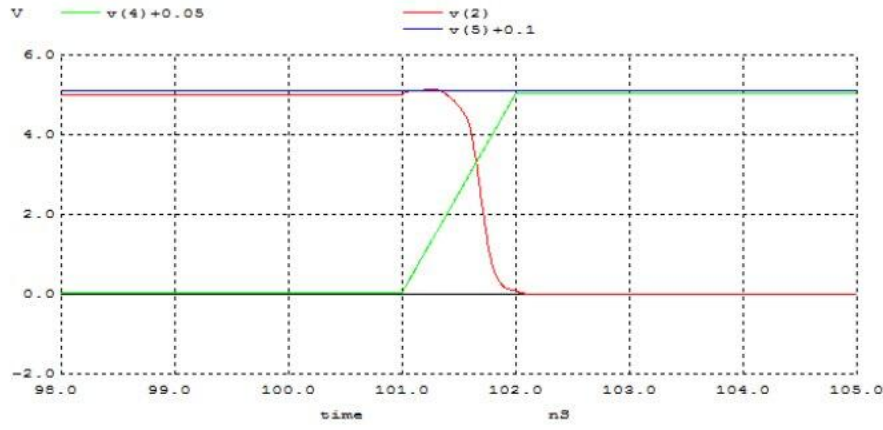
Böylece yapılan 3 tasarım içinde ağılist ve grafikler yukarıda gösterilmiştir. Grafikler üzerinde girişleri değerlendirdiğimizde çıkışlar kurgulanan mantık kapılarının doğru çalıştıkları gözlenmiştir.

2-) Tasarladığımız XOR,NAND VE NOR kapıları arasında en kötü gecikme zamanları elde edildiğinde gecikme süresinin en düşük yani en olumlu olanının NOR kapısı olduğunu gözlemlenmiştir.

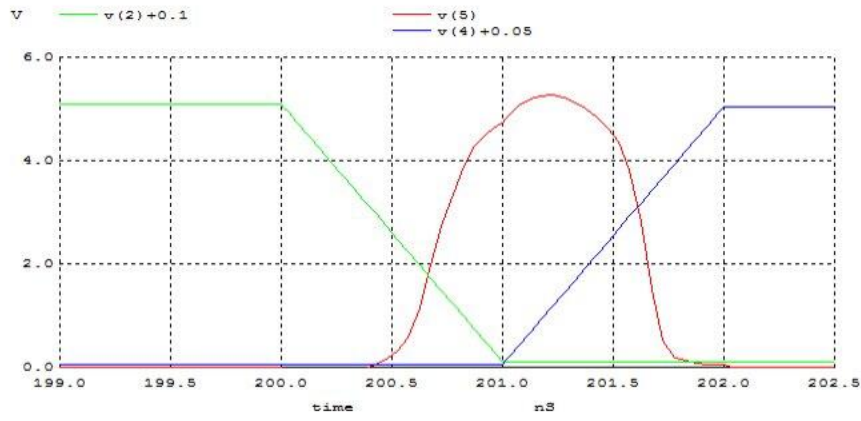
Yapılan tasarımlarda differential yapıya yakın olan tasarımlarda gecikme süresinin en aza indirgendiğini fark edilmektedir. Şekilden de gözlemlendiği gibi çıkıştaki değişim differential yapıda çok daha erken gözlemlenmektedir.



Bu ilk grafik NAND kapısı için.



Altındaki grafik ise NOR kapısı için.



Son grafik ise XOR kapısı için:

