



Başkent Üniversitesi
Elektrik Elektronik Müh. Bölümü
EEM312 – DIGITAL ELECTRONIC
Laboratory

Report

19.05.2005

Experiment No : Y7

Experiment Name : Statik ve Dinamik Güç

[Redacted]

[Redacted]

[Redacted]

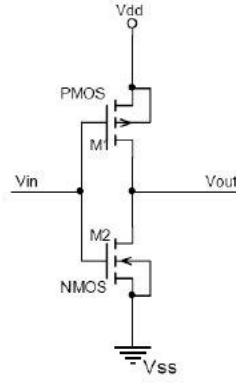
[Redacted]

Number

[Redacted]

[Redacted]

1-) Aşağıda verilen şekil ve tablo1 deki verilen model tanımlamalarını kullanarak oluşturduğumuz ağ listesini kullanarak aşağıdaki şıklarda verilen grafikleri elde ettik.

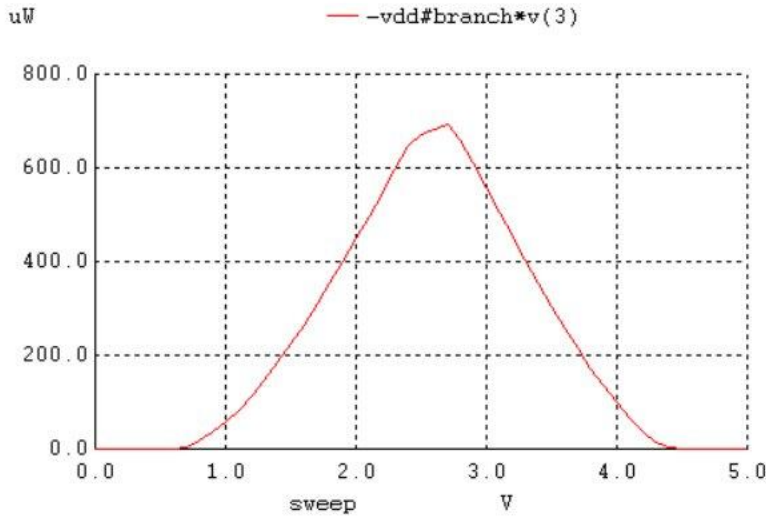


Şekil 1 – CMOS Tersleyici dinamik modeli

Tablo 1 – Model parametreleri

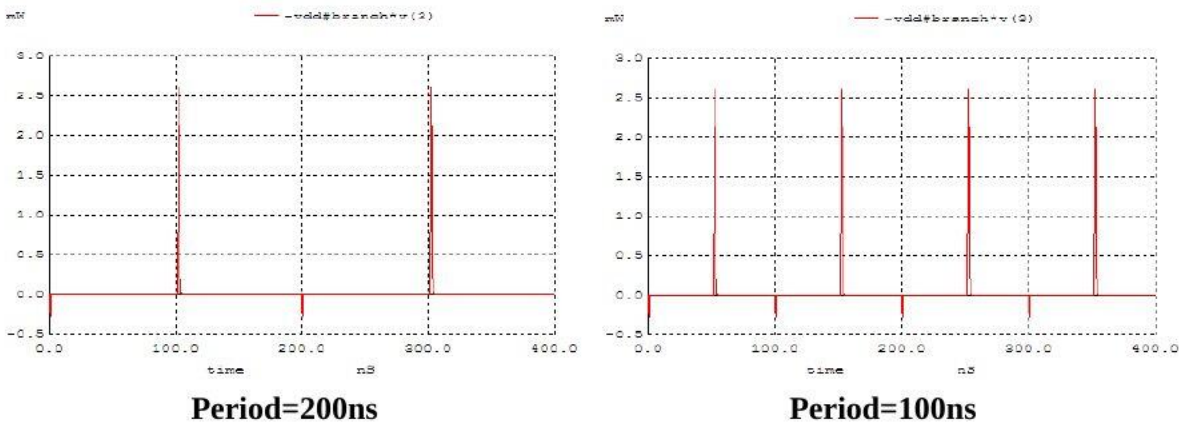
.MODEL MOSN NMOS LEVEL=2 LD=0.15U TOX=200.0E-10 + NSUB=5.36726E+15 VTO=0.743469 KP=8.00059E-05 GAMMA=0.543 + PHI=0.6 U0=655.881 UEXP=0.157282 UCRIT=31443.8 + DELTA=2.39824 VMAX=55260.9 XJ=0.25U LAMBDA=0.0367072 + NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=1.0 RSH=70.00 + CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0003 MJ=0.6585 + CJSW=8.0E-10 MJSW=0.2402 PB=0.58
.MODEL MOSP PMOS LEVEL=2 LD=0.15U TOX=200.0E-10 + NSUB=4.3318E+15 VTO=-0.738861 KP=2.70E-05 GAMMA=0.58 + PHI=0.6 U0=261.977 UEXP=0.323932 UCRIT=65719.8 + DELTA=1.79192 VMAX=25694 XJ=0.25U LAMBDA=0.0612279 + NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=-1.0 RSH=120.6 + CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0005 MJ=0.5052 + CJSW=1.349E-10 MJSW=0.2417 PB=0.64

a)



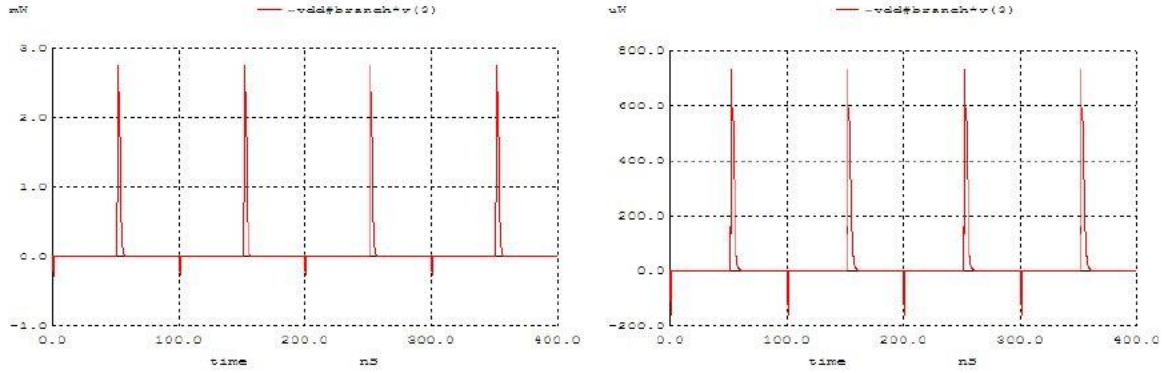
Yukarıdaki grafikte Vdd 0-5V arasında değişirken PMOS'un harcadığı gücü elde ettik. En fazla güç harcanan yer Vdd 2,7V iken elde edilmiştir.

b)



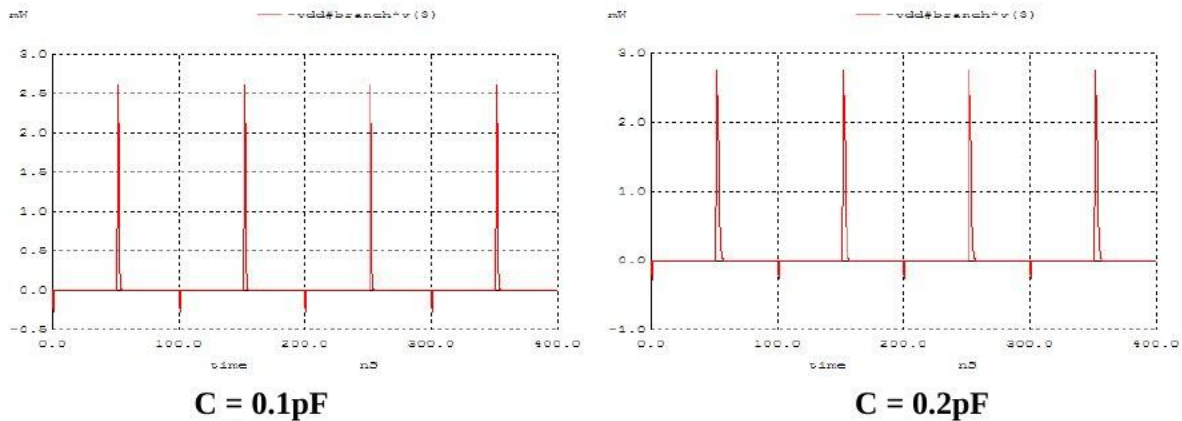
Yukarıdaki grafikte Güç tüketimi (switching) anahtarlama sırasında olmaktadır. Anahtarlama 0'dan 1'e giderken güç daha çok harcanır çünkü anahtarlama 0'dan 1'e giderken kapasitörü doldurmak için güç harcanır. 0'dan 1'e geçişte ise kapasitör boşalacağı için güç harcanmaz. $P_{dyn} = C * V_{dd}^2 * f$ şeklindedir. Period azaldıkça frekans artar. Bu nedenle period 100ns iken güç tüketimi 200 ns olandan daha fazla çıkmıştır.

c) Aşağıdaki grafiklerde kapasitör ve period aynı iken Vdd nin değişimine göre güç tüketimi görülmektedir.



Yukarıdaki grafiklerden Vdd voltajını 5V'dan 3V'a düşürdüğümüzde güç tüketimi düştüğü gözlenmektedir. $P_{dyn} = C * V_{dd}^2 * f$ formülünden de görüldüğü gibi Vdd voltajı düştükçe harcanan güç azalmaktadır.

d) Aşağıdaki grafiklerde kapasitörün değişimine göre güç tüketiminin değişimi görülmektedir.

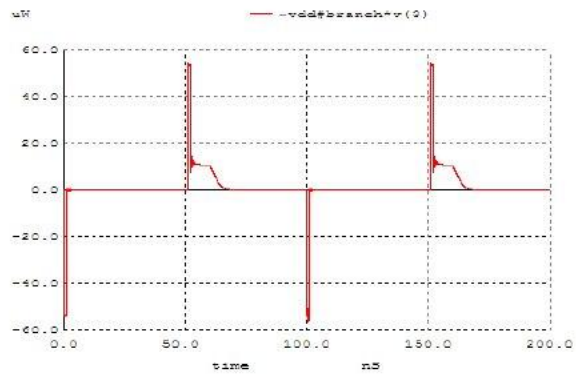


$C = 0.1pF$

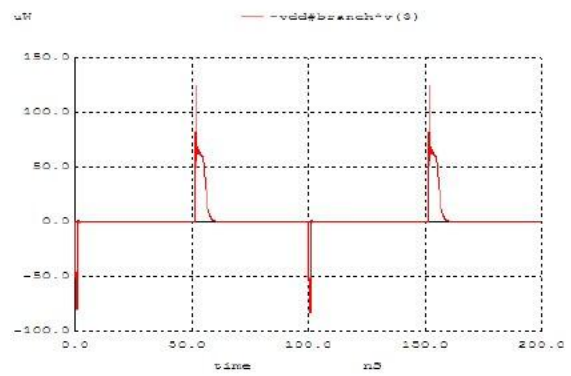
$C = 0.2pF$

$P_{dyn} = C * V_{dd}^2 * f$ formülünden de görüldüğü gibi kapasitör 2 katına çıkarılırsa harcama gücünde iki katına çıkması gerekir yani kapasitör ile güç tüketimi doğru orantılıdır. Fakat simülasyonda kapasitörün değerini iki katına çıkardığımızda güç tüketiminde bir değişiklik olmamıştır.

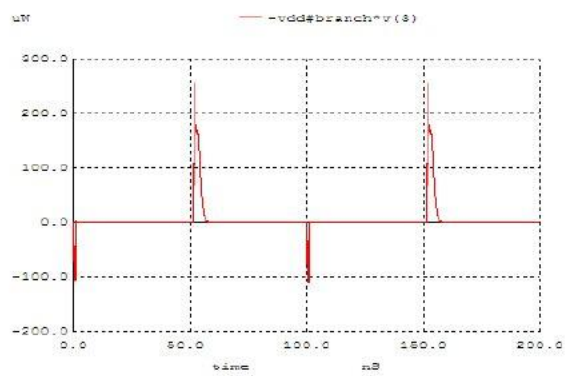
2-)



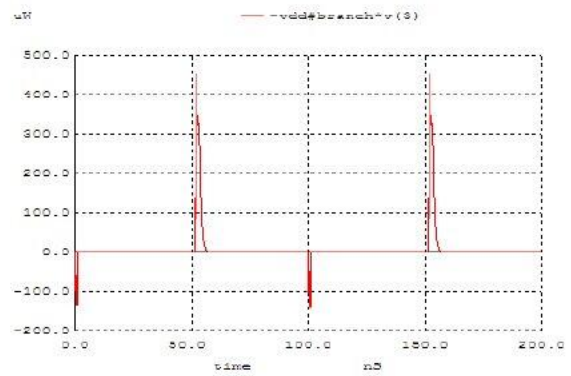
V = 1V



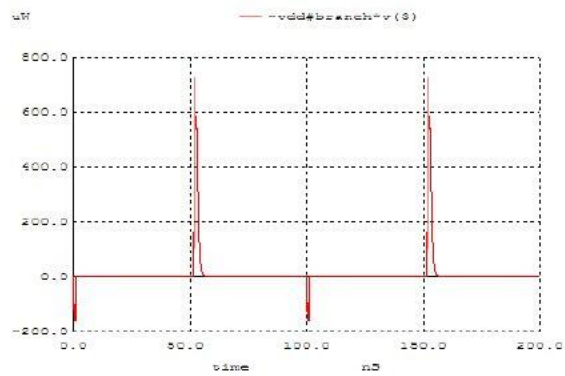
V = 1.5V



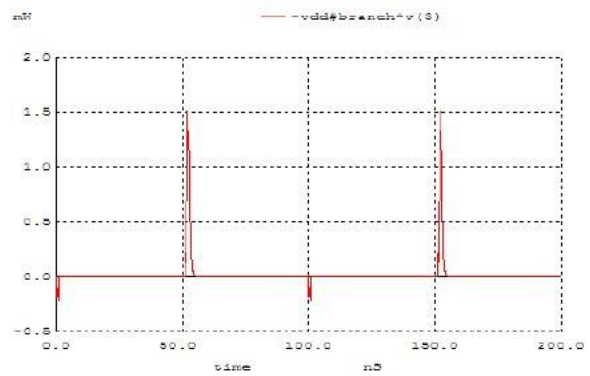
V = 2V



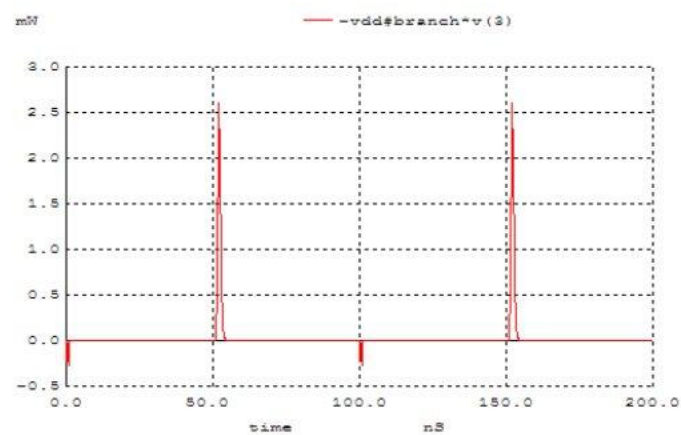
V = 2.5V



V = 3V

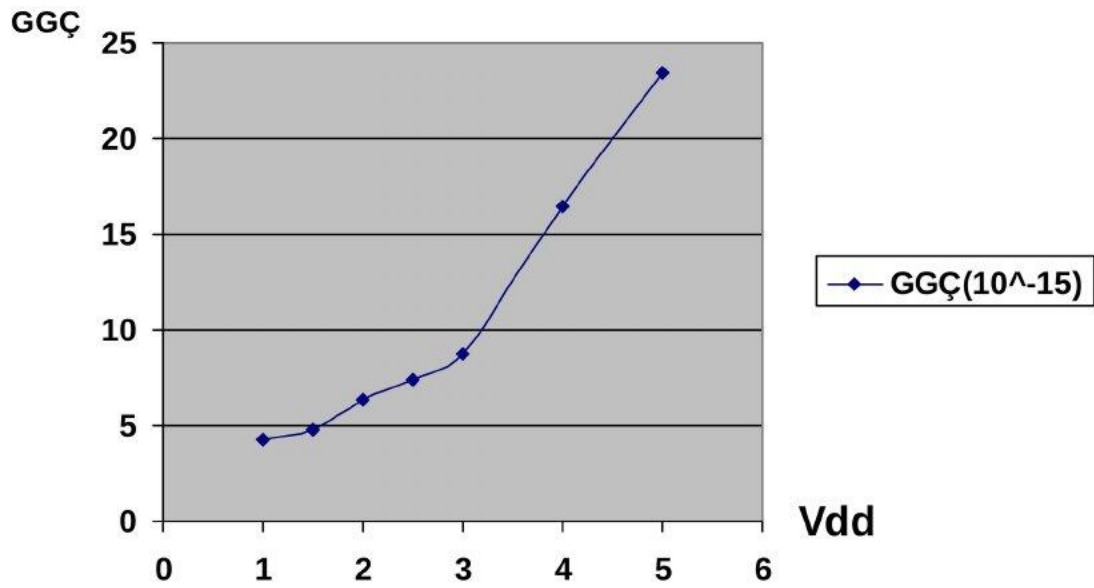


V = 4V



V = 5V

Vdd	tp (Gecikme süresi)(ps)	Güç tüketimi (W)	Güç Gecikme Çarpanı(W)
1V	3550	$1.19 \cdot 10^{-6}$	$4.23 \cdot 10^{-15}$
1.5V	1850	$2.6 \cdot 10^{-6}$	$4.81 \cdot 10^{-15}$
2V	1350	$4.7 \cdot 10^{-6}$	$6.34 \cdot 10^{-15}$
2.5V	1000	$7.36 \cdot 10^{-6}$	$7.4 \cdot 10^{-15}$
3V	820	$1.06 \cdot 10^{-5}$	$8.7 \cdot 10^{-15}$
4V	850	$1.93 \cdot 10^{-5}$	$16.41 \cdot 10^{-15}$
5V	750	$3.12 \cdot 10^{-5}$	$23.4 \cdot 10^{-15}$



Yukarıda Vdd'ye karşı güç gecikme çarpanı grafiği görülmektedir. Bu grafik ve değerleri incelediğimizde en iyi performans Vdd'nin 2.5V değerinde elde edilmiştir.

Kısa kanallı mosfetlerde gecikme süreleri daha kısa olur bu nedenle dirençler ve tp süreleri azalır. Fakat ortalama güç değerleri değişmeyeceğinden güç gecikme çarpanının azalması beklenir.