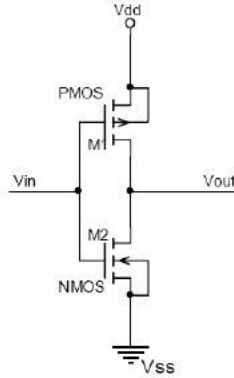


1) Aşağıda verilen şekil-1'deki devre için , model tanımlamalarını kullanarak oluşturduğum ağ listesini kullanarak aşağıdaki şıklarda verilen grafikleri elde ettim



Şekil 1 – CMOS Tersleyici dinamik modeli

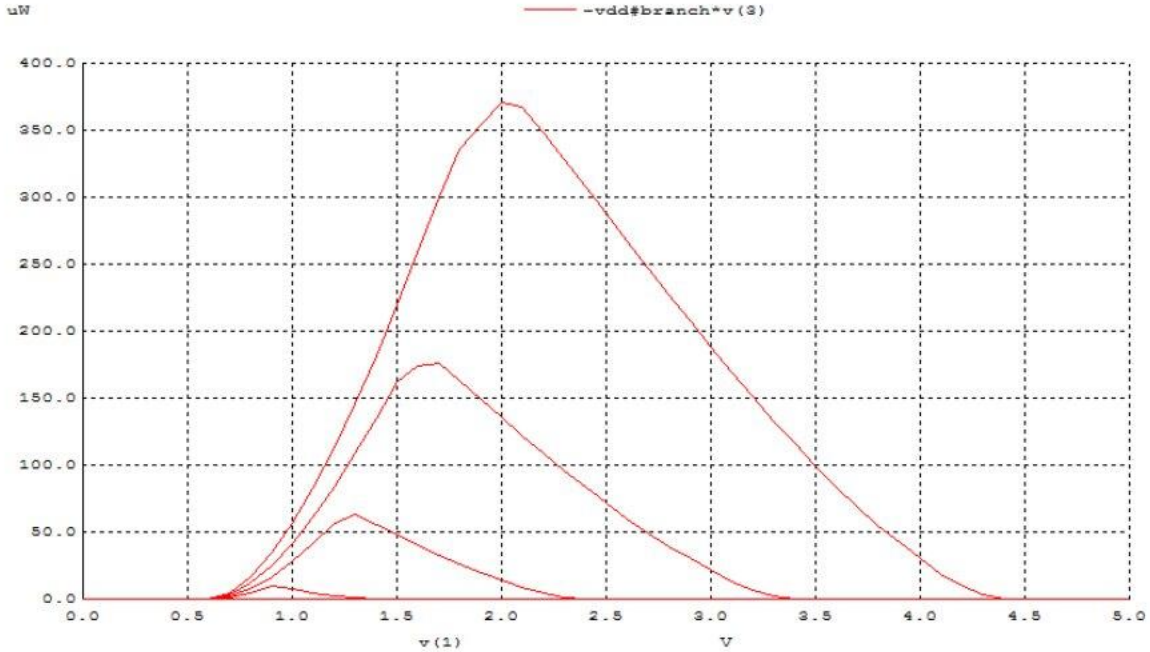
Tablo 1 – Model parametreleri

.MODEL MOSN NMOS LEVEL=2 LD=0.15U TOX=200.0E-10 + NSUB=5.36726E+15 VTO=0.743469 KP=8.00059E-05 GAMMA=0.543 + PHI=0.6 U0=655.881 UEXP=0.157282 UCRIT=31443.8 + DELTA=2.39824 VMAX=55260.9 XJ=0.25U LAMBDA=0.0367072 + NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=1.0 RSH=70.00 + CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0003 MJ=0.6585 + CJSW=8.0E-10 MJSW=0.2402 PB=0.58
.MODEL MOSP PMOS LEVEL=2 LD=0.15U TOX=200.0E-10 + NSUB=4.3318E+15 VTO=-0.738861 KP=2.70E-05 GAMMA=0.58 + PHI=0.6 U0=261.977 UEXP=0.323932 UCRIT=65719.8 + DELTA=1.79192 VMAX=25694 XJ=0.25U LAMBDA=0.0612279 + NFS=1E+12 NEFF=1.001 NSS=1E+11 TPG=-1.0 RSH=120.6 + CGDO=4.3E-10 CGSO=4.3E-10 CJ=0.0005 MJ=0.5052 + CJSW=1.349E-10 MJSW=0.2417 PB=0.64

a)

DC analiz Vdd=0-5V arası	- Giriş gerilimine göre devrenin statik harcadığı gücü değişen vdd gerilimleri için elde edin, en yüksek değerini nerede almaktadır belirtin. - Vdd voltajının etkisi nedir, oranlar vererek açıklayın.
-----------------------------	--

Aşağıda elde ettiğim grafikte Vdd 0-5V arasında değişirken PMOS'un harcadığı gücü elde ettim. Vdd 2V civarında iken NMOS ve PMOS çok kısa bir süre için ON olur bu nedenle statik harcadığı güç artar. Çünkü Vdd ile Gnd arasında direkt bir yol oluşur bu da statik güç tüketimine neden olur..

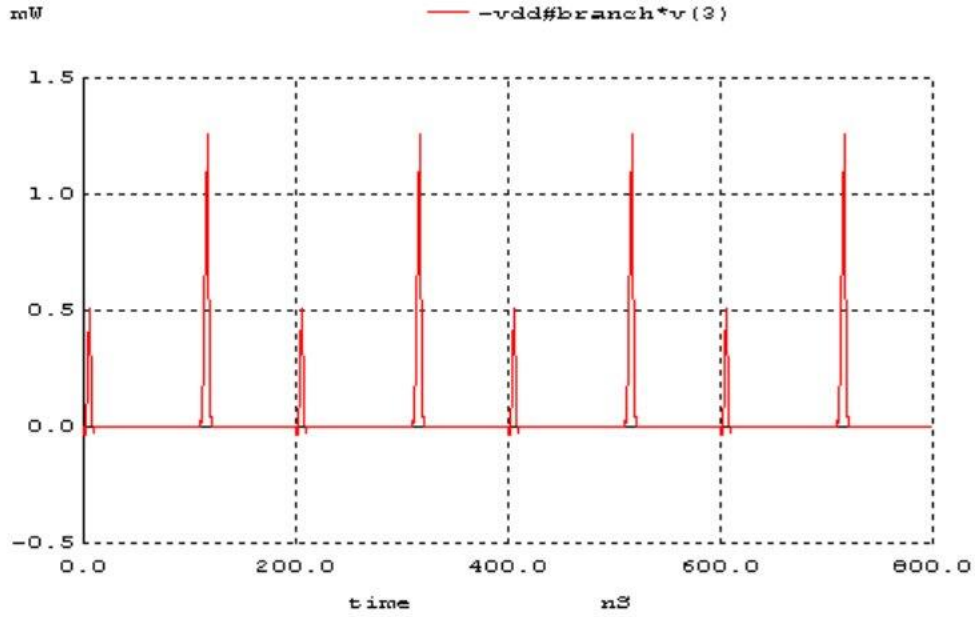


Bu nedenle harcanan statik güç en yüksek değerini Vdd=2V iken alır.

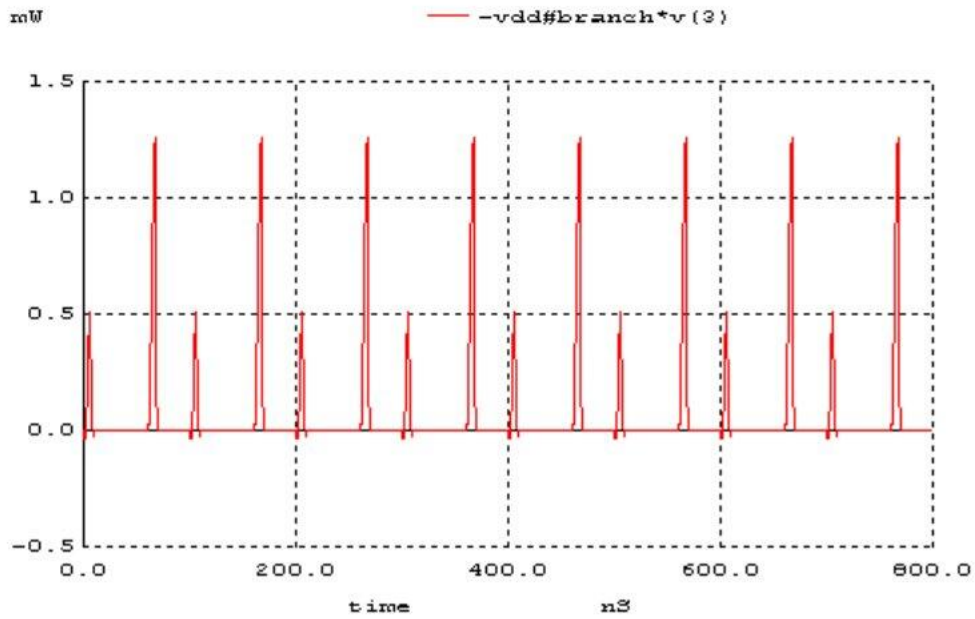
b)

Geçici Durum Analizi $C_L=0.1p$ $Per=200n$ $V_{dd}=5V$	• Devrenin anahtarlama süresince hangi durumda en yüksek güç tüketimine sahiptir. • Devrenin anahtarlama süresince ortalama ne kadar güç tüketmektedir? • Benzetim sonuçlarına göre ortalama güç tüketim oranının değişimi nedir?
Geçici Durum Analizi $C_L=0.1p$ $Per=100n$ $V_{dd}=5V$	

per = 200 ns



per = 100 ns



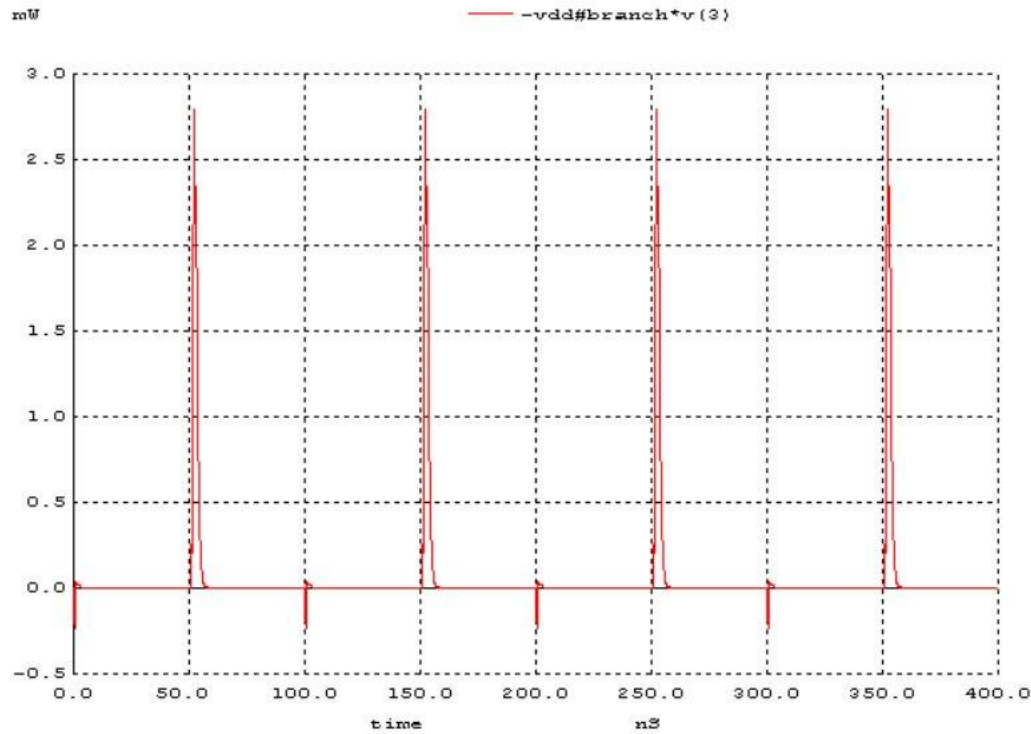
Güç tüketimi (switching) anahtarlama sırasında olmaktadır. $P_{dyn} = C * V_{dd}^2 * f * P_{0 \rightarrow 1}$ formülünden de görüldüğü gibi anahtarlama 0'dan 1'e giderken güç daha çok harcanır çünkü anahtarlama 0'dan 1'e giderken kapasitörü doldurmak için güç harcanır..Period azaldıkça frekans artar. Bu nedenle period 100ns iken güç tüketimi 200 ns olandan daha fazla çıkmıştır.

c)

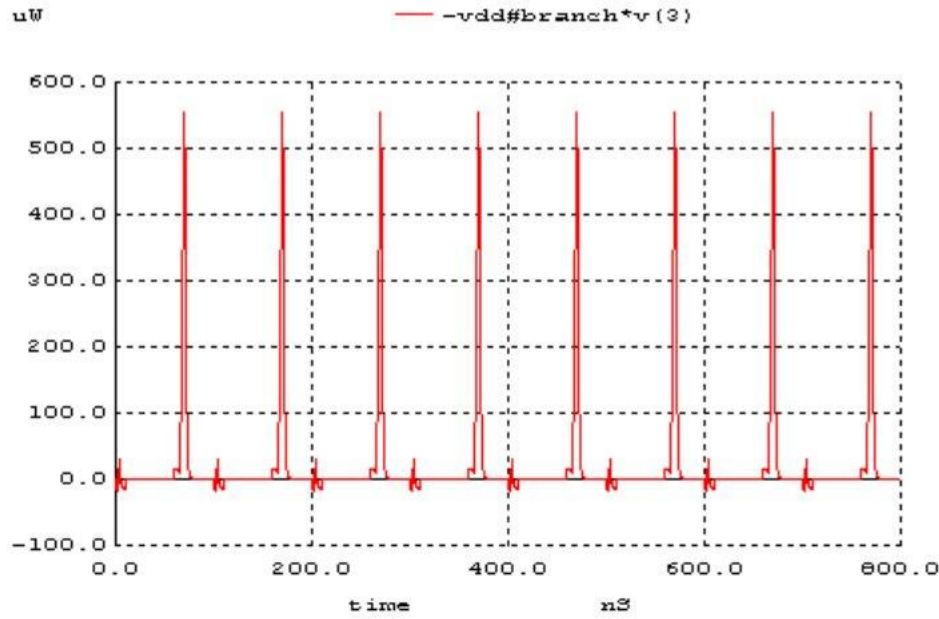
Geçici Durum Analizi $C_L=0.2p$ $Per=100n$ $V_{dd}=5V$	- Devrenin anahtarlama süresince ortalama ne kadar güç tüketmektedir? - Benzetim sonuçlarına göre ortalama güç tüketim oranının değişimi nedir?
Geçici Durum Analizi $C_L=0.2p$ $Per=100n$ $V_{dd}=3V$	

Aşağıdaki grafiklerde kapasitör ve period aynı iken V_{dd} nin değişimine göre güç tüketimi görülmektedir.

$V_{dd}=5V$



Vdd= 3V



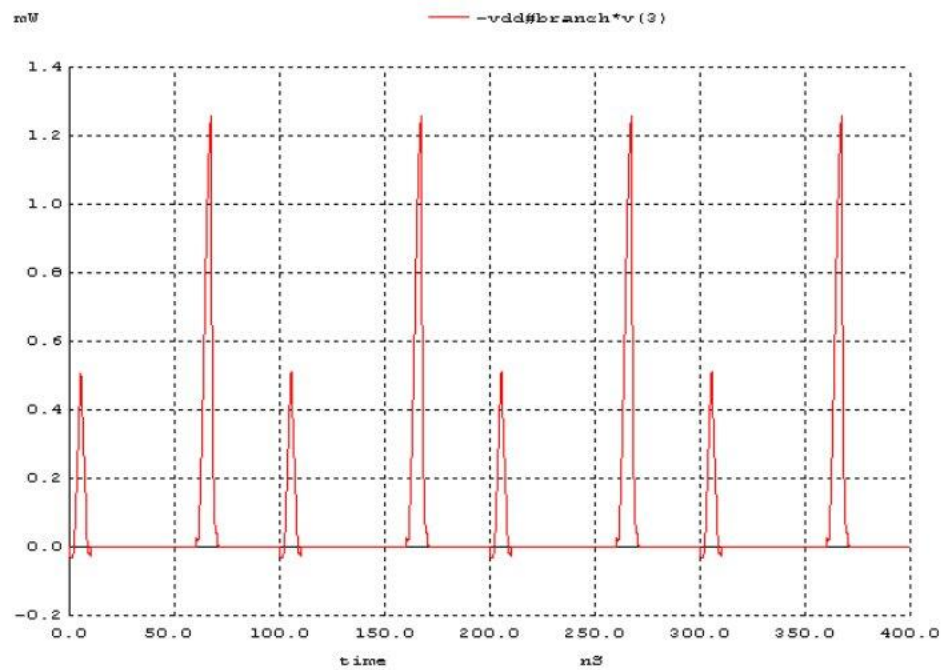
Vdd voltajını 5V'dan 3V'a düşürdüğümüzde güç tüketimi düştüğü gözlenmektedir. $P_{dyn} = C * V_{dd}^2 * f$ formülünden de görüldüğü gibi Vdd voltajı düştükçe harcanan güç azalmaktadır. Kapasitör ve periyod aynı olduğu için bu iki sonuç arasında ikisinin Vdd'lerinin karelerinin oranı söz konusudur. Yani Vdd=5V tan Vdd=3V ta düştüğünde güç tüketiminde %36lık bir azalma olacaktır

d)

Geçici Durum Analizi $C_L=0.1p$ Per=100n Vdd=5V	- Devrenin anahtarlama süresince ortalama ne kadar güç tüketmektedir? - Benzetim sonuçlarına göre ortalama güç tüketim oranının değişimi nedir?
Geçici Durum Analizi $C_L=0.2p$ Per=100n Vdd=5V	

Aşağıdaki grafiklerde kapasitörün değişimine göre güç tüketiminin değişimi görülmektedir.

Cl=0.1pF

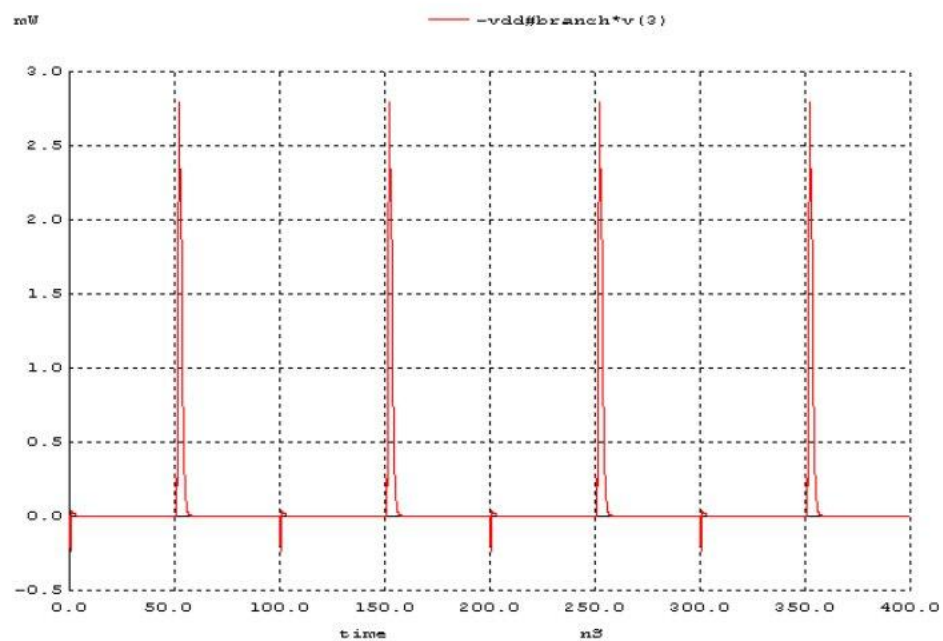


$P_{0 \rightarrow 1} = 4/4 = 1$

$f = 10 \text{ MHz}$

$P_{\text{dyn}} = 25 \mu\text{W}$

Cl=0.2pF



$P_{0 \rightarrow 1} > 1 = 4/4 = 1$

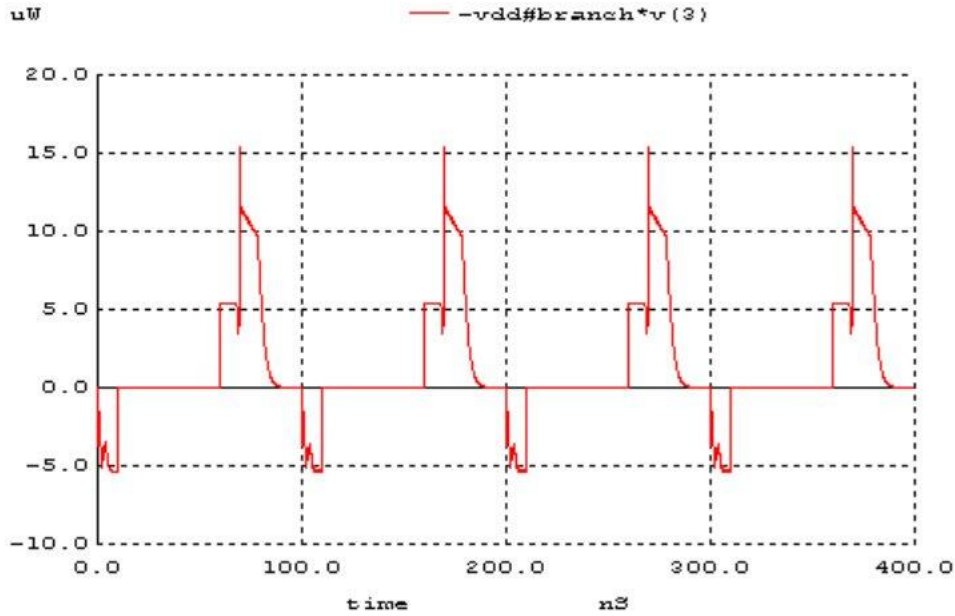
$f = 10 \text{ MHz}$

$P_{\text{dyn}} = C_l \cdot V_{\text{dd}}^2 \cdot P_{0 \rightarrow 1} \cdot f = 50 \mu\text{W}$

$50 \mu\text{W} / 25 \mu\text{W} = 2$

$P_{dyn} = C * V_{dd}^2 * f$ formülünden de görüldüğü gibi kapasitör 2 katına çıkarılırsa harcama gücünde iki katına çıkması gerekir yani kapasitör ile güç tüketimi doğru orantılıdır. Yukarıdaki sonuçta da görüldüğü gibi kapasitör 2 katına çıktığında güç tüketimi de 2 katına çıkmıştır.

2) V_{dd}=1V



$$P_{0 \rightarrow 1} = 1$$

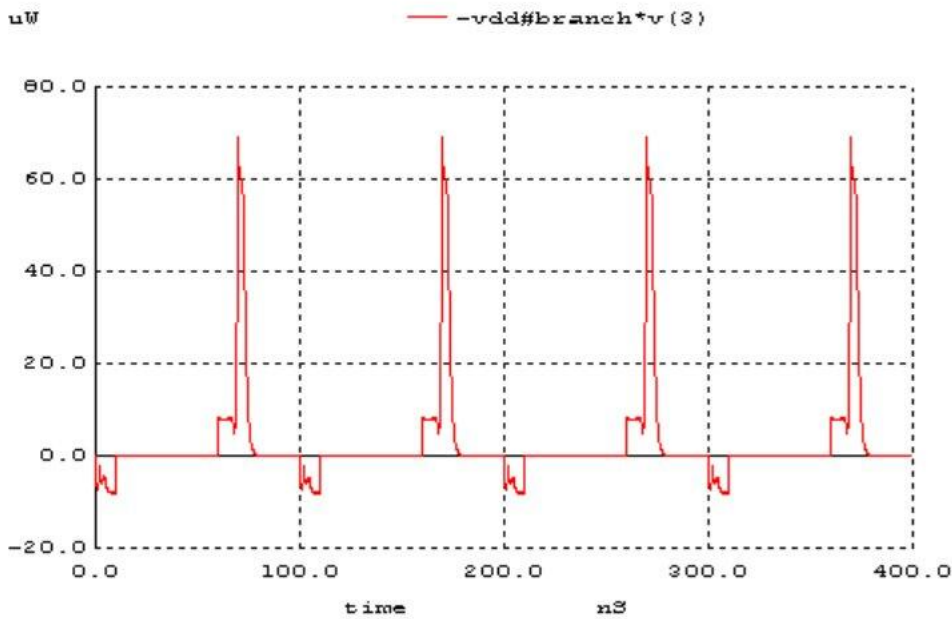
$$f = 10 \text{ MHz}$$

$$t_P = 3,52 \text{ ns}$$

$$P_{dyn} = C * V_{dd}^2 * P_{0 \rightarrow 1} * f = 1.21 * 10^{-6} \text{ W}$$

$$PDP = P_{av} * t_P = 4.19 * 10^{-15} \text{ W}$$

V_{dd}=1,5 V



$$P_{0 \rightarrow 1} = 1$$

$$f = 10 \text{ MHz}$$

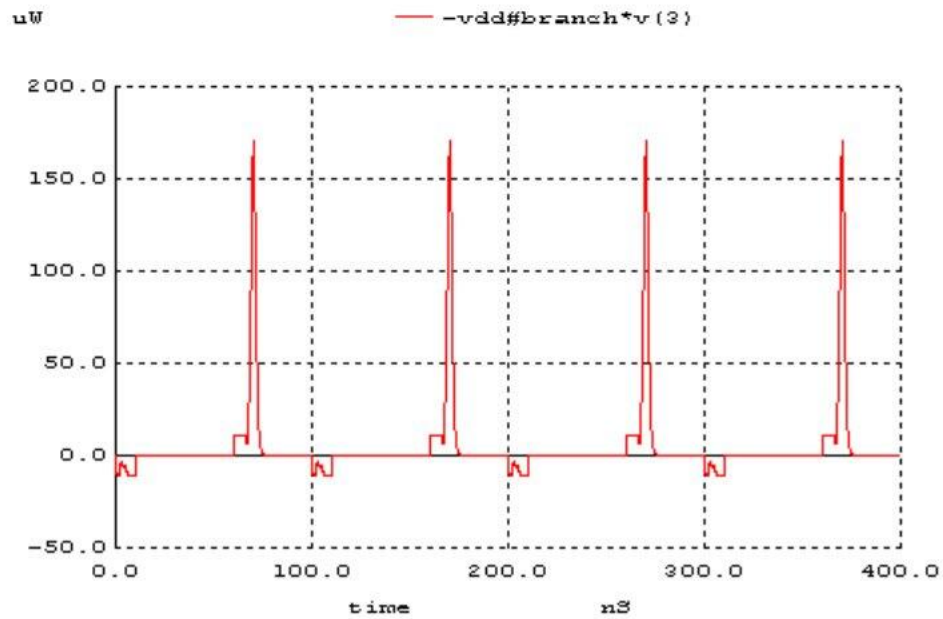
$$t_P = 1,87 \text{ ns}$$

$$P_{dyn} = C_l \cdot V_{dd}^2 \cdot P_{0 \rightarrow 1} \cdot f$$

$$= 2.64 \cdot 10^{-6} \text{ W}$$

$$PDP = P_{av} \cdot t_P = 4.78 \cdot 10^{-15} \text{ W}$$

V_{dd}=2V

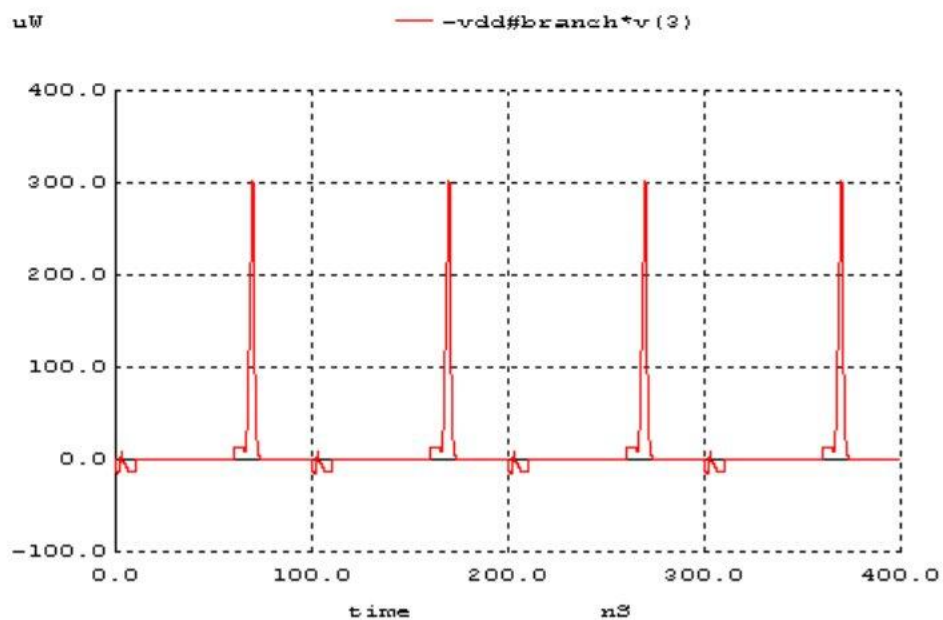


$P_{0 \rightarrow 1} = 1$
 $f = 10 \text{ MHz}$
 $t_P = 1.33 \text{ ns}$

$$P_{dyn} = C_l \cdot V_{dd}^2 \cdot P_{0 \rightarrow 1} \cdot f = 4.68 \cdot 10^{-6} \text{ W}$$

$$PDP = P_{av} \cdot t_P = 6.37 \cdot 10^{-15} \text{ W}$$

V_{dd}=2.5 V



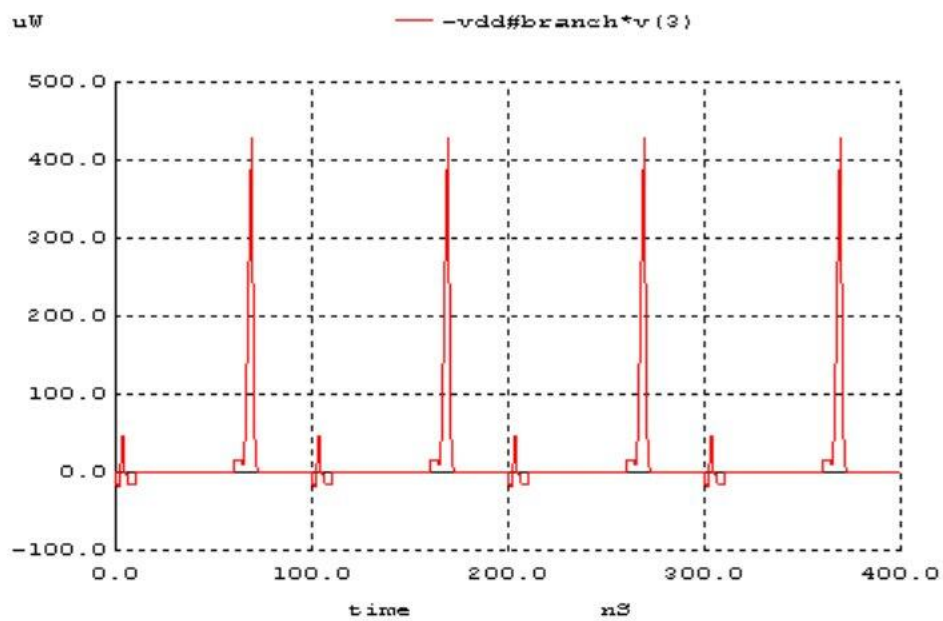
$P_{0 \rightarrow 1} = 1$
 $f = 10 \text{ MHz}$

$$P_{\text{dyn}} = C_l \cdot V_{\text{dd}}^2 \cdot P_{0 \rightarrow 1} \cdot f = 7.33 \cdot 10^{-6} \text{ W}$$

$$t_P = 1.02 \text{ ns}$$

$$PDP = P_{\text{av}} \cdot t_P = 7.38 \cdot 10^{-15} \text{ W}$$

Vdd=3V



$$P_{0 \rightarrow 1} = 1$$

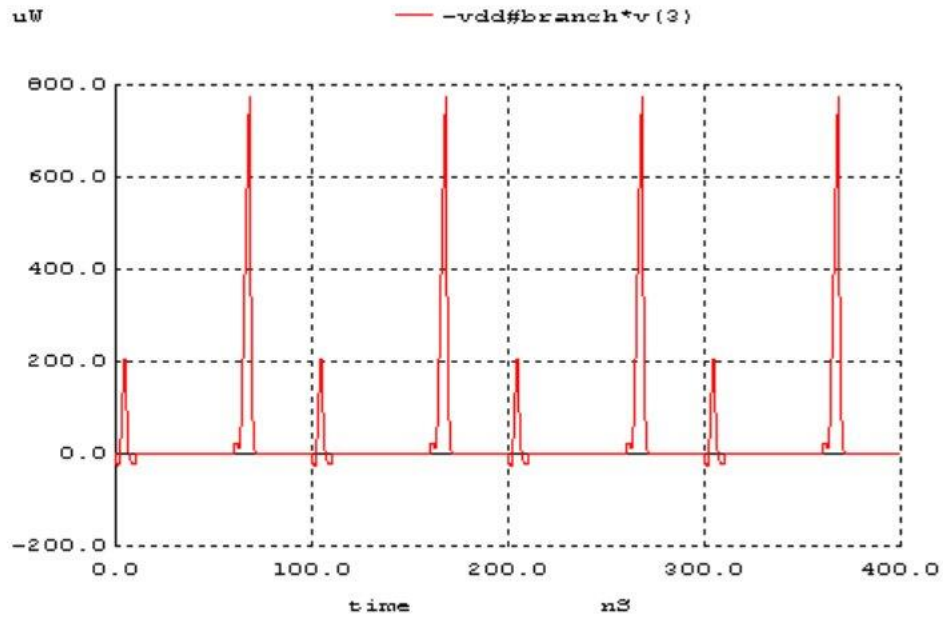
$$f = 10 \text{ MHz}$$

$$t_P = 0.82 \text{ ns}$$

$$P_{\text{dyn}} = C_l \cdot V_{\text{dd}}^2 \cdot P_{0 \rightarrow 1} \cdot f = 1.12 \cdot 10^{-5} \text{ W}$$

$$PDP = P_{\text{av}} \cdot t_P = 8.72 \cdot 10^{-15} \text{ W}$$

Vdd=4V



$P_{0 \rightarrow 1} = 1$

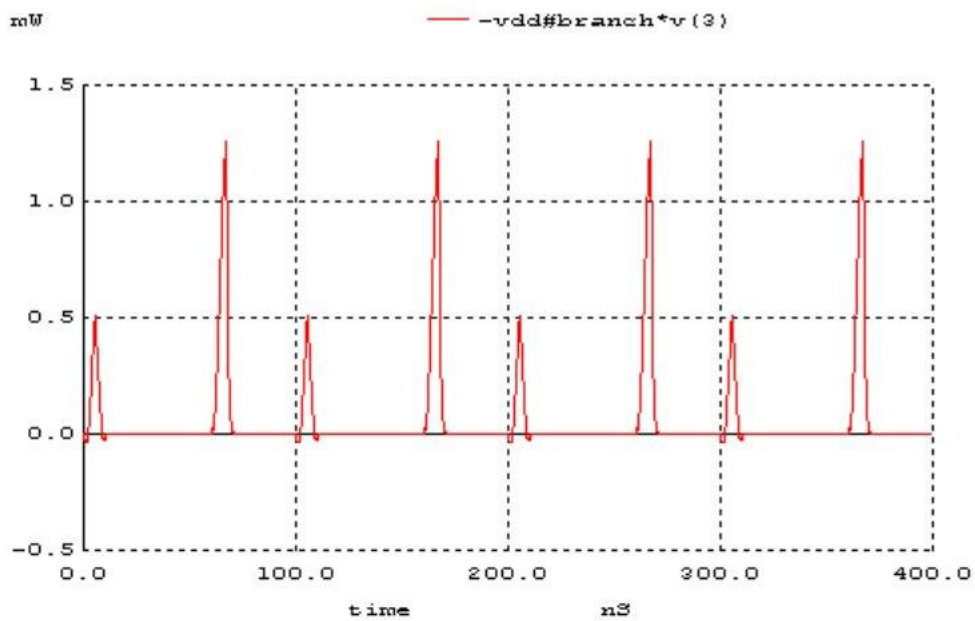
$f = 10 \text{ MHz}$

$t_P = 0,79 \text{ ns}$

$P_{\text{dyn}} = C_l \cdot V_{\text{dd}}^2 \cdot P_{0 \rightarrow 1} \cdot f = 1.89 \cdot 10^{-5} \text{ W}$

$PDP = P_{\text{av}} \cdot t_P = 16.38 \cdot 10^{-15} \text{ W}$

$V_{\text{dd}} = 5 \text{ V}$



$P_{0 \rightarrow 1} = 4/4 = 1$

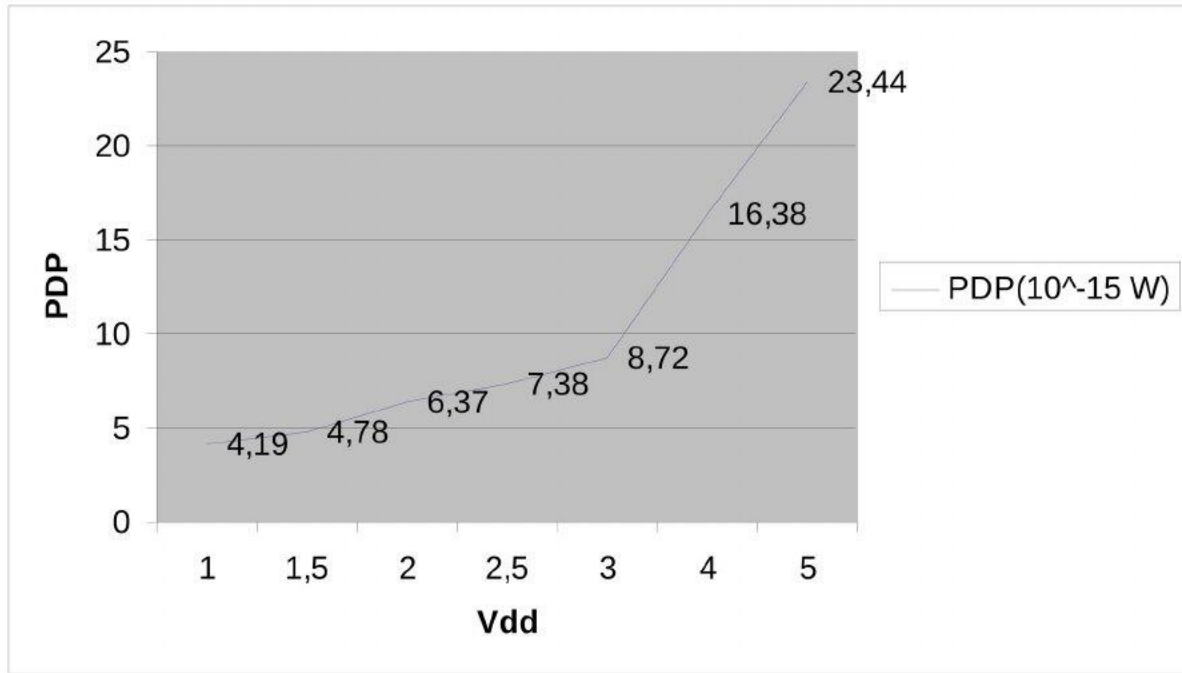
$f = 10 \text{ MHz}$

$t_P = 0,72 \text{ ns}$

$P_{\text{dyn}} = C_l \cdot V_{\text{dd}}^2 \cdot P_{0 \rightarrow 1} \cdot f = 3.09 \cdot 10^{-5} \text{ W}$

$PDP = P_{\text{av}} \cdot t_P = 23.44 \cdot 10^{-15} \text{ W}$

Vdd	t_p (Gecikme süresi)(ns)	Güç tüketimi (W)	PDP Güç Gecikme Çarpanı(W)
1V	3,52	$1.21 \cdot 10^{-6}$	$4.19 \cdot 10^{-15}$
1.5V	1,87	$2.64 \cdot 10^{-6}$	$4.78 \cdot 10^{-15}$
2V	1,33	$4.68 \cdot 10^{-6}$	$6.37 \cdot 10^{-15}$
2.5V	1,02	$7.33 \cdot 10^{-6}$	$7.38 \cdot 10^{-15}$
3V	0,82	$1.12 \cdot 10^{-5}$	$8.72 \cdot 10^{-15}$
4V	0,79	$1.89 \cdot 10^{-5}$	$16.38 \cdot 10^{-15}$
5V	0,72	$3.09 \cdot 10^{-5}$	$23.44 \cdot 10^{-15}$



Güç gecikme çarpanının Vdd'nin değişimine bağlı olarak çizdiğim grafiği incelediğimde en iyi performans Vdd'nin 2.5V değerinde elde ettim

Eğer devrede kullanılan mosfetler kısa kanal olsaydı W/L oranı azalacak ve transistörlerin dirençleri azalacağından, dolayısıyla gecikmede azalır. Fakat ortalama güç değişmeyecektir. Bu nedenle enerji tüketimi azalacak ve performans artacaktır.