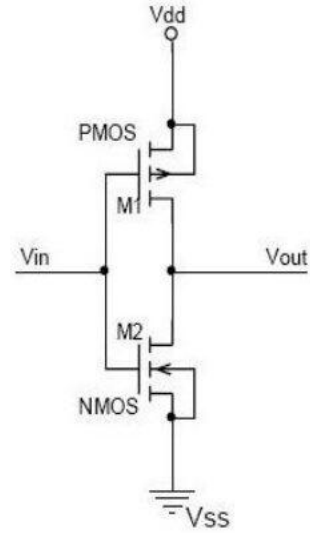


Bu deneyde halka osilatörü ve tersleyicinin rejeneratif özelliğini gözlemlemek için, Spice programını kullanarak grafikler elde ettik ve yorumladık.

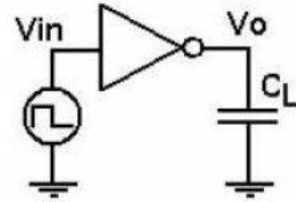
1) Deney föyünde bulunan tablo-1'deki model tanımlamalarıyla, tablo-2 deki örnekteki gibi alt devre biçiminde, şekil-1'de verilen devrenin ağ listesini oluşturdum. PMOS için L/W oranını 1.2u/5.4u, NMOS için L/W oranını 1.2u/1.8u ve besleme gerilimini 3.2V olarak ayarladım.

2) Birinci bölümde yazdığım alt devre kodunu ve devre parametrelerini kullanarak, şekil 2 deki devreyi kurup, bu devrenin doğru çalışıp çalışmadığını kontrol ettim. Yayılım gecikme süreleri yaklaşık olarak şu şekilde çıkmıştır;

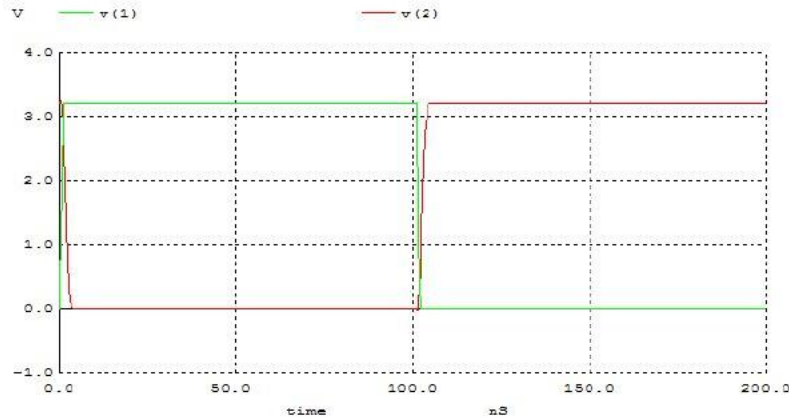
$$t_{pHL} = 1.25ns \quad t_{pLH} = 1.15ns \quad t_D = 1.2ns$$



Şekil 1 – CMOS Tersleyici dinamik modeli



Şekil 2 – Test Devresi

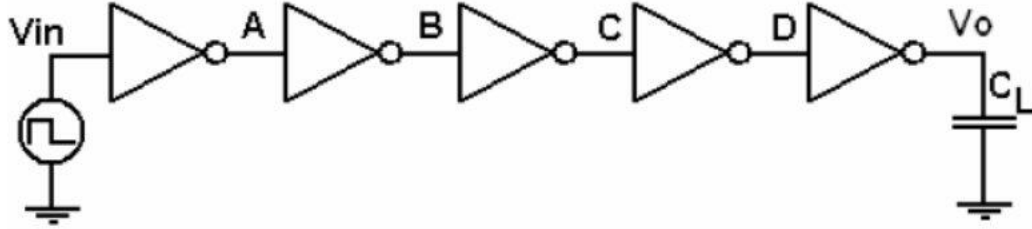


Çalışma 2

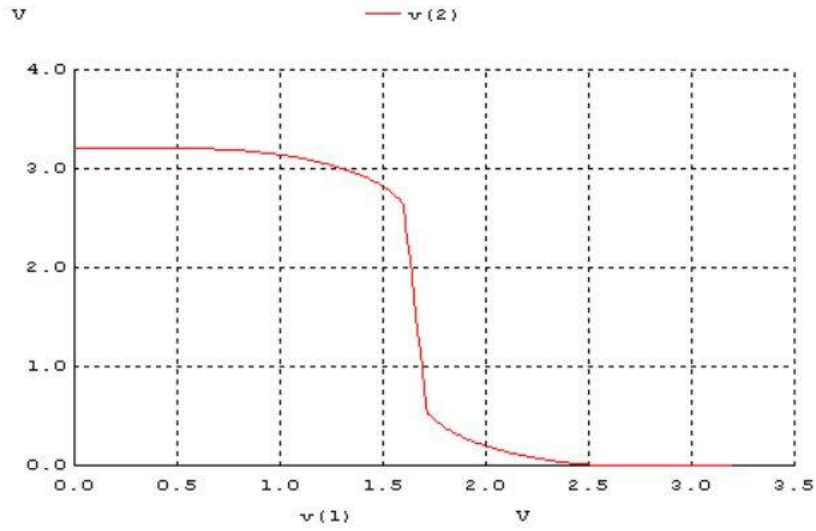
Devremiz CMOS inverter'dır. Grafikten de görüldüğü gibi giriş sinyali terslenmektedir. Bu, devrenin doğru bir şekilde çalıştığını gösterir. Giriş low olduğunda PMOS-ON, NMOS-OFF durumundadır. Çıkış high'a (V_{DD}) çekilir. Bu durum low to high transition'dır. Giriş high olduğunda NMOS-ON, PMOS-OFF durumundadır. Çıkış low'a (GND) çekilir. Bu durum high to low transition'dır.

3) Bu soruyu şekil 3 için düşündüm. Şekil 4'deki devreyi 4. Bölüm olarak adlandıracağım sonraki bölümde açıklayacağım.

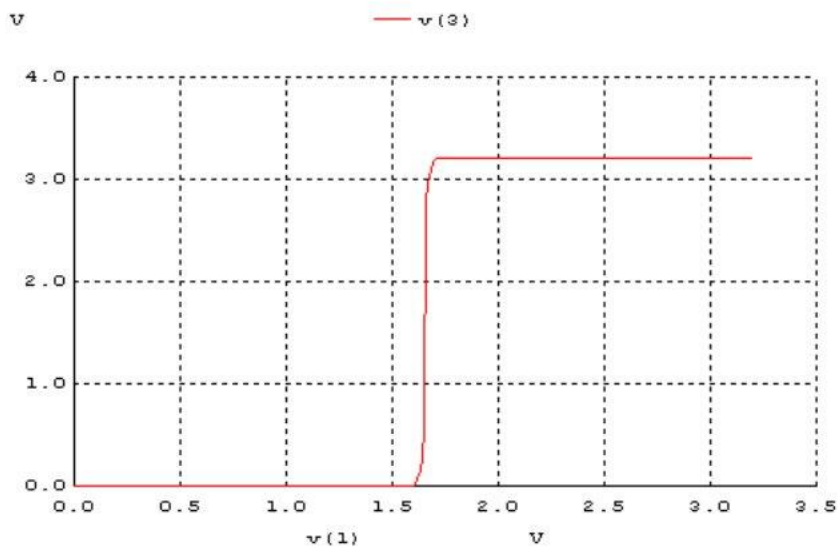
a) Şekil 3 için Cascade tersleyici için ağ listesi oluşturdum, istenilen DC Analiz grafikleri aşağıdaki gibi olmuştur.



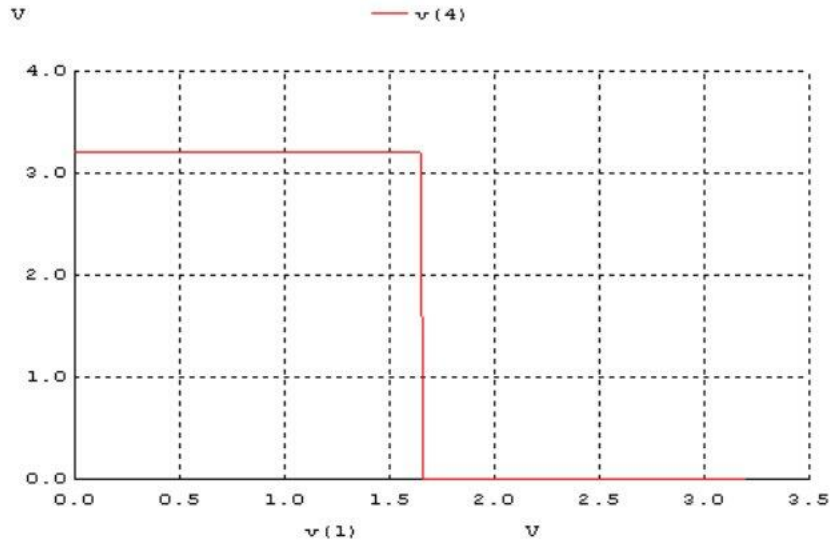
Şekil 3 – Sıralı ardı ardına (cascade) tersleyici



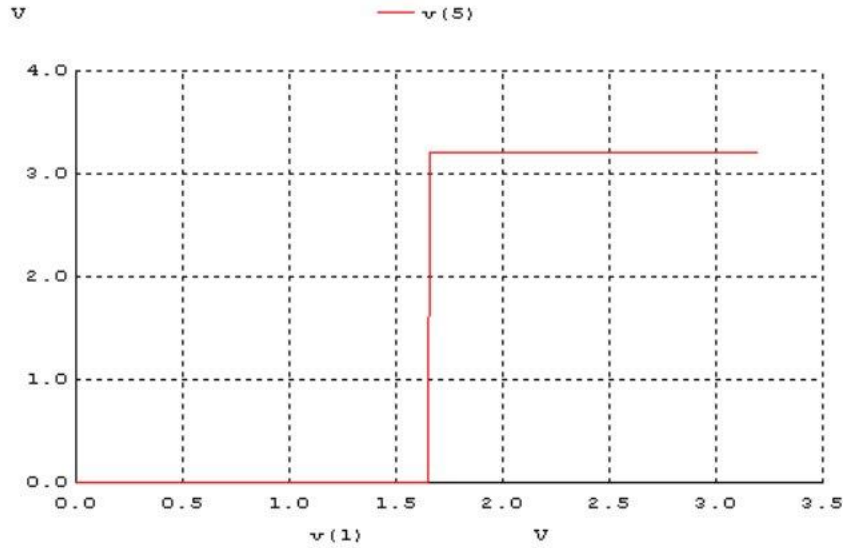
$V_{in} - A$



$V_{in} - B$



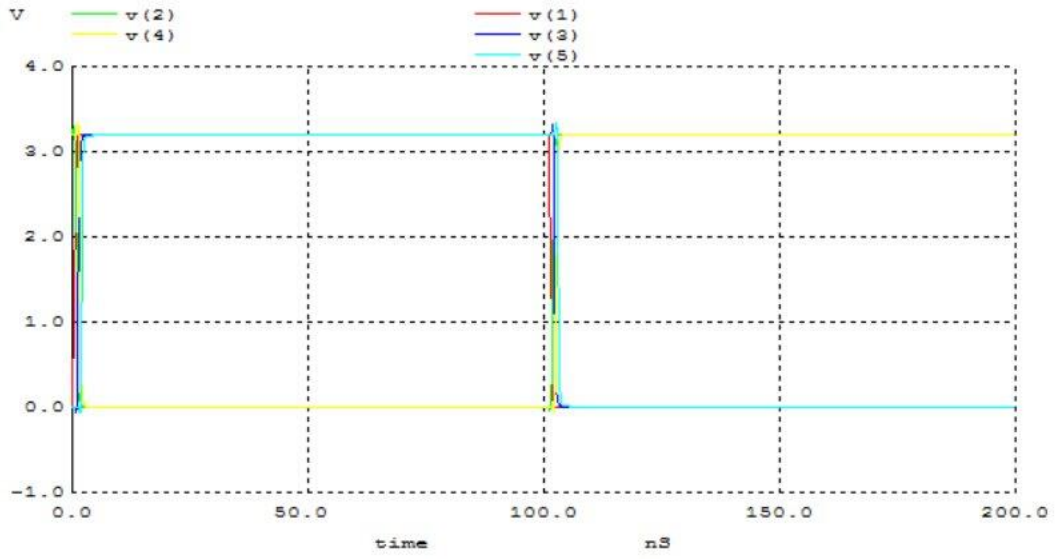
$$V_{in} - C$$



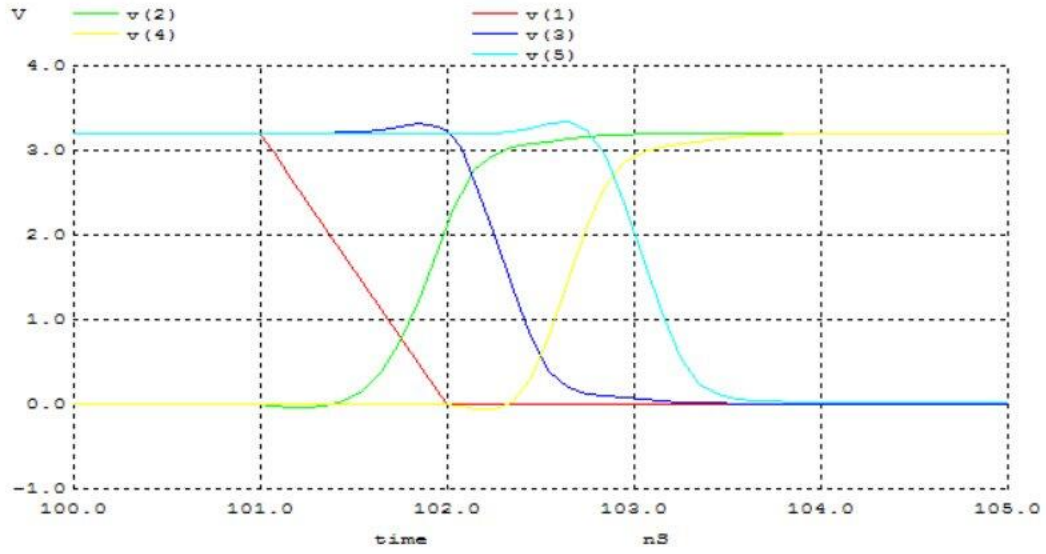
$$V_{in} - V_{out}$$

Regenerative özellik taşıyan bir geçidin giriş sinyali nominal değerinden düşük olsa dahi, çıkış sinyali nominal değere yaklaşacaktır. Grafiklerden de görüldüğü gibi nominal değerden düşük olan sinyal, “regenerative” özellik taşıyan geçitlerden geçtiğinde, nominal değerine ulaşmış olur. Bir geçidin (inverter) “regenerative” olabilmesi için, geçiş (transition) bölgesindeki kazancının 1’den büyük olması gerekir. Bu devrenin regenerative özelliği olduğu görülmektedir. Inverterm VTC’sinin geçiş bölgesinde kazanç 1’den fazla ve diğer bölgelerde 1’den küçük olduğundan, giriş sinyali her terslendiğinde güçlendirilerek rail-to-rail değerlere yaklaştırıyor.

b) Bu kısımda, geçici durum analizi ile A,B,C ve V_o için gecikme sürelerinin ölçümü istenmiştir. $V_{in}(t)=\text{Pulse} (0 \ 3.2 \ 0 \ 1n1n \ 100n \ 200n)$ aldım.

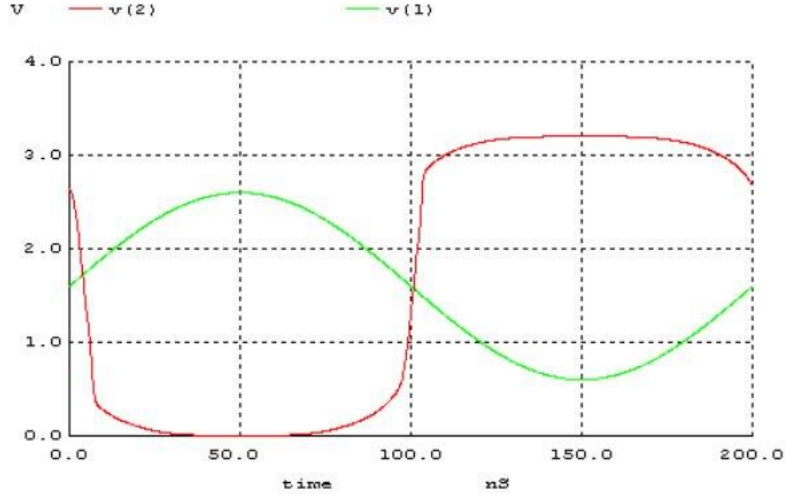


Normal Grafik (üstte) & Büyütülmüş Hali (altta)

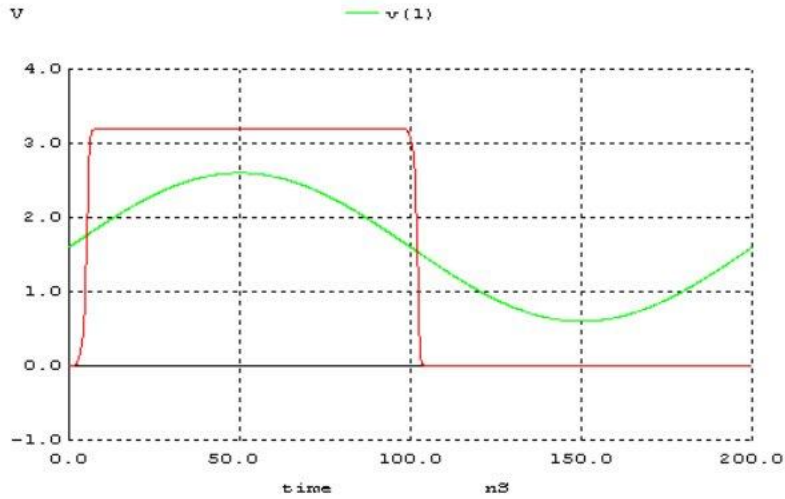


	t_{pHL}	t_{pLH}	t_D
A	0.5ns	0.6ns	0.55ns
B	0.8ns	0.7ns	0.75ns
C	1.1ns	1.3ns	1.2ns
V_o	1.4ns	1.6ns	1.5ns

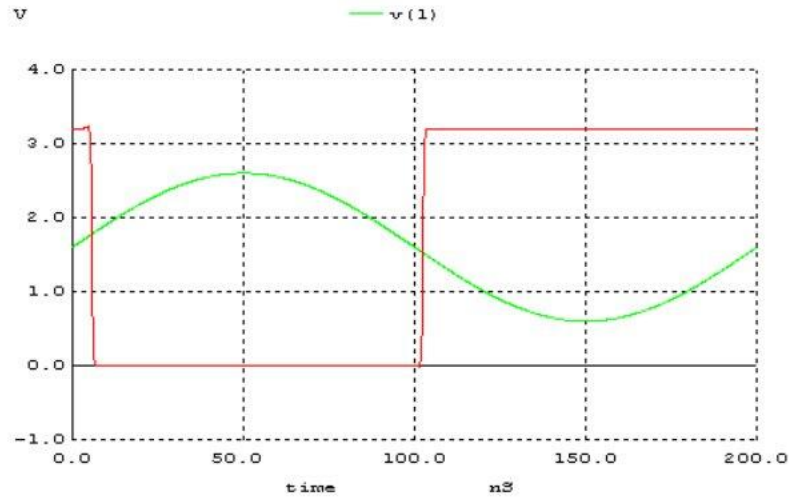
c) $V_{in}(t) = \sin(1.6 \cdot 10^6 t)$ aldım. A,B,C ve V_0 noktalarındaki sinyal grafikleri aşağıda verilmiştir. Grafiklere bakıldığında, giriş sinyalinin gatelerden geçmesi sonucu, sinyal besleme gerilimi ile toprak arasında gidip gelmektedir. Yani sinyal tam salınım yapabilmektedir. Bunun nedeni, gatelerin rejeneratif özellik taşımasıdır. Her kademe sonrasında sinyal nominal değere biraz daha yaklaşacaktır.



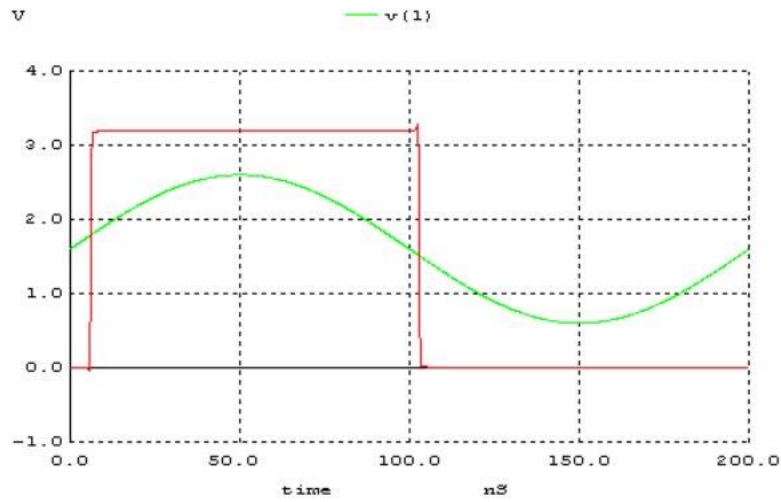
A noktası



B noktası

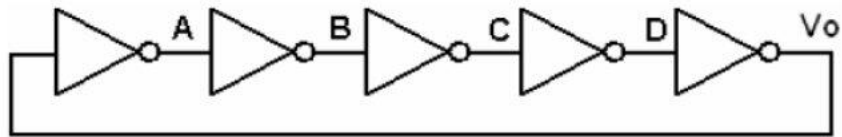


C noktası



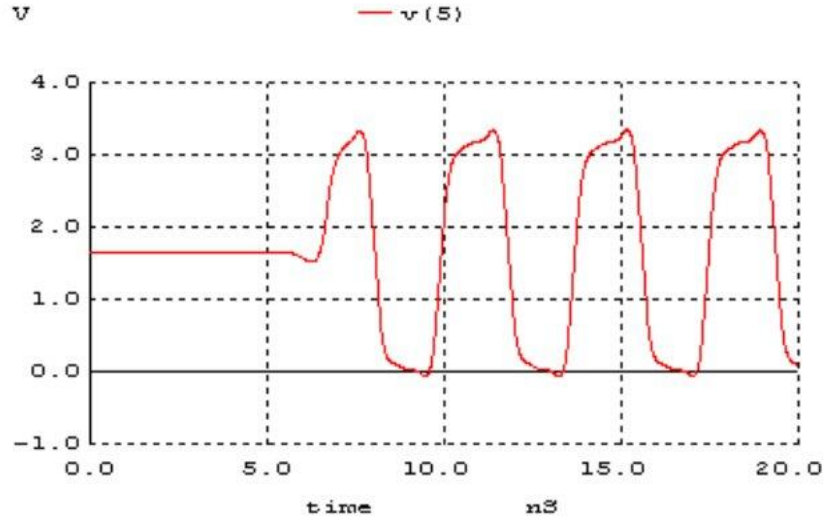
D noktası

4) Bu bölümde deney föyüne göre 3. Bölümdeki Şekil-4 ile ilgili soruları cevaplayacağım.



Şekil 4 – Halka osilatörü

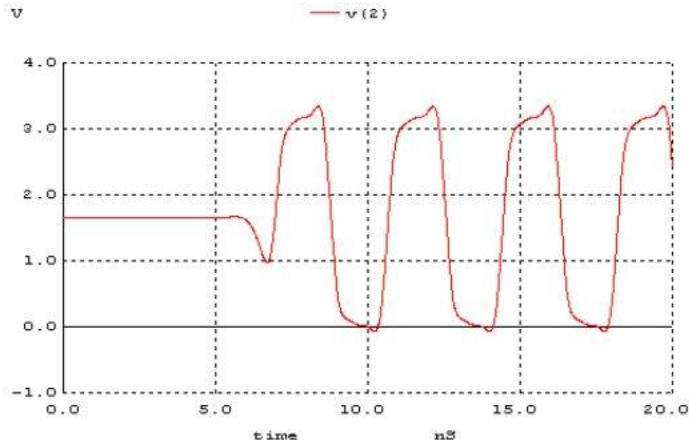
$V_o(t)$ grafiği sonraki sayfada gösterilmiştir. Şekil 4'te çıkışı, girişine bağlanmış 5 adet inverter'dan oluşan bir osilatör devresi vardır. Yani girişte verdiğimiz değer (high veya low) çıkışta inverterlardan dolayı bir gecikmeyle, giriş sinyalinin tersi olacak şekilde elde edilecektir.



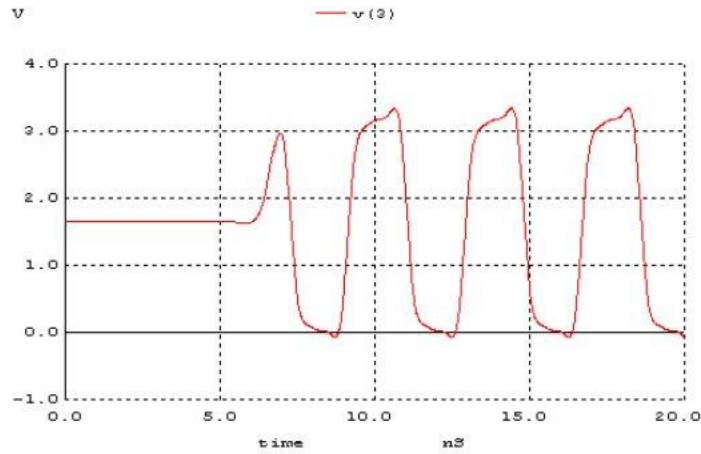
$V_o(t)$ Grafiği

Tersleyicilerin gecikmeleri, bize halka osilatörünün periyodunu verir. Çünkü osilatör görevi için, yükseliş ve alçalış (rise and fall time) sürelerine izin verilmesi gerekir. Grafikten okunan periyot yaklaşık olarak 3.8 ns'dir .

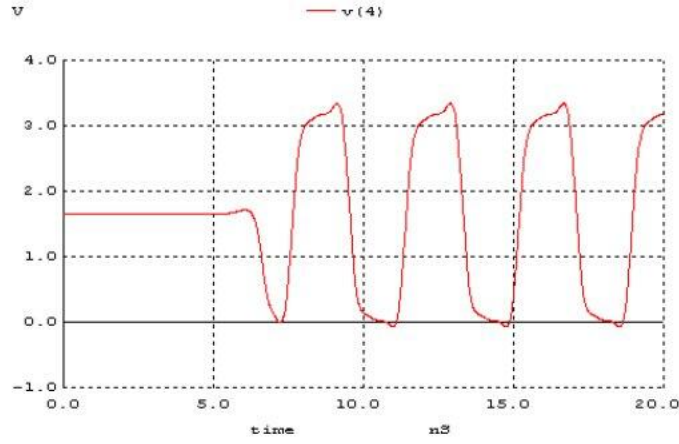
$$T = 3.8 \text{ ns} \quad \& \quad f = 1 / T = 260 \text{ MHz}$$



$A(t)$ Grafiği



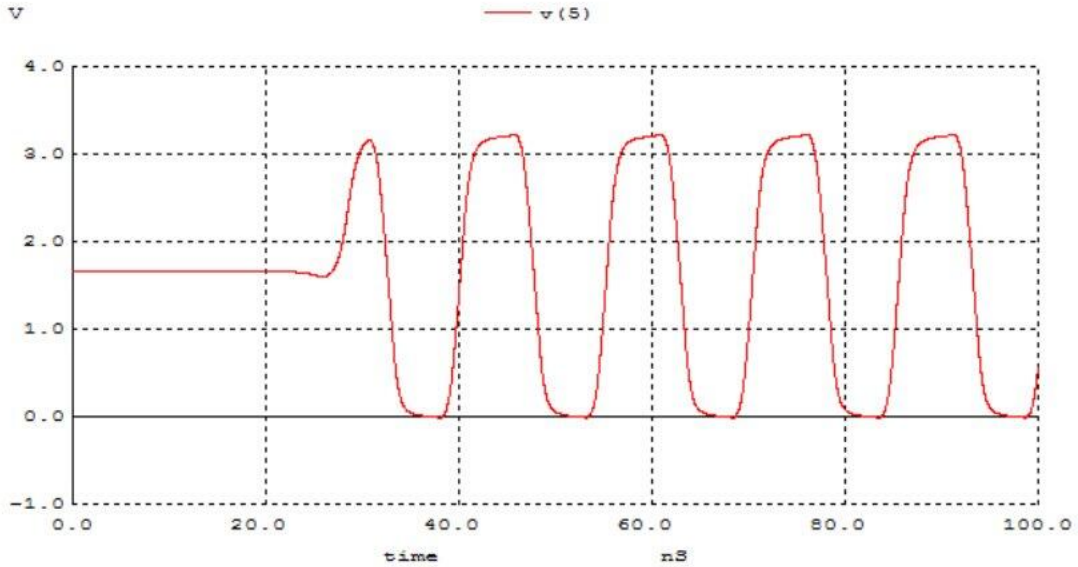
$B(t)$ Grafiği



C(t) Grafiği

A(t), B(t) ve C(t) grafikleri incelendiğinde, grafiklerin birbirinin terslenmiş hali olduğu görülüyor. Çünkü bir inverter high'dan low'a veya low'dan high'a geçmeyi sağlar. Bu sinyallerin aralarında gecikmeler olduğu için, sinyallerin zaman ekseninde sağa doğru ilerlediğini gözlenir.

Son olarak Şekil-4'te bulunan halka osilatöründe bulunan her tersleyiciye 100fF'lık yük bağlandığında çıkış sinyali şu şekilde olmaktadır;

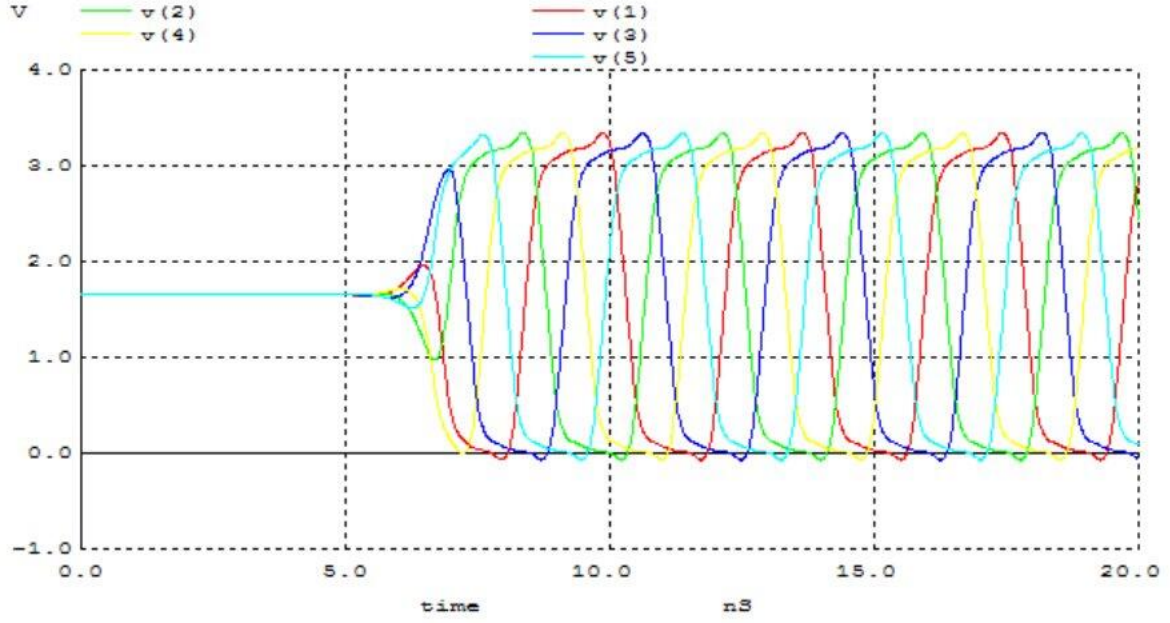


V_o (her tersleyiciye yük bağlandığında)

Devrede her tersleyici için bağladığım kapasitörler gecikmeyi daha da artırmaktadır. Periyot artacağından dolayı, frekans azalacaktır. Nitekim grafikten de salınım sıklığının azalması ile frekansın azaldığını görüyoruz. Grafikten okunan periyot yaklaşık olarak 15.5 ns'dir .

$$T = 15.5 \text{ ns} \quad \& \quad f = 1 / T = 60 \text{ MHz}$$

Yük bağlanınca frekans değeri 260 MHz'den 60 MHz'ye düşmüştür.



Görüldüğü gibi her inverter'a eklenen kapasitör değeri $A(t)$, $B(t)$, $C(t)$ sinyallerinde geciktirme süresini arttırmıştır. Yani yük, devrenin performansını (hız), başka bir deyişle osile etme süresini olumsuz etkilemiştir.