

**BU NOTLAR PROF. DR.
AYTEN KUNTMAN
TARAFINDAN
11.03.2009 TARİHİNDE
YAYINLANAN
NOTLARIN YENİDEN
DÜZENLENMİŞ
HALİDİR.**

TÜMDEVRE TASARIM İLKELERİ

1.GİRİŞ

2.TÜMDEVRE TASARIMI VE ÜRETİMİ AŞAMALARI

- 2.1. Maske Üretim Aşaması
- 2.2. Üretilen Maskelerin Silisyuma Uygulanması
- 2.3. Test ve Paketleme

3. SILİSYUMUN ELEKTRİKSEL ÖZELLİĞİ

- 3.1. VLSI ' da temel yapıtaşı : Silisyum
- 3.2. Yarıiletken davranışı
- 3.3. Has Silisyum
- 3.4. Silisyumun Katkılanması
- 3.5. Katkılanmış silisyumun iletkenliği

4. TÜMDEVRE ÜRETİMİNDE KULLANILAN TEMEL PROSES ADIMLARI

- 4.1. Difüzyon
 - 4.1.1. Difüzyon Tabakasının Elektriksel Özelliği
- 4.2. Termal Oksitleme
- 4.3. Polisilisyum Oluşturma
- 4.4. İyon Ekme(İmplantasyon)
- 4.5. Epitaksi
- 4.6. Litografi

5. MOS TÜMDEVRELER

- 5.1. Temel MOS Yapıları
 - 5.1.1. Temel MOS Tranzistörleri
 - 5.1.1.1. Kanal Oluşturmalı N-MOS(E-NMOS)
 - 5.1.1.2. Kanal Ayarlamalı NMOS(D-NMOS)
 - 5.1.1.3. Kanal Oluşturmalı PMOS(E-PMOS)
 - 5.1.2. Kanal Oluşturmalı N-MOS Tranzistörün Çalışma Bölgeleri
 - 5.1.3. N-Kanallı MOS Transistor Üretim Süreci(teknolojisi)
- 5.2. MOS Tümdevrelerin Temel Elektriksel Özellikleri
 - 5.2.1. N-Kanallı MOS tranzistörün akım ifadesinin çıkarılması
 - 5.2.2. N-Kanallı tranzistörün akım-gerilim ilişkisi
- 5.3. MOS Tranzistörlerde Model Parametreleri
 - 5.3.1. Eşik Gerilimi(V_{TO})

- 5.3.2. Gövde Parametresi(Taban kutuplaşma sayısı)
- 5.3.3. MOS Tranzistörün Etkin Kanal Boyu
- 5.3.4. MOS Tranzistörün Geçiş İletkenliği(g_m)
- 5.3.5. Anahtarlama Hızı(Frekans cevabı)
- 5.3.6. Çıkış İletkenliği
- 5.4. MOS Kapasiteler
 - 5.4.1. Oksit Kapasitesi
 - 5.4.2. Jonksiyon Kapasiteleri
- 5.5. Parametrelerin Ölçülmesi
 - 5.5.1. n – kanallı MOSFET de akım – gerilim eşitlikleri
 - 5.5.2. p – kanallı MOSFET de akım – gerilim eşitlikleri
- 5.6. CMOS Teknolojisi
 - 5.6.1. N-Kuyulu CMOS Prosesi

6. SERİM TASARIM KURALLARI

- 6.1. “Full-Custom” Maske Serim Kuralları
- 6.2. Cmos Evirici Serim Tasarımı
- 6.3. MOS TUMDEVRE TASARIMI
 - 6.3.1. EVİRİCİLER
 - 6.3.2. NMOS Evirici
 - 6.3.2.1. Eviricinin Elektriksel Özellik-Yapı İlişkisini Veren Büyüklükler
 - 6.3.3. CMOS Eviriciler:

7. BİPOLAR TUMDEVRELER

- 7.1. Jonksiyon izolasyonlu bipolar tümdevreler
- 7.2. Jonksiyon İzolasyonlu Bipolar npn Tranzistör Teknolojisi
- 7.3. Bipolar Analog Tümdevrelerde Aktif Elemanlar
 - 7.3.1. Tümleştirilmiş npn Transistor
 - 7.3.2. Bipolar Yapılarda Tasarım İçin Önemli Temel Kavramlar
 - 7.3.2.1. Jonksiyonun belverme gerilimi
 - 7.3.2.2. Bipolar npn Tranzistörün Doyma Akımı
 - 7.3.2.3. Bipolar Yapılarda Oluşan Parazitik Dirençler
 - 7.3.2.3.1. Seri Baz Direnci
 - 7.3.2.3.2. Seri Kollektör Direnci(r_o)
 - 7.3.2.4. Kollektör-Baz jonksiyon Kapasitesi
- 7.4. Bipolar Entegre Devrelerde Pasif Elemanlar
 - 7.4.1. Dirençler
 - 7.4.1.2. Difüzyonlu Dirençler
 - 7.4.2. Kapasiteler

- 7.4.2.1 Jonksiyonlu Kapasiteler
- 7.4.2.2. MOS Kapasiteler
- 7.4.3. Diyotlar
- 7.5. Lineer (Analog) Entegre Devre Tasarım İlkeleri
- 7.6. Analog İşlem Blokları
 - 7.6.1. Alt Bloklar
 - 7.6.1.1. Kutuplama Devreleri

Ekler

8.SPICE PROGRAMI

9. Serim örnekleri

10. Problemler

11. Kaynaklar

Prof. Dr. Ayten KUNTMAZ

1. GİRİŞ

Tümdevre teknolojisi kitabı içerik olarak çok geniş çapta tümleştirilmiş (VLSI)(Very Large Scale Integration) devre tasarımı, üretimi ve piyasada kullanılacak hale gelmesini kapsar. Tümdevre üretiminde ana malzeme silisyumdur. Doğada amorf olarak bolca bulunan silisyum uzun metalurjik işlemler sonucunda yarı iletken devre yapımına uygun hale getirilir. Silisyum kristali uzun parlak çubuklar halinde elde edilir. Bu çubuklar daha sonra ince pul(Wafer) şeklinde kesilerek kullanım için hazır hale getirilir. Kesilen pulların kalınlıkları 350-400µm, çapları ise 3-5 inç civarındadır.

Mikroelektronik teknolojisi; bir seri işlemler dizisi(proses) sonucunda çok sayıda tümdevre üretimini mümkün kılmaktadır. Bir pul üzerinde 100-200 adet tümdevre oluşturulabilir. Aynı anda 10 pulla çalışılsa bir proses sonucunda $100 \times 10 = 1000$ adet tümdevre üretilmiş olabilir. Tümdevreler temelde bipolar ve MOS teknolojileri kullanılarak üretilirler.

Bipolar teknoloji kullanılarak analog yapılar oluşturulur. Kazancı fazla gürültüsü az, hassasiyeti iyidir. MOS teknolojisi kullanılarak ise dijital yapılar oluşturulur. Kullanım ve yerleşim açısından daha elverişli ve ölçeklemesi daha basit olduğu için tercih edilir.

Tümdevre üretiminde en temel eleman tranzistördür. Bipolar teknoloji ile npn, pnp, MOS teknoloji ile ise N kanallı MOS, P kanallı MOS tranzistörler oluşturulur. VLSI devrelerde eleman geometrisi oldukça önemlidir ve genellikle CMOS' lardan oluşur.

2.TÜMDEVRE TASARIMI VE ÜRETİMİ AŞAMALARI

Tasarımcı eleman geometrisini minimize etmeye çalışarak istenen fonksiyonu gerçekleştirebilecek tümdevreyi tasarlar. Tasarım üretim başlamadan sonuçlanan bir işlemdir. Tümdevre tasarımı ve üretimi üç ana aşamada gerçekleşir.

- Maske Üretim Aşaması
- Maskelerin Silisyuma Uygulanması
- Test ve Paketleme

Tümdevre tasarım ve üretim ile ilgili adımlar Şekil 2-1' de verilmiştir.

2.1. Maske Üretim Aşaması

Maske üretim aşaması, istenen fonksiyonu gerçekleştirecek devrenin seçimi ve tasarım büyüklüklerinin belirlenmesi, tasarım(layout) ve maske üretim aşamalarını kapsamaktadır. Devre seçimi ve tasarım büyüklüklerinin belirlenmesi arzu edilecek işlemi gerçekleştirecek devrenin seçimi ve istenen elektriksel büyüklük-boyut ilişkisinin uygun simülasyon programları kullanılarak belirlenmesini kapsar. Simülasyon için yaygın kullanılan program "Spice" dir.

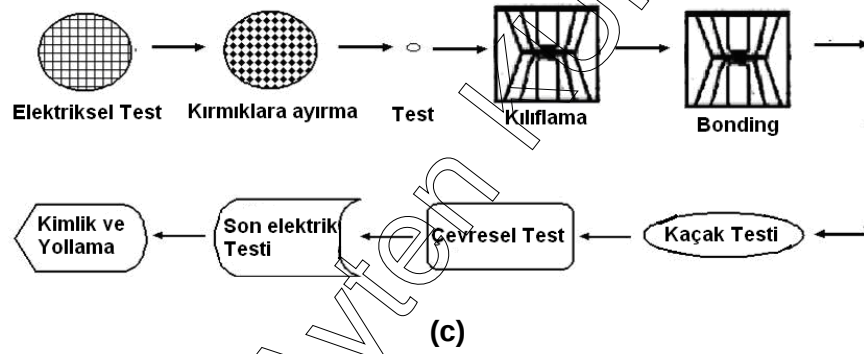
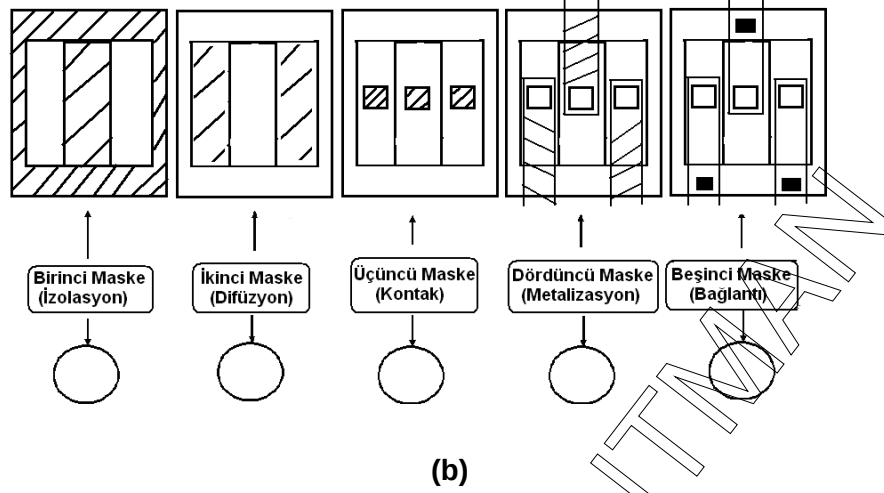
Serim(layout): Devre seçimi ve boyutların belirlenmesinden sonra devrenin çip üzerindeki yerleşimi oluşturulur. Devrenin çip üzerindeki yerleşimi serim(layout) aşamasıdır. Bilgisayar ortamında L-EDIT, ORCAD gibi programlar yardımıyla gerçekleşir. Herhangi bir devrenin fiziksel maske serimi bazı geometrik kuralları veya sınırlamaları sağlayan özel işlemlerle yapılır. Bu kurallara genellikle **serim(lay-out) tasarım kuralları** denir. İleride tekrar ele alınacaktır. Serim işleminden sonra ilgili maskeler hazırlanır.

Maske üretimi: Layout çiziminden sonra her bir üretim aşaması ile ilgili maskeler hazırlanır. Bu maskeler temelde izolasyon, difüzyon, kontakt, metalizasyon ve bağlantı uçlarının alınması adımlarını içeren maskelerdir.

Tümdevre üretim teknolojisindeki temel adımlar Şekil 2-1' de şematik olarak verilmiştir.



(a)



Şekil 2-1: Tümdevre üretimi teknolojisinde temel adımlar a.maske üretim işlemleri, b. pul fabrikasyonu c. test-ayırma ve paketlenme

2.2. Üretilen Maskelerin Silisyuma Uygulanması

Gerçeklenecek devre ile ilgili hazırlanan maskelerin silisyum üzerine aktarılması işlemidir. Tümdevre fabrikasyon aşamasıdır. Tümdevre adımlarının pula aktarılması için gerekli işlem parametrelerinin çıkarılması için SUPREM, OSIS gibi simülasyon

programlarından yararlanılır. Şekil 2-1' den de görüldüğü gibi 5 ana maske ve maske adımı vardır. Bunlar, izolasyon, difüzyon, kontak, metalizasyon ve bağlantı uçlarının alınmasıdır. Beş ana adım olmasına rağmen VLSI devrelerde verimi artırmak için maske sayısı daha fazla olabilir.

2.3. Test ve Paketleme

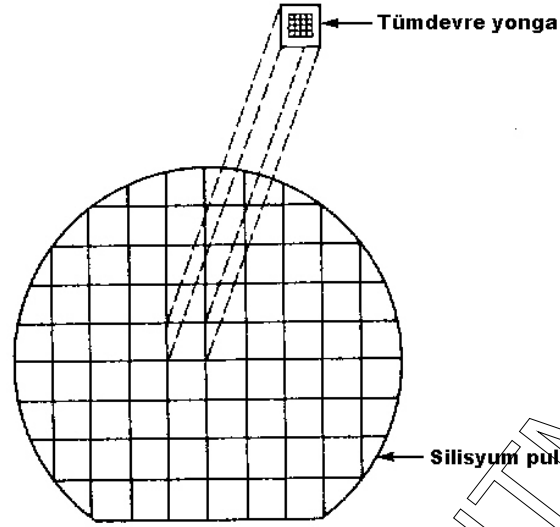
Tüm maskelerin pul üzerine sıra ile uygulanması sonucunda tümdevreler oluşur. Bir pul üzerinde çok sayıda tümdevre oluşacaktır. Oluşturulan tümdevrelerin test edilmesi ve paketlenmesi ve kullanım için hazır hale gelmesi 3. önemli adımdır. Öncelikle tüm kırmıkların çalışıp çalışmadığı kontrol edilir. Bu amaçla üretim sırasında her bir çipe yerleştirilmiş olan test tranzistöründen yararlanılır. Ölçümler "proper" denilen ölçü aleti ile gerçekleştirilebilir. Ölçüm sırasında bozuk olanlar otomatik olarak kırmızı mürekkeple işaretlenir. Test ve paketlemede ikinci adım kırmıkların ayrılması-parçalama işlemidir. Bunun için önce elmas bir kesici yardımıyla pul üzerindeki ayırıcı çizgilerinden kırmıklar çizilir. Ön yüzü korunarak sırtı aşındırılır ve parçalanır. Parçalanan kırmıklar arasında bozuk olanlar ayrılır. Sağlam olanlar bir taşıyıcı üzerine yapıştırılır. Kırmık üzerinden taşıyıcıya bağlantı yapılır(bonding). Tümdevrenin dış dünya ile bağlantısı taşıyıcı üzerindeki bacaklarla olur. Tekrar elektriksel ölçümleri yapılır. Sağlam olanların üzeri kapatılır. Kullanım için hazırdır.

3. Silisyumun Elektriksel Özelliği

3.1. VLSI ' da temel yapıtaşı : Silisyum

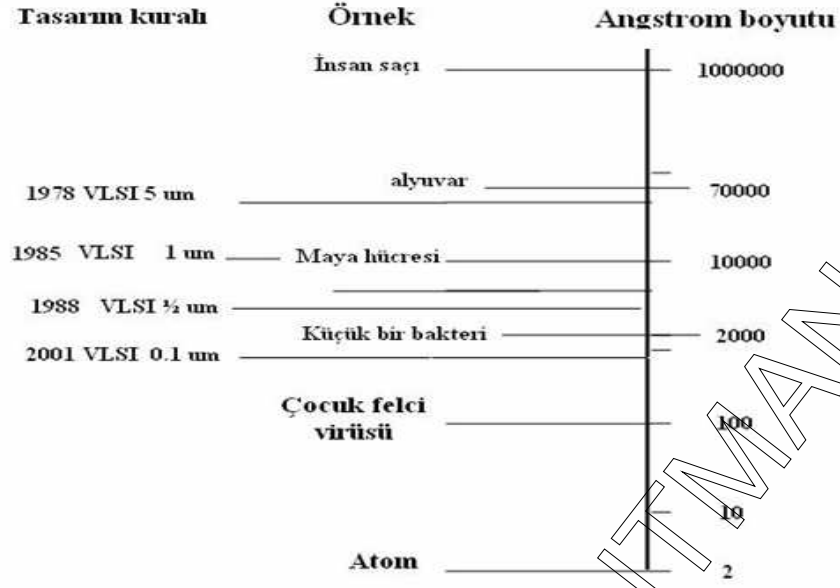
Tümdevre üretiminde en temel eleman tranzistördür. Bipolar teknoloji ile npn, pnp, MOS teknoloji ile ise N kanallı MOS, P kanallı MOS tranzistörler oluşturulur. VLSI devreler ise genellikle CMOS lardan oluşur. Günümüzde tümleştirmeye 1 cm^2 'ye 10^6 - 10^7 tane tranzistor yerleştirilmektedir. Örneğin; bir megabitlik DRAM çipi 1.000.000' dan çok tranzistör ve 1.000.000' dan çok kapasite içerebilmektedir.

İçinde çok sayıda kırmık içeren pulun şematik görüntüsü Şekil 3-1' de verilmiştir. Pul üzerinde her bir birim kırmık-yonga(chip) olarak adlandırılmaktadır.



Şekil 3-1: Silisyum pul üzerinde birbirinin aynı tümdevrelerin şematik görünüşü

Minimum boyut: Minimum boyut bir tümdevre serimindeki iki çizgi arasındaki minimum uzaklık olarak tanımlanır. Şekil 3-2' de minimum boyutun yıllara göre değişimi verilmiştir. Şekil 3-2' de görüldüğü gibi 1978 yılında entegre devre içindeki minimum boyut $5\mu\text{m}$ iken 1988 yılında bu uzaklık $0.5\mu\text{m}$ olmuştur. Bu $0.5\mu\text{m}$ yaklaşık bir bakterinin boyutu kadardır. 2004 de gelinen nokta ise 0.1 mikrondur.



Şekil 3-2: Eleman geometrisinin geçen yıllardaki değişimi

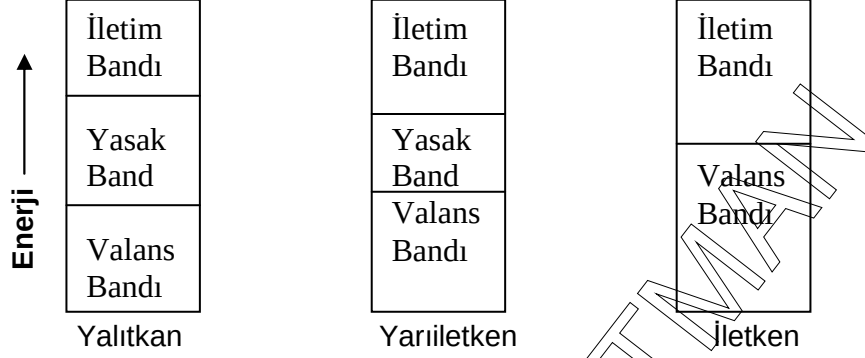
Tümdevre yapımında temel eleman silisyumdur ve yarı iletkenidir. Diğer yarı iletkenler: Si, GaAs, Ge olarak sayılabilir. Günümüzde tümdevre-mikroelektronik teknolojisinde yaygın kullanılan yarıiletken silisyumdur. Germanyum terkedilmiştir. Galyum arsenit ise çoğunlukla optik ve RF uygulamalar için kullanılan bir yarıiletkenidir. Günümüzde GaAs RF-VLSI devre tasarımında kullanılmaktadır.

3.2. Yarıiletken davranışı

Yarı iletken elektroniğine göre iletim, enerji-band modeli ile açıklanmaktadır. Yarı iletken elektroniğine göre üç band tanımlanmaktadır. Valans band, iletim bandı ve yasak band. Elementlerin iletkenlikleri buna göre sınıflandırılmaktadır. Valans bandta elementlerin değerlik elektronları bulunmaktadır. Enerji-Band modeline göre elementin iletkenliğinin şematik gösterimi Şekil 3-3'te verilmiştir.

Yasak band: Bir valans elektronunun serbest elektron haline geçmesi için gerekli olan enerji, yasak band enerjisi(E_g) olarak

tanımlanır. Yasak band enerjisinin değeri, sıcaklığın fonksiyonudur. Silisyum için $E_G = (1.21 - 3.6 \times 10^{-4})T$. Yarı iletkenlerde yeterince enerji alan bir elektron valans banttan iletim bandına geçebilir.



Şekil 3-3 : Enerji Band Modeli

Yalıtkan: Yalıtkanlarda E_G ($E_G > 5\text{eV}$) değeri çok büyük olduğu için valans bandındaki valans elektronları iletim bandına geçemez ve iletkenlik oluşmaz. Örneğin; Teflon, Kauçuk.

Yarıiletken: Yarıiletkenler saf hâlde yalıtkan olmalarına rağmen yapıya katkılama yolu ile taşıyıcı ilave edilip ek enerji seviyeleri oluşturularak iletken kılınabilirler. Valans bandından elektronlar iletim bandına geçebilir ($E_{Gsi} = 1.1\text{eV}$).

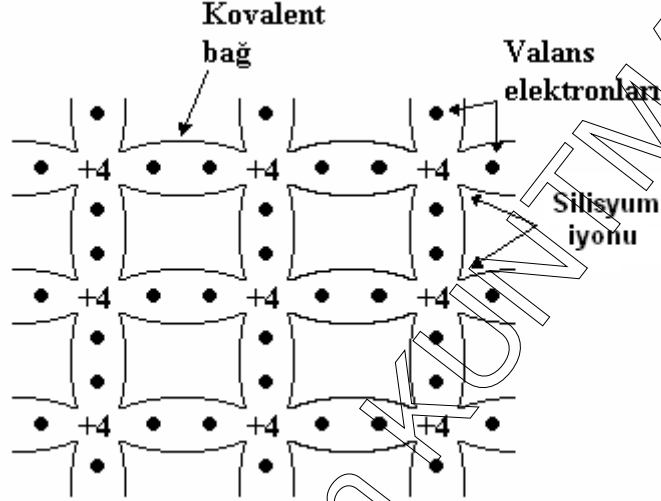
İletken: İletkenlerde (metaller) valans bandı ve iletim bandı birbirine geçmiş durumdadır. Valans band ile iletim bandı arasında yasak band aralığı yoktur. Yapıda çok sayıda elektron vardır. Yönlendirilerek iletim sağlanır.

Yarıiletken bir malzeme olan silisyum dışarıdan katkı ilavesi ile elektron veya delikçe zengin hale getirilerek iletkenlik özelliği değiştirilir.

3.3. Has Silisyum

İntrinsik silisyum da denir. İçine katkı atomu ilave edilmemiş silisyumdur.

Oda sıcaklığında has silisyumun katkı yoğunluğu $n_i=p_i=1.5 \times 10^{10}$ atom/cm³ dür. Burada n, elektronları ve p de delikleri göstermektedir. Katkılanmamış yarıiletkende delik ve elektron sayısı birbirine eşittir. Şekil 3-4' te katkılanmamış silisyum kristalinin elektron düzeni görülmektedir. Değerlik elektronu +4 olan Si atomları birbirine kovalent bağ ile bağlıdır.

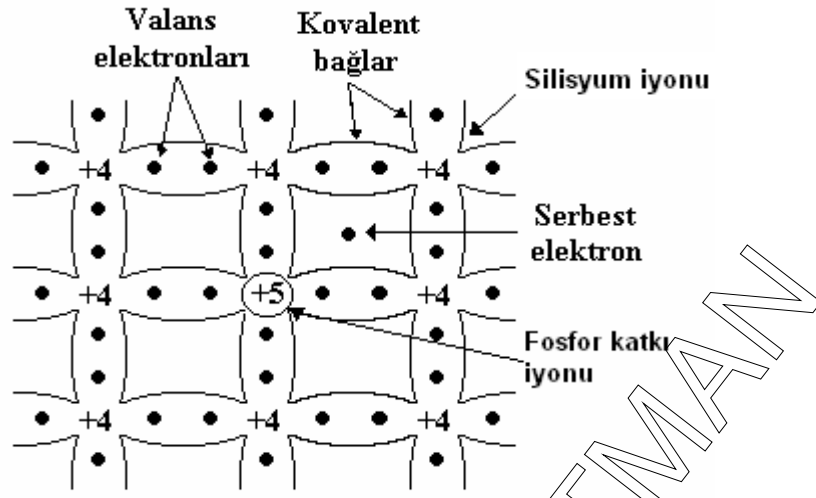


Şekil 3-4 : Katkılanmamış Silisyum kristali

3.4. Silisyumun Katkılanması

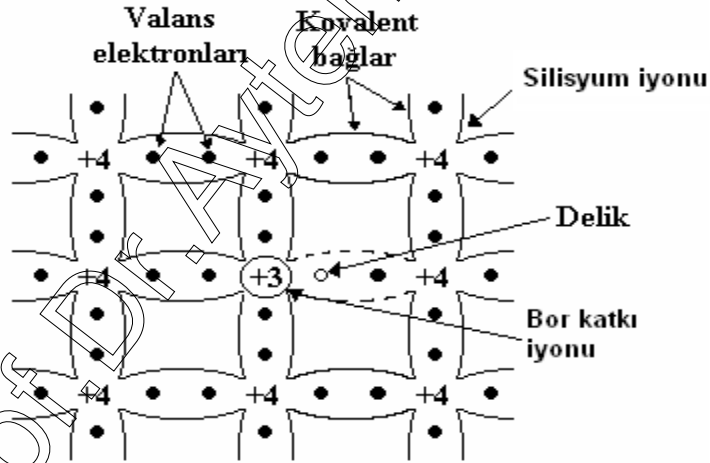
Silisyumu iletken kılmak için yabancı atom ilavesi işlemine katkılama(doping), katkı atomuna ise **impurty** denir. Katkılama sonucunda yarıiletken üzerinde bir jonksiyon oluşturulmuş olur.

a) n-tipi Si oluşturmak için genelde +5 değerlikli atom ilave edilir. Örneğin fosfor (P) ilavesi ile yapı elektronca zengin hale getirilir. Şekil 3-5 de fosfor katkılı Si kristalinin elektron yapısı görülmektedir. Değerlik elektronu +5 olan fosfor değerlik elektronu +4 olan Si ile 4 kovalent bağ yapar. 5. elektron serbest olarak yapıda dolaşır ve bir elektron fazlalığına sebep olur.



Şekil 3-5 : Fosfor katkılı Si kristali

b) p-tipi katkılama: +3 değerlikli atom Si içine katılarak deliklerce zengin hale getirilir. Katkılama işlemi sonucunda bir jonksiyon oluşur. Şekil 3-6' da ise bor katkılı Si kristali görülmektedir. B ile Si ortaklaşa 3 kovalent bağ yaparlar. 4. kovalent bağda bir açıklık kalır. Bu da yapıda delik fazlalığına neden olur.



Şekil 3-6 : Bor katkılı Si kristali

3.5. Katkılanmış Silisyumun İletkenliği

Katkılanmış silisyumun iletkenliği katkı atomunun konsantrasyonuna bağlı olarak değişecektir. Yapı içindeki konsantrasyonlar ;

$n \rightarrow$ Si içindeki elektronların denge konsantrasyonu ($1/\text{cm}^3$)

$p \rightarrow$ Si içindeki deliklerin denge konsantrasyonu ($1/\text{cm}^3$)

$N_D \rightarrow$ n tipi katkı atomlarının konsantrasyonu

$N_A \rightarrow$ p tipi katkı atomlarının konsantrasyonu

olarak, ifade edilebilir. Yapıdaki katkı atomu sayısı taşıyıcı sayısına eş kabul edilirse n tipi katkılı Si için $n \approx N_D$, p tipi katkılı Si için $p \approx N_A$ yazılabilir.

Si içinde delik ve elektronların çarpımı arasında daima bir oran vardır. R saniyedeki birleşme sayısı olmak üzere

$$R = n.p.\gamma \quad (3-1)$$

bağıntısı yazılabilir. Burada $\gamma \rightarrow$ Orantı katsayısıdır. Yapıda elektron-delik çiftlerinin oluşumu sıcaklığın fonksiyonudur. Denge de delik-elektron çiftinin üremesi (G) ve birleşmesi birbirine eşittir.

$$G = R = n.p.\gamma = sbt \quad (3-2)$$

katkılama yokken, yapıdaki yapıdaki elektron ve delikler birbirine eşittir. Ve sıcaklığın fonksiyonudur.

$$n = p = n_i(T) \quad (3-3)$$

Burada n_i has katkı yoğunluğudur.

Denklem (3-2) ve (3-3)'ten

$$n.p = n_i^2(T) \quad (3-4)$$

Delik ve elektron çarpımının sabit olduğu ve has konsantrasyonun karesine eşit olduğu önemli bir saptamadır. Katkılama sonucunda elde edilen özgül iletkenlik ise;

$$\sigma = |q|(\mu_n n + \mu_p p) \quad (3-5)$$

bağıntısıyla verilmektedir. Burada,

$\sigma \rightarrow$ Elektriksel iletkenlik ($\Omega\text{-cm}$)⁻¹

$\mu_n \rightarrow$ Elektronların hareket yeteneği ($\text{cm}^2/\text{V.sn}$)

$\mu_p \rightarrow$ Deliklerin hareket yeteneği ($\text{cm}^2/\text{V.sn}$)

$q \rightarrow$ Elektrik yükü ($1.6 \times 10^{-19} \text{C}$) nü göstermektedir.

3-4 bağıntısı ile birleştirilirse n-tipi örnek için;

$\sigma = |q|(\mu_n N_D + \mu_p \frac{n_i}{N_D})$ yazılabilir. N_D yeterince büyük olduğundan

2. terim ihmal edilebilir. Ve

$$\sigma = |q|\mu_n N_D \quad (3-6)$$

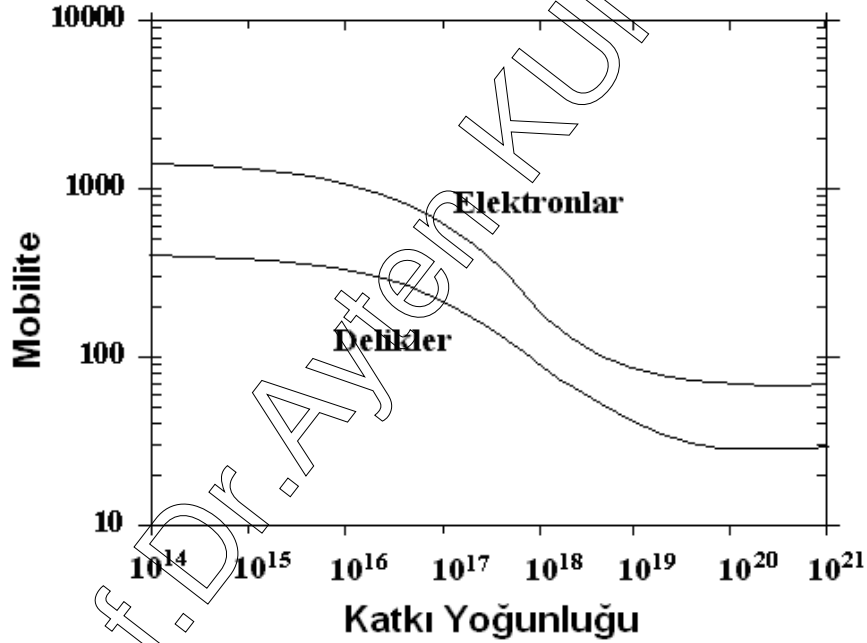
Yazılabilir. p-tipi örnek için benzer şekilde;

$$\sigma = |q|(\mu_n \frac{n_i^2}{N_A} + \mu_p N_A)$$

$$\sigma = |q|\mu_p N_A \quad (3-7)$$

yazılabilir. Bağıntılardan görüldüğü gibi iletkenlik katkı yoğunluğu artışı ve mobilitelerle artmaktadır. Fakat hareket yeteneği katkı yoğunluğu ile ters orantılıdır. Katkı yoğunluğunun belli değerleri için mobiliteler düşer. Şekil 3-7' de katkı yoğunluklarıyla elektron ve delik mobilitelerinin değişimi görülmektedir. 10^{18} katkı yoğunluğu değerinin üstünde mobilitelerin oldukça düştüğü görülmektedir.

Has yarıiletken $\sigma = q.n_i.(\mu_n + \mu_p)$ ' dir.



Şekil 3-7: Katkı yoğunluğunun fonksiyonu olarak delik ve elektron mobilitelerinin değişimi

Silisyuma ait bazı elektriksel büyüklüklerin oda sıcaklığındaki sayısal değerleri Tablo 3-1' de görülmektedir.

Tablo 3-1: Silisyuma ait bazı elektriksel değerler

Silisyuma ait bazı elektriksel değerler(300°K için)	
ϵ_r	11.7
E_G	1.1eV
n_i	$1.5 \times 10^{10} \text{ 1/cm}^3$
μ_n	$1300 \text{ cm}^2/\text{V.sn}$
μ_p	$500 \text{ cm}^2/\text{V.sn}$

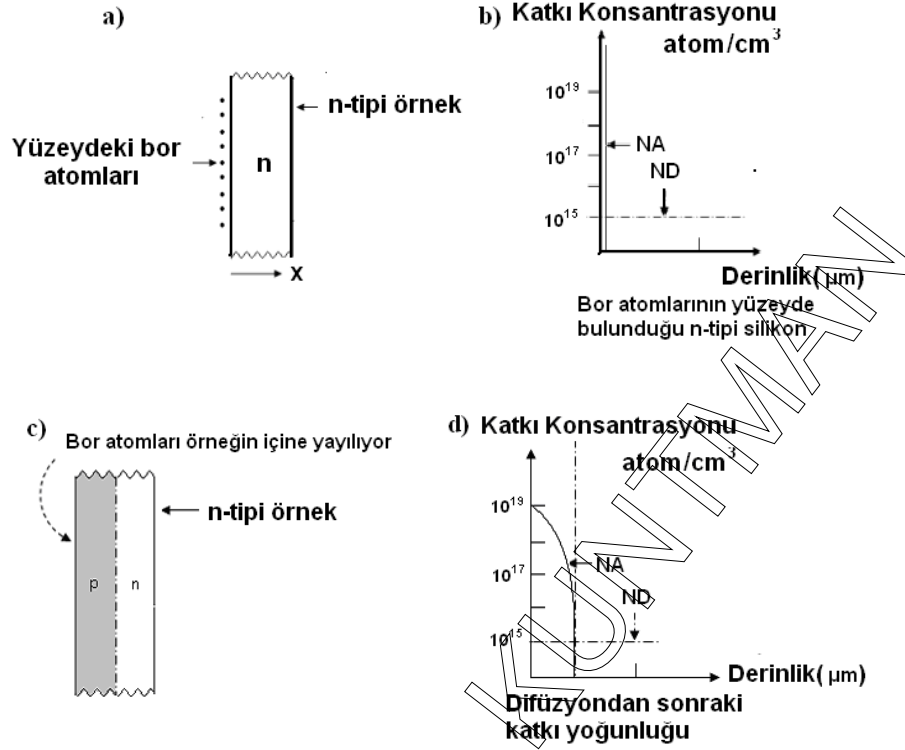
4. TUMDEVRE ÜRETİMİNDE KULLANILAN TEMEL PROSES ADIMLARI

4.1. Difüzyon

Katkılamayı gerçekleştirmek için yapılan bir işlemdir. Difüzyon işlemi sonucunda jonksiyon oluşur. Temelde difüzyon MOS yapılar da kaynak-savak bölgelerinin, bipolar yapılar da emetör-baz yapılarının oluşturulmasında kullanılır.

İstenen derinlikte bir difüzyon yapabilmek için difüzyon kaynağı, sıcaklık ve süre belirleyici etkilere sahiptir. Difüzyon kaynağı katı, sıvı veya gaz olabilir. Difüzyon için yüksek sıcaklık gereklidir. 1000°C-1200°C 'de gerçekleşir. Difüzyon işlemi özel fırınlarda gerçekleştirilir.

Proses parametrelerini belirleyebilmek için bağıntıları içeren bazı programlardan yararlanılır. Bunlardan SUPREM yaygın kullanılanıdır. Suprem kullanılarak proses optimizasyonu yapılır. Bir difüzyon işleminin şematik görüntüsü Şekil 4-1' de verilmiştir. Şekil 4-1 (a)' da silisyum yüzeyinde bor atomları mevcut olup başlangıçtaki silisyumun katkı profili görülmektedir. Henüz difüzyon başlamamıştır. Şekil 4-1.b' de ise uygun sıcaklıkta difüzyon fırınında difüzyon gerçekleşerek katkı profili oluşmuştur.



Şekil 4-1 : Silisyumun borla difüzyonu ve katkı yoğunluğu dağılımı

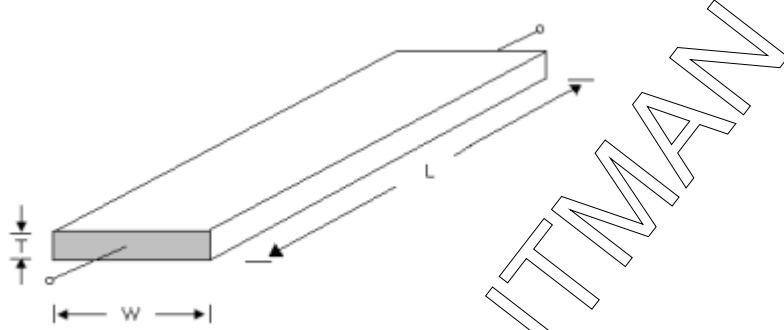
Katkılama sonucu elde edilen maksimum derinlik 20 μ m'dir. Difüzyonda süre birkaç on dakikalardan birkaç saatler mertebesinde.

4.1.1. Difüzyon Tabakasının Elektriksel Özelliği

Difüzyon tabakasının elektriksel özelliği tabaka direnci ile tanımlanmaktadır.

Tabaka direnci: Katkılanmış bölgenin elektriksel karakterizasyonu için belirlenmiş bir büyüklüktür. Birim kare başına direnç olarak tanımlanır.

Şekil 4-2' de görüldüğü gibi düzgün difüzyon yapılmış uzunluğu L, genişliği W ve derinliği T olan bir difüzyon tabakasının tabaka direnci bağıntısı o bölgenin toplam direnci gözönüne alınarak çıkartılabilir.



Şekil 4-2 : Direnci hesaplanan dikdörtgen tabaka

Şekilde verilen tabakanın direnci

$$R = \rho \frac{L}{A} = \frac{1}{\sigma} \frac{L}{W.T} \quad (4-1)$$

bağıntısı ile bulunabilir. Eğer özgül direnci açarak yazarsak bağıntı

$$R = \frac{1}{q\mu N} \frac{L}{W.T} \quad (4-2)$$

şekline dönüşür. Burada L/W çekildiğinde tabaka direnci ortaya çıkar ve

$$R_s = \frac{1}{q\mu N T} \quad (4-3)$$

olarak yazılır. Birimi Ω/ϵ ohms'dur. Burada μ mobilite, N ise katkı yoğunluğudur. Diğer yandan tabaka direnci

$R_{\epsilon} = \frac{\rho}{T}$ olarak da ifade edilir. Katkılama tipine bağlı olarak

p-tipi silisyum için tabaka direnci,

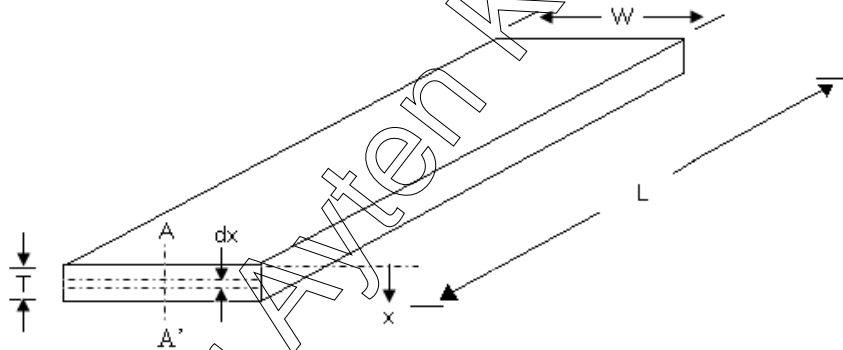
$$R_{\epsilon} = \frac{1}{q\mu_p N_A T} \quad (4-4)$$

N- tipi silisyum için ise

$$R_{\epsilon} = \frac{1}{q\mu_n N_D T} \quad (4-5)$$

olarak yazılabilir.

Bu yaklaşım sadeleştirilmiş bir yaklaşımdır. Gerçekte tabaka direnci katkı yoğunluğunun fonksiyonudur. Aşağıda verilen bağıntılarla ifade edilir.



Şekil 4-3: Katkı yoğunluğu ile tabaka direnci değişimi

$$R = \frac{L}{W} \left[\frac{1}{\int_0^{x_j} q\mu_n N_D(x) dx} \right] \quad (4-6)$$

$$R_{\square} = \left[\int_0^{x_j} q\mu_n N_D(x) dx \right]^{-1} = \left[q\mu_n \int_0^{x_j} N_D(x) dx \right]^{-1} \quad (4-7)$$

Direncin terside bize iletkenliğı verecektir.

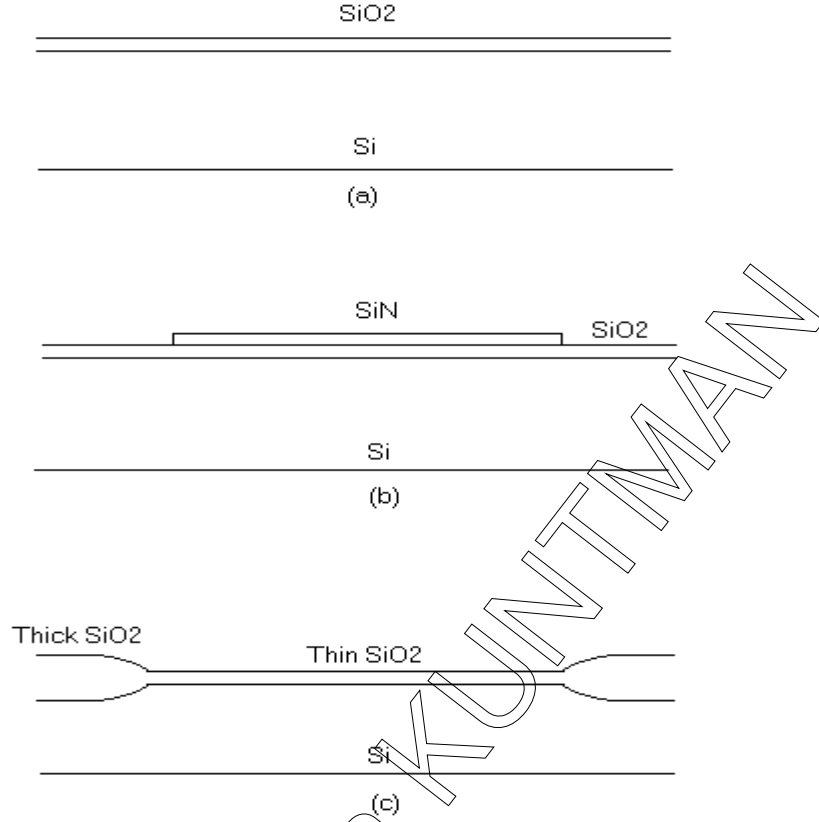
4.2. Termal Oksitleme

Oksitleme işlemi silisyum üzerinde SiO_2 oluşturma işlemidir. Oksitleme ile silisyum üzerinde dielektrik ve yalıtkan filmler oluşturulur.

Oluşturulan oksit katkı difüzyonuna karşı maske olarak, MOS yapılarda geçit oluşturmada, aktif bölgelerin pasivasyonunda, kapasite dielektriğı oluşturmak için kullanılır.

Silisyum dioksitin kullanıldığı yerler ve kalınlıkları Tablo 4-1' de toplanmıştır.

Şekil 4-4' de MOS yapılarda kullanılan ve alan oksiti olarak isimlendirilen bir oksitleme işlemi görülmektedir.



Şekil 4-4 : Lokal oksitleme işlemi

Tablo 4-1: Silisyum dioksitin kullanıldığı yerler

Oksitin Kullanıldığı Yer	Yaklaşık Kalınlık(A°)
Katkı difüzyonuna karşı maske olarak	4000-6000
MOS yapılarda geçit oluşturmada	50-200
Aktif bölgelerin pasivasyonunda	7000-10000
Kapasite dielektrik yapımı	600-800

Oksitleme ısı bir işlemdir ve 1000-1200°C' de yapılır. Kuru ve nemli oksitleme diye ikiye ayrılır. Kuru oksitleme sadece oksijenli ortamda, nemli oksitleme ise oksijen ve su buharı içeren ortamda yapılır. Puldaki silisyumlar ortamdaki oksijenle birleşerek oksit oluştururlar.

Kuru oksitleme: $\text{Si} + \text{O}_2 \longrightarrow \text{SiO}_2$

Nemli oksitleme: $\text{Si} + 2\text{H}_2\text{O} \longrightarrow \text{SiO}_2 + 2\text{H}_2$

Nemli oksitleme daha hızlıdır.

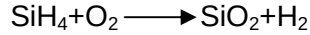
Oksit kalınlığını; sıcaklık, oksijen kaynağı ve zaman belirler. Oksitleme işlemi özel fırınlarda yapılır. Oksijen silisyum içinde difüzyon ile oluşur. Ortamdaki oksijen silisyum ile birleşip SiO_2 yapar.

4.3. Kimyasal Buhar Depolama (Chemical Vapor Deposition CVD)

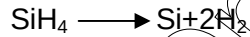
Kimyasal buhar depolama gaz bileşiklerin ısısal bozulmasıyla pul yüzeyinde film oluşturulması yöntemidir. Polisilisyum, SiO_2 , silisyum nitrür ve metal depolama CVD ile yapılabilir.

SiO_2 Depolama: Farklı bir SiO_2 üretme yöntemidir. Termal silisyum dioksitten farklı olarak SiO_2 ' in Si üzerine yığılması ile oluşur, kalitesi düşüktür, düşük sıcaklıklarda yapılır (400-600°C). Üretim daha kısa sürede gerçekleşir.

Çok yoğun devrelerin çok katlı metalizasyonunda metallerarası yalıtkan olarak kullanılır. Genelde silanın (SiH_4) oksijenle yakılmasıyla SiO_2 elde edilir. Ve Si üzerine yoğunlaşır.



Polisilisyum Oluşturma: Kimyasal olarak Si depolama işlemidir. En önemli kullanım alanı MOS yapılarda geçit elektrotu olarak kullanılmasıdır. Yüksek değerli direnç yapımında ve Si kristali ile omik kontak oluşturmak için kullanılır. Polisilisyum oluşturmada da silan kullanılır. Silanın pirolizi ile gerçekleşir.



4.4. İyon Ekme

Katkılama yöntemidir. Difüzyona göre daha küçük boyutların katkılanmasını sağlar. Yüksek saflıkta katkılama yapılabilir. Düşük sıcaklıkta çalışma, düşük boyutlu yapılar oluşturma gibi avantajları

vardır. Bu tekniğin temelinde elektronların hızlandırılıp gönderilmesi vardır. Sığ jonksiyon oluşturmada ve pahalı bir teknik olması dezavantajlarıdır.

4.5. Epitaksi

Silisyum üzerinde kristal yapının korunması şartı ile tekrar Silisyum büyütülmesi işlemidir. Bipolar yapılarda devre elemanlarının birbirinden izole edilmesini sağlar. VLSI yapılarda devrede oluşabilecek hataları minimize etmek için n^+ üzerine n , p^+ üzerine p katkılamada kullanılır.

4.6. Litografi

Litografik işlem, hazırlanan devre desenlerinin Si pul üzerine aktarılmasını sağlar. Litografi işlemi için maske, ışın kaynağı ve uygun bir reziste ihtiyaç vardır. Tümdevre üretiminde litografik işlem için *spiner ve mask aligned* gibi cihazlardan yararlanılır.

Işık kaynağı olarak UV ışınları, elektron bombardımanı, x ışınları gibi ışık kaynaklarından yararlanılır. Litografik işlem ışık kaynağı UV ise fotolitografi, elektron bombardımanı ise elektrolitografi gibi ışık kaynağının ismi ile anılır.

Devre desenlerinin Si pul üzerine aktarımı maskelerden yararlanılarak yapılır.

Maske; pul üzerine belli bir aşamada işlem yapılacak bölgenin diğerlerinden ayrılmasını sağlayan yapıdır.

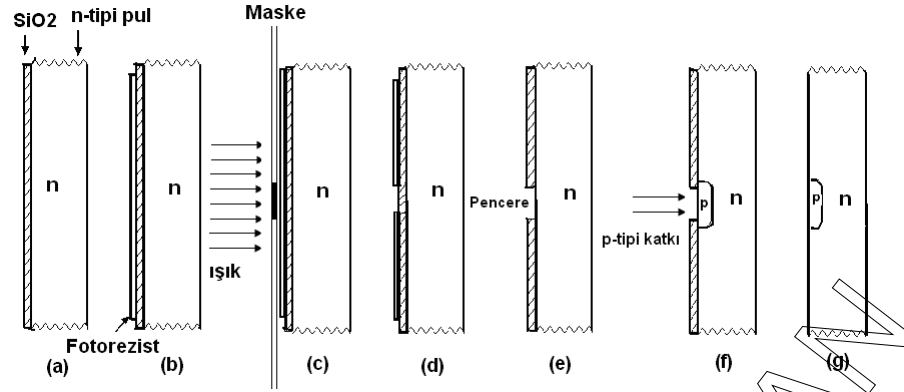
Rezist ışığa hassas bir kimyasal maddedir. Rezist kullanımı ile ışık gören ve görmeyen alanların çözünürlükleri değişeceği için maskedeki şekil pula aktarılır.

Bir bipolar veya MOS tranzistör oluşturmak için minimum 5-8 maske gerekmektedir. Her bölgenin maskesi ayrı hazırlanır. Her bir maske için litografik işlem uygulanır.

Bir pn eklemi oluşturmak için uygulanan fotolitografik işlem Şekil 4-5' de görülmektedir. Burada n-tipi bir pul üzerine p-tipi katkılama yapılacaktır.

Şekil 4-5' de yapılan işlemler **a.** oksit büyütme, **b.** fotorezist serme, **c.** sıklandırma, **d.** oksit soyma(Pencereyi oluşturma)

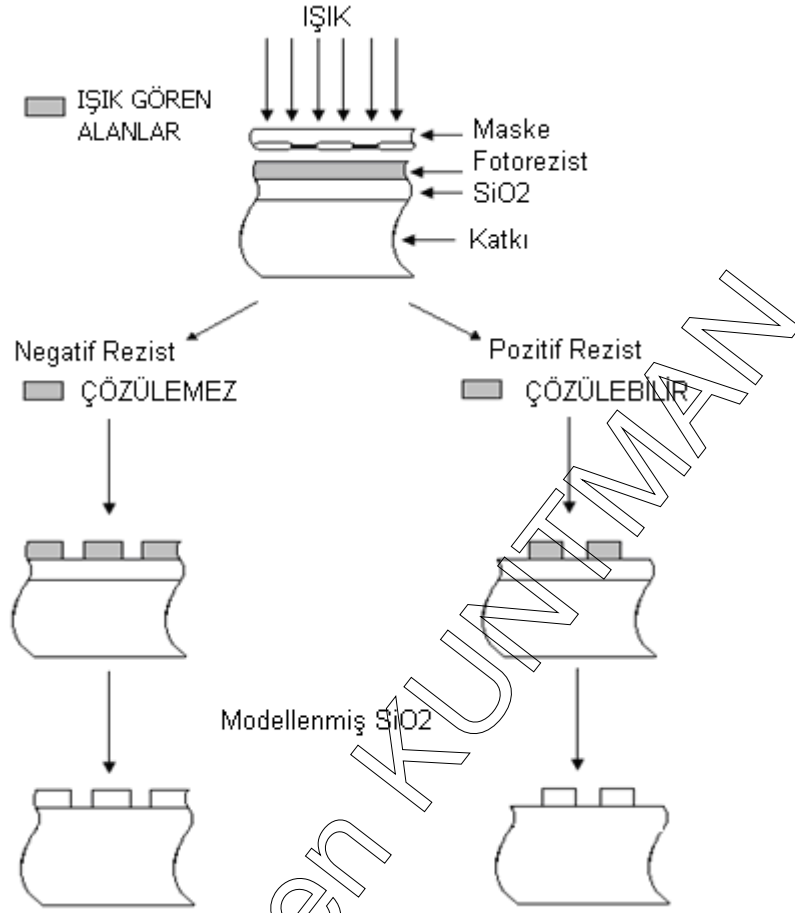
e. fotorezist soyma **f.** difüzyon(açılan pencereye) **g.** oksit soyma(tüm yüzeyden) olarak yazılabilir.



Şekil 4-5 : Bir pn eklemi oluşturmak için uygulanan fotolitografik işlem dizisi

1. adımda n-tipi pul üzerine difüzyona maske olmak üzere 1000Å civarında termal oksit büyütülür, 2. adımda fotorezist serilir. 3. adımda maske uygulanarak *mask aligner*' de ışıklandırma işlemi yapılır. 4. adımda uygun bir çözücü ile fotorezist üzerinde pencere açılır. 5. adımda oksit üzerinde pencere açılır. 6. adımda tanımlanan bölgeye difüzyon yapılır. Difüzyon işleminden sonra silisyum dioksit soyulur. P-n jonksiyonu elde edilmiş olur.

Şekil 4-6' da ise pozitif ve negatif fotorezist için yapılan işlemler görülmektedir.



Şekil 4-6: SiO₂ üzerinde pencere oluşturma

5. MOS TMDEVRELER

MOS tmdevre retiminde temel yapıtaşı MOSFET' lerdir. Bu sebeple bu blmde MOSFET retim ařamaları ve devre performans karakteristiklerine etkileri anlatılacaktır. MOS(Metal-Oksit-Yarıiletken) yapılar dijital elektronik devre yapımında ok yaygın olarak kullanılmaktadır. Basitlięi, lekleme kolaylıęı, dřk g harcaması, yksek hız avantajlarıdır.

MOS' lar:

- N-kanallı MOS tranzistrler
- P-kanallı MOS tranzistrler
- CMOS' lar olmak zere  ana grupta toplanır.

CMOS' lar ise kendi aralarında n-kuyulu ve p-kuyulu olmak zere iki ana gruba ayrılırlar.

5.1. Temel MOS Yapıları

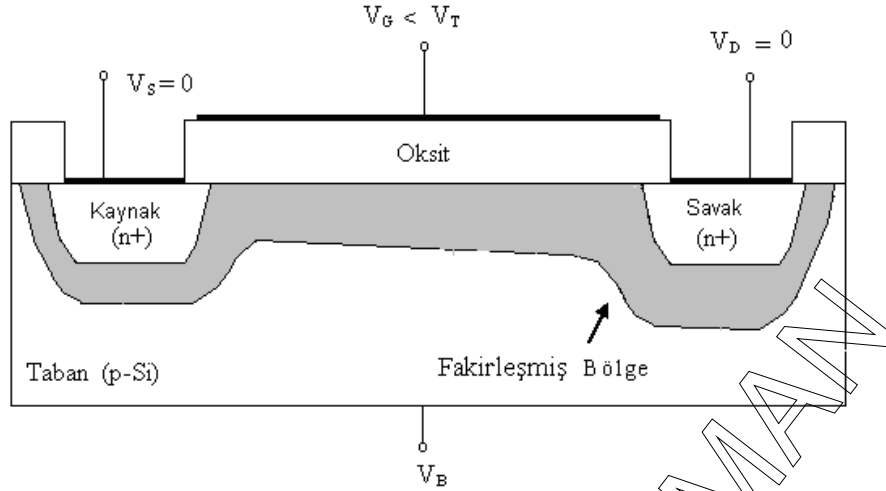
N-kanallı MOS tranzistrler kanal oluřturmalı(E-NMOS) ve kanal ayarlamalı (D-NMOS) olmak zere ikiye ayrılırlar. E-NMOS' un eřik gerilimi sıfırdan byk, D-NMOS' un eřik gerilimi sıfırdan kktr.

5.1.1. Temel MOS Tranzistrleri

5.1.1.1. Kanal Oluřturmalı N-MOS(E-NMOS):

E-NMOS' ta p-tipi bir taban zerine n-tipi difzyonla kaynak(drain) ve savak(source) blęeleri oluřturulmuřtur. Geit zerinde SiO₂ ve polisilisyum geit elektrotu vardır. Kontak ve metal baęlantılarıyla transistor tamamlanır. Byle bir yapıda; Bařlangıta; $V_D = V_G = V_{GS}$ durumunda kanal oluřmaz. Eęer geide(G), kaynaęa gre daha pozitif bir gerilim uygulanırsa geit-taban arasında oluřan elektrik alan sebebiyle elektronlar yukarı ekilir, delikler ařaęı itilirler. Savak-kaynak arasında bir n-kanal oluřur.

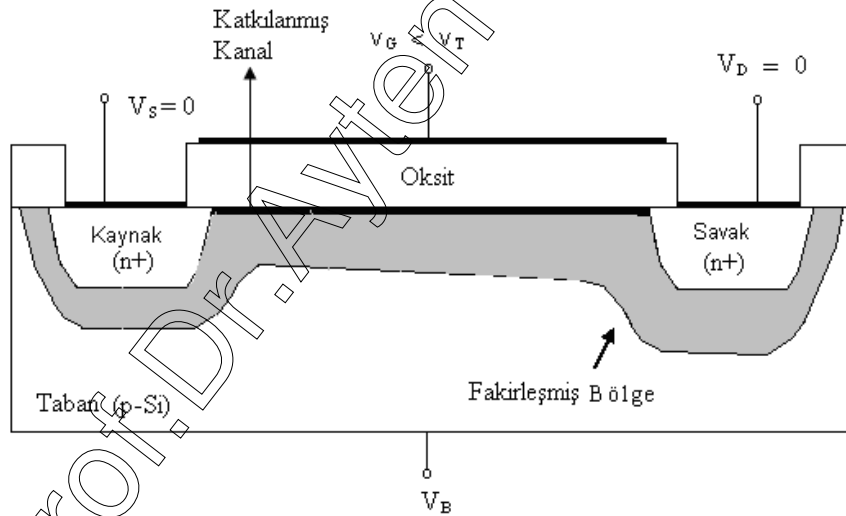
N-kanallı kanal oluřturmalı MOS tranzistrn dřey kesiti řekil 5-1' de verilmiřtir.



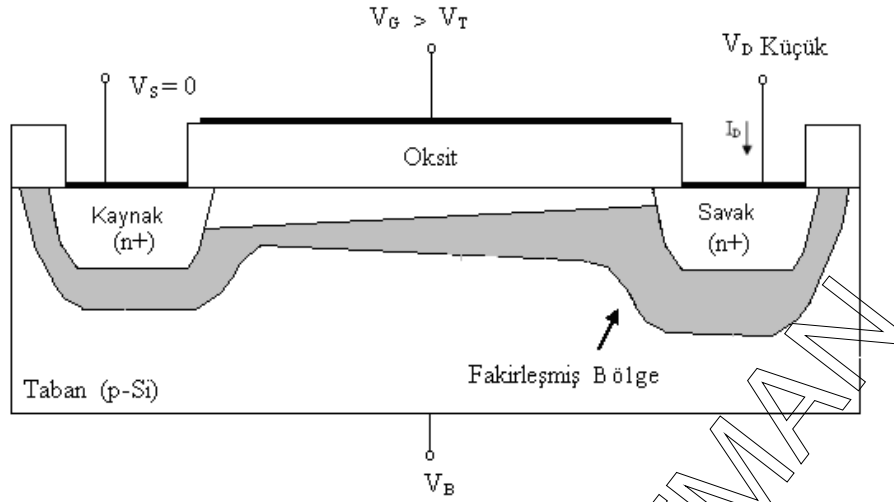
Şekil 5-1: Kanal oluşturmali N-MOS

5.1.1.2. Kanal Ayarlamalı NMOS(D-NMOS)

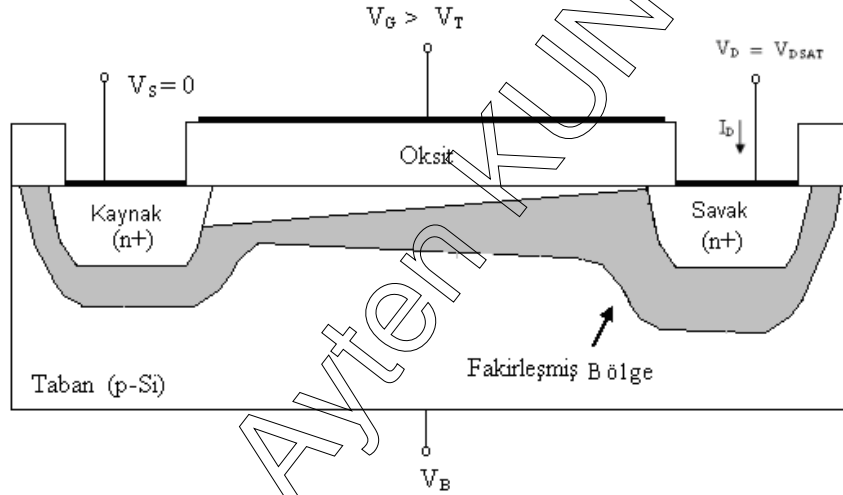
N-kanallı kanal ayarlamalı (D-NMOS) MOS tranzistörlerde eşik gerilimi sıfırdan küçüktür. E-NMOS'lerden farklı olarak yapım sırasında geçit bölgesi katkılanmıştır. D-NMOS yapının düşey kesiti Şekil 5-2'de görülmektedir.



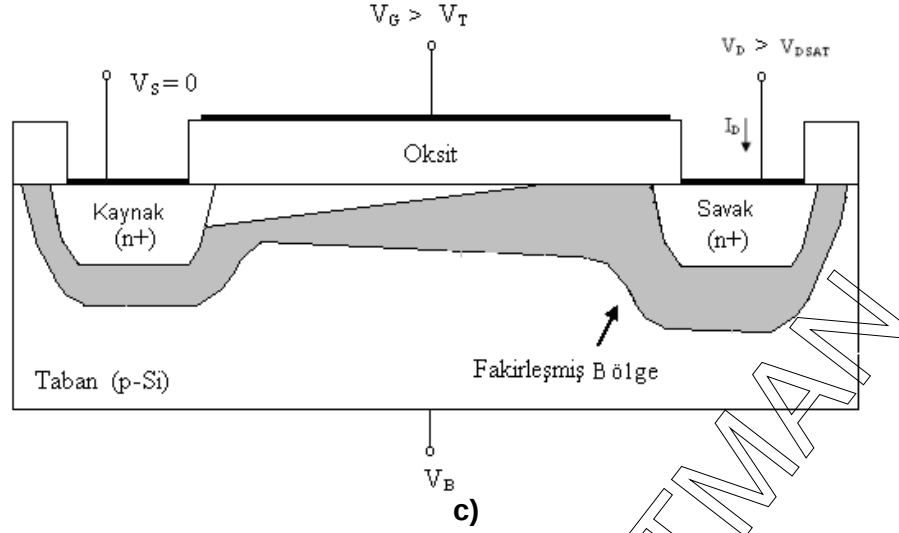
Şekil 5-2: Kanal ayarlamalı N-MOS



a)



b)



Şekil 5-4: Kanal oluşturmali transistörün çalışma bölgeleri

- a) Kanal oluşumu şartı $V_{GS} \geq V_{TO}$ olduğu durumdur. Uygulanan V_{GS} gerilimi eşik gerilimine ulaşınca kanal oluşur ve akım akmaya başlar.
- b) Doymasız bölgede çalışma
 $V_{DS} \leq V_{GS} - V_{TO}$ Doymasız bölgede çalışma şartı
 V_{DS} gerilimi artırılırsa savak akımı artar.
- c) Doymalı bölgede çalışma
 $V_{DS} \geq V_{GS} - V_{TO}$ Doymalı bölgede çalışma şartı
Akımın geçit gerilimi ile kontrol edildiği çalışma bölgesidir. V_{GS} gerilimi arttıkça savak akımı artar. Belli bir değerden sonra tranzistor kanalında bir kısılma oluşur. Bu durum çalışma şartlarını değiştirir.

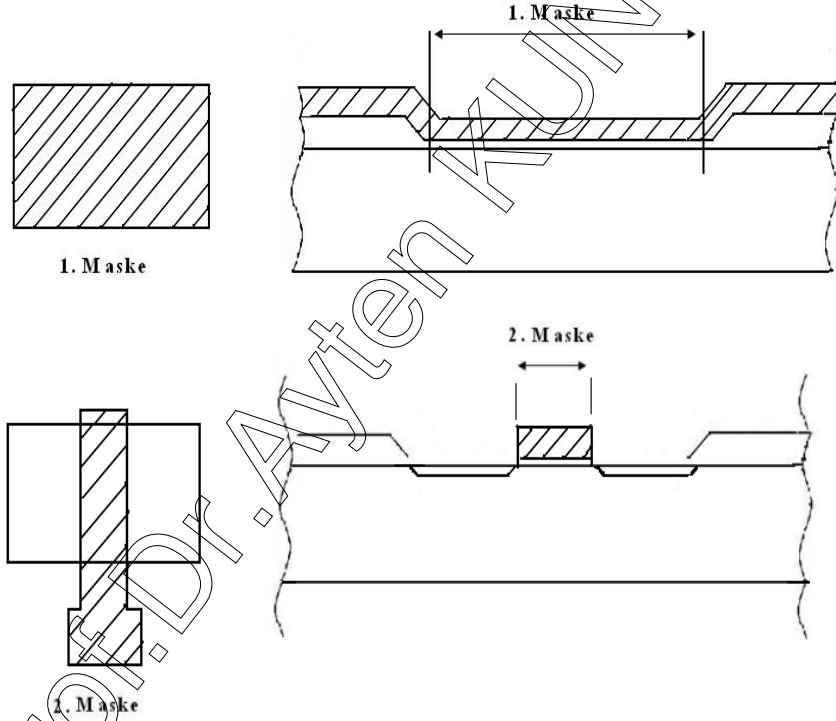
5.1.3. N-Kanalı MOS Transistor Üretim Süreci

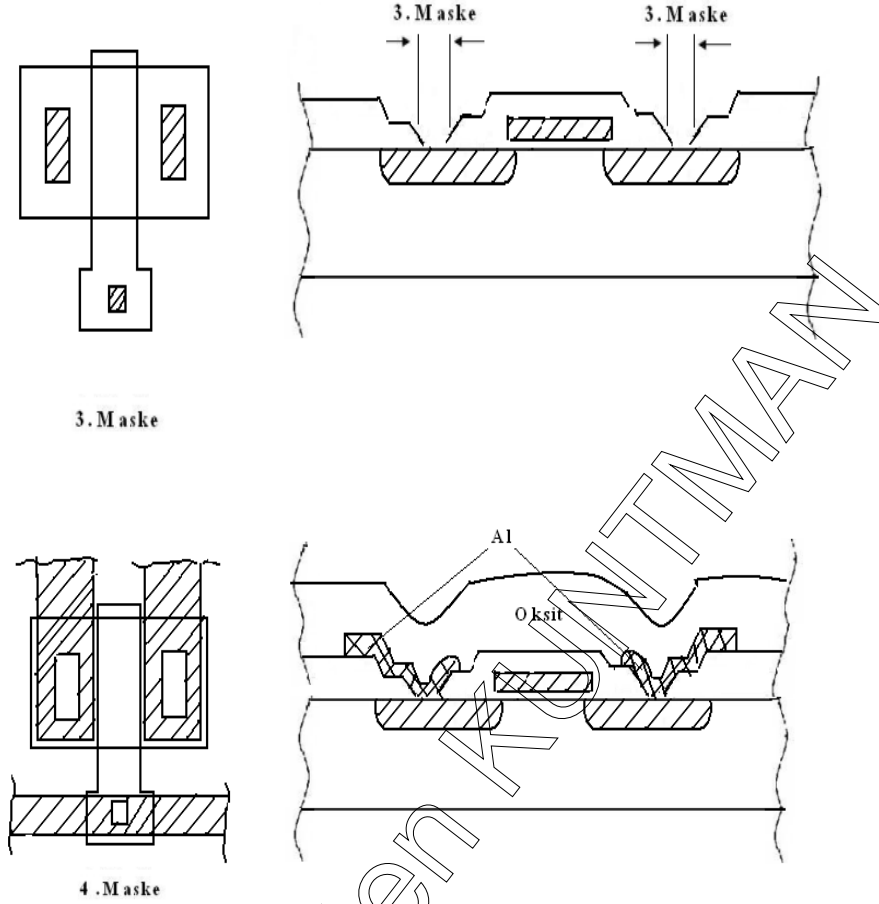
Polisilyum geçitli n-kanallı MOS tranzistörün üretimi p-tipi silisyum yüzeyinde 1. maske kullanılarak silisyumdioksit büyütülerek başlar. Buna alan oksiti denir. Alan oksitinin oluşturulması Alan oksiti üzerinde oksit maskesi kullanılarak transistor yapılacak alan belirlenir. Daha sonra MOS tranzistörün geçitini oluşturacak yüksek kalitede ince bir oksit büyütülür.

İnce oksitin üzerine polisilyum büyütülür. Uygun maske(2. maske) kullanılarak polisilyum geçit elektrodu oluşturulur. Geçit elektrodunun iki yanında n-bölgeleri katkılama yöntemi ile oluşturulur. Bunlar kaynak ve savağı oluşturacaktır. Daha sonra 3. maske kullanılarak kontak pencereleri açılır. Tüm yüzeye metal kaplanır ve 4. maske ile metal yollar oluşturulur. Şekil 5-5' de MOS transistor üretiminde kullanılan temel MOS maskeleri(sol tarafta) ve her maske uygulaması sonucunda tranzistörün düşey kesiti(sağda) görülmektedir. Uygulanan maskeler;

1. Aktif bölge ve ince oksit maskesi(transistor alanı)
2. Polisilyum maskesi
3. Kontak pencereleri maskesi
4. Metal maskesi olarak sıralanır.

Her bir maskeleme adımı litografik işlemle gerçekleştirilir.





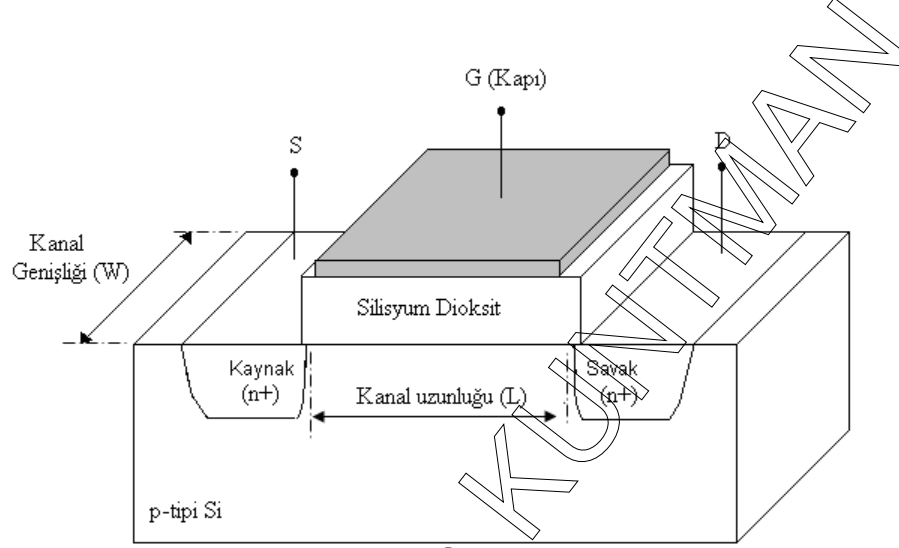
Şekil 5-5: Temel MOS Maskeleri ve her maske uygulaması sonucunda tranzistörün düşey kesiti

5.2. MOS Tümdrevrelerin Temel Elektriksel Özellikleri

N-kanallı MOS tranzistörün üç boyutlu yerleşimi Şekil 5-6' da verilmiştir. Tranzistörün kanal boyu ve kanal genişliği önemli iki kavramdır. Kanal boyu ve kanal genişliği tranzistörün kırıkk üzerinde kapladığı alan ve savak akımı değerini belirleyen önemli büyüklüklerdir.

Kanal Boyu: Kanalın kaynak-savak arasında akan savak akımı doğrultusundaki boyu, kanal boyu olarak tanımlanır ve L ile gösterilir.

Kanal Genişliği: Kanal boyuna dik uzunluk kanal genişliğidir. Kanal genişliği ise W ile tanımlanır. Kanal boyu ve kanal genişliği (LXW) tranzistörün **etkin kanal alanı**dır.



Şekil 5-6: n-Kanalı MOSFET

Akımın oluşması geçide uygulanan gerilim sonucu yüklerin indüklenmesine bağlıdır. Kanal boyu, elektrik alan şiddeti, elektronların geçiş süresi elemanın hızını ve akımını etkileyen parametredir. Akım birim zamanda kanalda indüklenen yük miktarı olarak ifade edilir. İlgili bağıntılar aşağıda verilmiştir.

$$I_{DS} = \frac{\text{Kanala endüklenmiş yükler}(Q_C)}{\text{elektronların geçiş süresi}(\tau)} \quad (5-1)$$

$$\tau = \frac{L}{v} \quad (5-2)$$

$$v = \mu E_{DS} \quad (5-3)$$

$$E_{DS} = \frac{V_{DS}}{L} \quad (5-4)$$

$$\tau = \frac{L^2}{\mu V_{DS}} \quad (5-5)$$

Burada V hız, L kanal boyu, E_{DS} elektrik alan şiddetini göstermektedir.

5.2.1. N-Kanallı MOS tranzistörün akım ifadesinin çıkarılması

Başlangıçta elemandan akım akmadığı bölge kesim bölgesi olarak adlandırılır. Bu durumda kaynak-savak bölgesinde kanal oluşmamıştır. $V_{GS}-V_{TO}<0$ durumunda transistor kesimdedir.

Akımın kaynak-savak gerilimi tarafından belirlendiği doymasız bölge olarak tanımlanır. Doymasız çalışma bölgesi $V_{GS} \geq V_{TO}$, $V_{DS} < V_{GS} - V_{TO}$ şartlarında oluşur.

Akımın geçit-kaynak gerilimi tarafından belirlendiği doyma bölgesidir. Doymalı bölge çalışma şartı: $V_{DS} \geq V_{GS} - V_{TO} > 0$, Doyma şartı: $V_{DS} = V_{GS} - V_{TO}$.

Akım oluşumu geçitte, indüklenmiş yüklerle olduğundan, indüklenmiş yükler:

$$Q_C = E_g \epsilon_{rSiO_2} \epsilon_0 WL \quad (5-6)$$

Bağıntısıyla verilir.

Burada;

$E_g \rightarrow$ Geçitteki elektrik alan

$\epsilon_{rSiO_2} \rightarrow$ SiO_2 'nin dielektrik geçirgenliği

$\epsilon_0 \rightarrow$ Boşluğun dielektrik geçirgenliği

$WL \rightarrow$ Etkin tranzistör alanı' dır.

Doymasız bölge elektrik alan şiddeti ifadesi uç büyüklüklerine bağlı olarak (5-7) bağıntısıyla ifade edilir. (5-1)-(5-6) ve (5-7) bağıntıları tekrar düzenlenirse doymasız bölge için akım ifadesi çıkartılır.

$$E_g = \frac{(V_{GS} - V_{TO}) - \frac{V_{DS}}{2}}{t_{ox}} \quad (5-7)$$

$$Q_C = \frac{WL\epsilon_{rSiO2}\epsilon_O}{t_{ox}} \left[(V_{GS} - V_{TO}) - \frac{V_{DS}}{2} \right] \quad (5-8)$$

$$I_{DS} = \frac{\epsilon_{rSiO2}\epsilon_O\mu}{t_{ox}} \frac{W}{L} \left[(V_{GS} - V_{TO}) - \frac{V_{DS}}{2} \right] V_{DS} \quad (5-9)$$

$$I_{DS} = K \frac{W}{L} \left[(V_{GS} - V_{TO}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (5-10)$$

(5-10) bağıntısı doymasız bölge için akım bağıntısıdır. Burada K Spice-proses parametresi olarak tanımlanır.

$$K = \frac{\epsilon_{r(SiO2)}\epsilon_O\mu}{t_{ox}} \quad (5-11)$$

Aynı ifade geçit bölgesi kapasite içinde çıkartılabilir.

$$C_g = \frac{\epsilon_{r(SiO2)}\epsilon_O WL}{t_{ox}} \rightarrow \text{geçit bölgesi kapasitesi} \quad (5-12)$$

$$I_{DS} = \frac{C_g\mu}{L^2} \left[(V_{GS} - V_{TO}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (5-13)$$

$$\beta = \frac{W}{L} \mu C_{ox} \quad (5-14)$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} = \frac{\epsilon_{rSiO2}\epsilon_O}{t_{ox}} \rightarrow \text{birim alan başına geçit kapasitesi} \quad (5-15)$$

$$I_{DS} = \beta \left[V_{GS} - V_{TO} - \frac{1}{2} V_{DS} \right] V_{DS} \quad (5-16)$$

Savak akımı yukarıdaki 5-10, 5-12 ve 5-16 bağıntılarında olduğu gibi sırasıyla Spice parametresi(K), geçit baz kapasitesi(C_g) ve proses parametresi(β) cinsinden de yazılabilir.

n-kanallı MOS tranzistörde doymalı bölgede akım ifadeleri K, C_g ve β cinsinden sırasıyla 5-17, 5-18 ve 5-19 bağıntılarında verilmiştir.

$$I_{DS} = K \frac{W}{L} \frac{(V_{GS} - V_{TO})^2}{2} \quad (5-17)$$

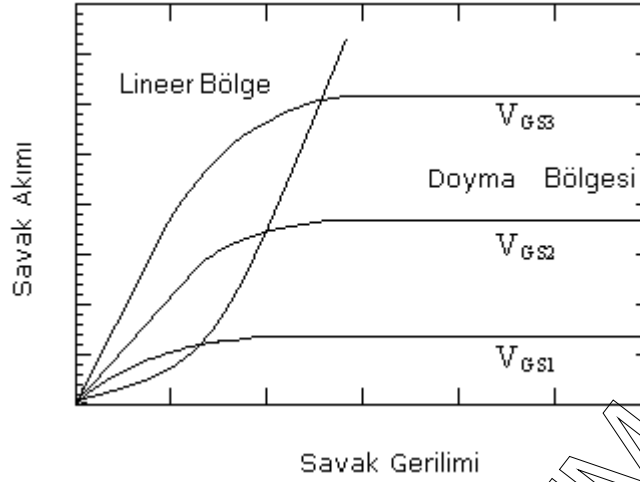
$$I_{DS} = \frac{C_g \mu}{2L^2} (V_{GS} - V_{TO})^2 \quad (5-18)$$

$$I_{DS} = \frac{\beta}{2} (V_{GS} - V_{TO})^2 \quad (5-19)$$

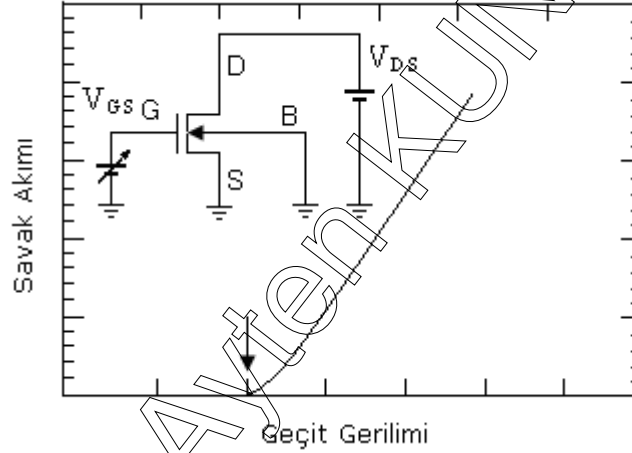
N-kanallı tranzistörün akım-gerilim ilişkisi iki ana değişimle ifade edilir.

Bunlar; Kaynak-savak gerilimi ile savak akımının değişimi tranzistörün akım-gerilim karakteristiği olarak tanımlanır.

Geçit gerilimi ile savak akımının değişimi ise tranzistörün transfer karakteristiği olarak tanımlanmaktadır. Şekil 5-7' de n-kanallı tranzistörün akım-gerilim karakteristiği, Şekil 5-8' de ise n-kanallı MOS tranzistörde savak akımı ile V_{GS} geriliminin değişimini veren transfer karakteristiği görülmektedir.



Şekil 5-7: n-kanallı MOS tranzistörün akım-gerilim karakteristiği



Şekil 5-8: n-Kanallı MOS tranzistörde savak akımı ile V_{GS} geriliminin ilişkisi

5.2.1. p-Kanallı MOS tranzistörün akım ifadeleri

PMOS' un çalışma bölgeleri NMOS' un çalışma bölgelerine benzer, ters işaretlisidir.

$$V_{DS} < 0; V_{TO} < 0$$

1. Kesimde: $0 < V_{GS} - V_{TO}$, $I_D = 0$.

2. Doymasız bölgede: $V_{DS} > V_{GS} - V_{TO}$

$$I_{DS} = \beta \left[V_{GS} - V_{TO} - \frac{1}{2} V_{DS} \right] V_{DS} \quad (5-20)$$

3. Doymalı bölgede: $V_{DS} < V_{GS} - V_{TO} < 0$

$$I_{DS} = \frac{\beta}{2} (V_{GS} - V_{TO})^2 \quad (5-21)$$

5.3. MOS Tranzistörlerde Model Parametreleri

MOS transistörde en temel model parametreleri,

Eşik Gerilimi

Gövde Parametresi

Kanal boyu modülasyon parametresi

Etkin kanal boyu

Geçiş iletkenliği

Anahtarlama hızı

Çıkış iletkenliği

MOS kapasiteler

Olarak sayılabilir. Bu bölümde model parametreleri tek tek ele alınarak akım-gerilim ve boyut ilişkileri vurgulanmıştır.

5.3.1. Eşik Gerilimi (V_{TO})

Eşik gerilimi tranzistörden akım akması için geçide uygulanması gereken minimum gerilimdir.

MOS yapısında eşik geriliminin fiziksel parametrelere etkisi (V_{TO})'nun fiziksel anlamı ile incelenecektir. Eşik gerilimi için dört fiziksel bileşen bulunur.

- Geçit ile kanal arasındaki iş-fonksiyonu,
- Geçit gerilimi bileşeninin yüzey potansiyeli ile değişimi
- Geçit gerilimi bileşenine boşaltılmış bölge yüklerinin etkisi
- Geçit oksit ve silisyumdioksit arayüzey yükleri

Tüm bileşenleriyle eşik gerilimi aşağıdaki bağıntıyla verilir.

$$V_{TO} = \Phi_{GC} - 2\Phi_F - \frac{Q_{BO}}{C_{OX}} - \frac{Q_{OX}}{C_{OX}} \quad (5-22)$$

Burada;

$\Phi_F \rightarrow$ Tabanın Fermi seviyesi (NMOS' ta negatif, PMOS' ta pozitif)

$Q_{BO} \rightarrow$ gövdenin birim alan başına fakirleşmiş bölge yükü (NMOS' ta negatif, PMOS' ta pozitif)

$Q_{OX} \rightarrow$ Si-SiO₂ arayüzey yükleri

$C_{OX} \rightarrow$ birim alan başına oksit kapasitesi olarak tanımlanır.

Burada yapılan analizler n-kanal için yapılacaktır, ancak küçük değişimlerle p-kanal için de bulunabilir. Eşik gerilimi hesaplamaları için gereken ilk bileşen, MOS sistemin oluşturduğu geçit ve kanal arasındaki iş fonksiyonudur. Geçit metaline bağlı olarak aşağıdaki gibi ifade edilebilir. Altın gümüş gibi farklı bir metal veya polisilyum olabilir.

$$\begin{aligned} \Phi_{GC} &= \Phi_F (\text{katkı}) - \Phi_M && \text{metal geçit için} \\ \Phi_{GC} &= \Phi_F (\text{katkı}) - \Phi_F (\text{geçit}) && \text{polisilyum geçit için} \end{aligned}$$

Eşik gerilimine yüzey potansiyelinin etkisi 2. bileşendir. Yüzey potansiyeli $-2\Phi_F$ ile değişir ki bu fermi potansiyeli olarak anılır. p-tipi ve n-tipi yapılar için farklıdır.

Fermi potansiyeli p-tipi yarıiletken için ;

$$\Phi_F = \frac{kT}{q} \ln \frac{n_i}{N_A} \quad (5-23)$$

Fermi potansiyeli n-tipi yarıiletken için ;

$$\Phi_F = \frac{kT}{q} \ln \frac{N_D}{n_i} \quad (5-24)$$

bulunur.

3. bileşen olarak boşaltılmış bölge yük yoğunluğu kaynak-taban gerilimi sıfır olduğu durumda

$$Q_{BO} = -\sqrt{2 \cdot q N_A \epsilon_{Si} \cdot | -2\Phi_F |} \quad (5-25)$$

bağıntısı ile hesaplanır.

Kaynak-taban gerilim V_{SB} fonksiyonu olarak ifade ediliyorsa boşaltılmış bölge yükü

$$Q_B = -\sqrt{2qN_A \epsilon_{Si}} \left[-2\Phi_F - V_{SB} \right] \quad (5-26)$$

Bağıntısı ile bulunur.

Birim alan başına oksit kapasitesi C_{OX}

$$C_{OX} = \frac{\epsilon_{OX}}{t_{OX}} \quad (5-27)$$

Bağıntısı ile bulunur.

Sıfır olmayan gövde katkısı için boşaltılmış bölge yük yoğunluğu bu yük için V_{SB} kaynak-taban gerilimi etkisini içermek üzere aşağıdaki genelleştirilmiş eşik gerilim ifadesi bulunur.

$$V_T = \Phi_{GC} - 2\Phi_F - \frac{Q_B}{C_{OX}} - \frac{Q_{OX}}{C_{OX}} \quad (5-28)$$

$$Q_{OX} = (1,5 - 8)10^{-8} c^2 / m^2$$

Genelleştirilmiş eşik gerilim formu aşağıdaki gibi de yazılabilir.

$$V_T = \Phi_{GC} - 2\Phi_F - \frac{Q_B}{C_{OX}} - \frac{Q_{OX}}{C_{OX}} = V_{TO} - \frac{Q_B - Q_{BO}}{C_{OX}} \quad (5-29)$$

Bu durumda eşik gerilimi V_{TO} dan sadece ek terimlerle farklıdır. Bu kaynak-katkı gerilimi gövde etkisi terimi ile (V_{SB}) basitleştirilebilir.

$$\frac{Q_B - Q_{BO}}{C_{OX}} = -\frac{\sqrt{2qN_A \epsilon_{Si}}}{C_{OX}} \left(\sqrt{-2\Phi_F + V_{SB}} - \sqrt{2\Phi_F} \right) \quad (5-30)$$

Böylelikle genel V_T eşik gerilim ifadesini elde ederiz.

$$V_T = V_{TO} + \gamma \left(\sqrt{|-2\Phi_F| + V_{SB}} - \sqrt{|2\Phi_F|} \right) \quad (5-31)$$

Burada γ parametresi gövde etkisi katsayısıdır.

$$\gamma = \frac{\sqrt{2qN_A \epsilon_{Si}}}{C_{OX}} \quad (5-32)$$

Yukarıdaki ifadede verilen eşik gerilimi hem n-kanallı hem de p-kanallı MOS transistorlerde kullanılabilir. Sadece p veya n kanallı transistorlerde oluşan fark için farklı kutuptan oluşan terim ve katsayılara dikkat etmek gerekir.

p tipi MOSFET ile n tipi MOSFET arasındaki belirgin farklılıklar: Φ_F fermi potansiyeli NMOS da negatif, pMOS da ise pozitif, boşaltılmış bölgesi yük yoğunluğu Φ_{BO} ve Φ_B NMOS da negatif, pMOS da ise pozitif, γ gövde etkisi parametresi NMOS da pozitif, pMOS da ise negatif, katkı değişim gerilimi V_{SB} NMOS da pozitif, pMOS da ise negatiftir

5.3.2. Gövde Parametresi(Taban kutuplaşma sayısı)

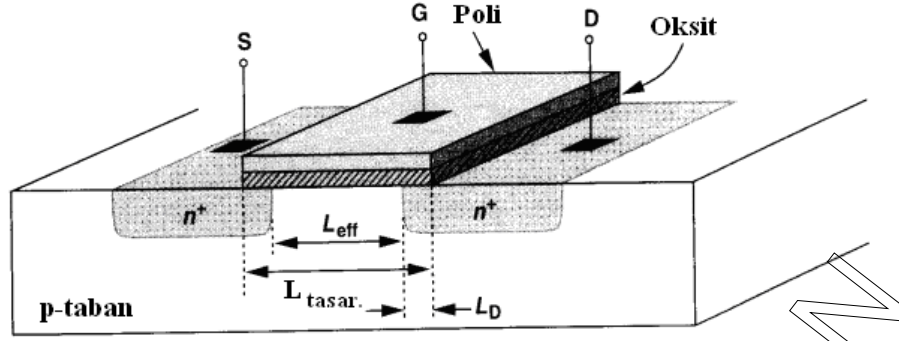
Gövde parametresi 5-33 bağıntısı ile verilmektedir.

$$\gamma = \frac{\sqrt{2qN_A \epsilon_{Si}}}{C_{ox}} \quad (5-33)$$

Burada q yük, N_A katkı yoğunluğu, ϵ_{Si} dielektrik geçirgenlik, C_{OX} birim alan başına oksit kapasitesidir.

5.3.3. MOS Transistörün Etkin Kanal Boyu

Transistörün doymalı çalışma durumundaki kanal boyu etkin kanal boyu (L_{eff}) olarak tanımlanır.



MOS transistörün kanal boyunu L olarak tanımlamıştık. İstenen devrenin tasarımı yapıldıktan sonra çizilen boyu L' dir. Proses sırasında kaynak-savak difüzyonu sırasında bir miktar istenmeyen yan difüzyonlar olacağından kanal boyunda $2L_{\text{yan dif.}}$ kadar bir kısılma olacaktır. Bu durumdaki kanal boyu metalurjik kanal boyu olarak tanımlanır. Lineer bölgedeki hesaplarda L_{met} kullanılır.

Metalurjik kanal uzunluğu = L_{met} = Polisilyum geçit uzunluğu-
kaynak-savak yan difüzyonları şeklinde yazılabilir.

$$L_{\text{met}} = L_{\text{tasarlanan}} - 2L_{\text{yan dif.}}$$

Doymalı çalışmada ise kanalın savak ucunda X_D kadar fakirleşmiş bölge oluşur. Kanalın boyu X_D kadar daha kısalmış olur. Bu durumdaki kanal boyuna efektif kanal boyu denir.

$$L_{\text{eff}} = L_{\text{tasarlanan}} - 2L_{\text{yan dif.}} - X_D \quad (5-34)$$

Efektif kanal boyuna göre tranzistörün kazancı değişir. Kanal kısılması,

$$X_D = \sqrt{\frac{2\epsilon(V_{DS} - V_{DSsat})}{qN_A}} \quad (5-35)$$

$$V_{DSAT} = \sqrt{\frac{2I_D}{\beta}} \quad (5-36)$$

Bağıntılarıyla hesaplanabilir.

5.3.4. MOS Tranzistörün Geçiş İletkenliği(g_m)

Tranzistörün geçiş iletkenliği giriş gerilimi ile çıkış akımı arasındaki ilişkiyi verir.

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} (V_{DS} = \text{sabit}) \quad (5-37)$$

Yükler cinsinden ifade edilirse,

$$\tau = \frac{Q_C}{I_{DS}} \quad (5-39)$$

$Q_C \rightarrow$ kanalda indüklenen yükler; $\tau \rightarrow$ geçiş süresi

$$\partial I_{DS} = \frac{\partial Q_C}{\tau_{SD}} \quad (5-39)$$

$$\tau_{SD} = \frac{L^2}{\mu V_{DS}} \quad (5-40)$$

$$\partial I_{DS} = \frac{\partial Q_C V_{DS} \mu}{L^2} \quad \text{yüklerdeki değişim } \partial Q_C = C_g \partial V_{GS} \quad (5-41)$$

$$\partial I_{DS} = \frac{C_g \partial V_{GS} \mu V_{DS}}{L^2} \quad (5-42)$$

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = \frac{C_g \mu V_{DS}}{L^2} \quad (5-43)$$

$C_g \rightarrow$ geçit kapasitesi

Doymalı çalışmada MOS tranzistörün geçiş iletkenliğinin

$$g_m = \frac{\mu \epsilon_{SiO_2} \epsilon_0 W}{t_{ox} L_{eff}} (V_{GS} - V_{TO}) \quad (5-44)$$

5.3.5. Anahtarlama Hızı(Çalışma frekansı)

$$W_o = \frac{g_m}{C_g} = \frac{\mu}{L^2} (V_{GS} - V_{TO}) \quad (5-45)$$

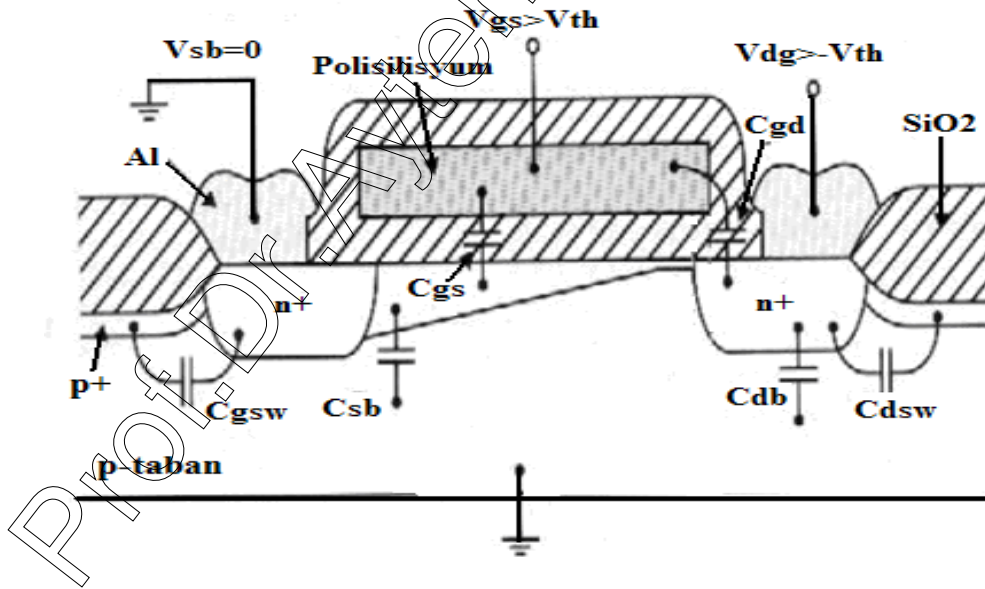
5.3.6. Çıkış İletkenliği

Kaynak-savak küçük değişimler için kanal kısılması sonucunda akımdaki değişimi ifade eder. Tersisi ise çıkış direnci olarak tanımlanır.

$$\rho_o = \frac{I_D}{L_{eff}} \frac{\partial X_D}{\partial V_{DS}} \quad \frac{1}{\rho_o} = R_o \rightarrow \text{çıkış direnci} \quad (5-46)$$

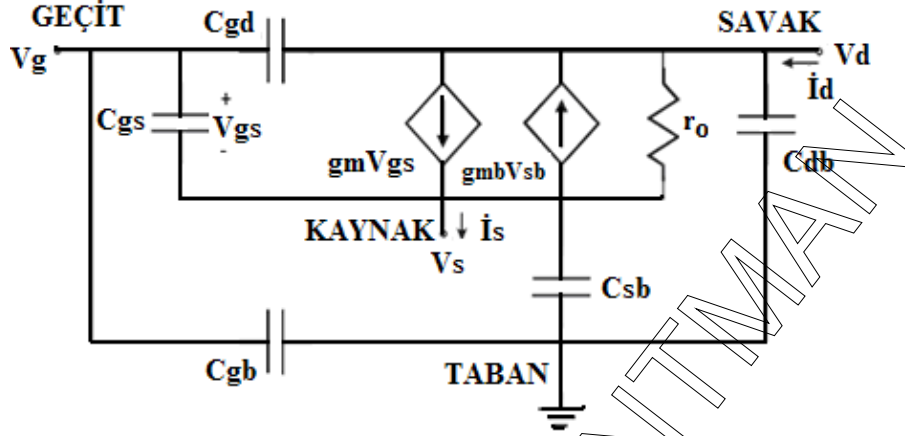
5.4. MOS Kapasiteler

MOSFET'in zaman alanı cevabı için kapasitelerin, tipi ve büyüklüğü dijital devrelerde önemli olmaktadır. Yapıda parazitik olarak genelde oksit kapasitesi ve jonksiyon kapasitesi olmak üzere iki tür kapasite oluşur. Yapıda oluşabilecek tüm parazitik kapasiteler Şekil 5-9' da şematik olarak görülmektedir.



Şekil 5-9: Kapasitelerin fiziksel gösterimi

Şekil 5-10' da ise küçük işaret eşdeğeri verilmiştir.



Şekil 5-10: Küçük işaret eşdeğeri

5.4.1. Oksit Kapasitesi

Parazitik olarak oluşan oksit kapasiteleri geçit-taban(C_{gb}), geçit-savak(C_{gd}), geçit-kaynak(C_{gs}) kapasiteleridir. Bu kapasiteler bindirme kapasiteleri olarakta bilinirler. Parelel plakalı kapasite şeklinde oluşur.

Geçit bölgesinin birim alan başına oksit kapasitesi

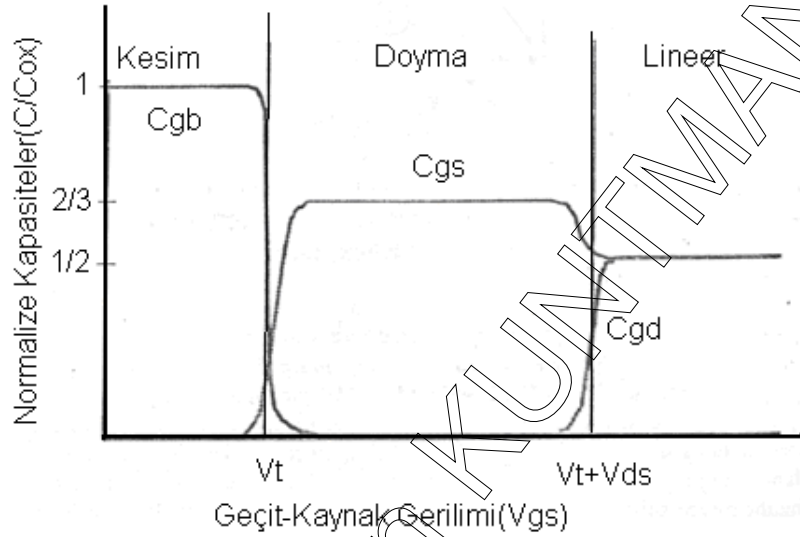
$$C_{OX} = \frac{\epsilon_{OX}}{t_{OX}} = \epsilon_{rSiO2} \frac{\epsilon_O}{t_{OX}} \quad (5-47)$$

şeklinde ifade edilir.

Her birine ait ifadeler aşağıdaki tabloda verilmiştir. Şekil 5-11'de ise oksit kapasitelerinin geçit-kaynak gerilimlerinin fonksiyonu olarak değişimleri görülmektedir.

Kapasite	Kesim	Lineer Bölgesi	Çalışma	Doyma Bölgesi
----------	-------	----------------	---------	---------------

$C_{gb}(\text{toplaml})$	$C_{OX}WL$	0	0
$C_{gd}(\text{toplaml})$	$C_{OX}WL_D$	$\frac{1}{2}C_{OX}WL + C_{OX}WL_D$	$C_{OX}WL_D$
$C_{gs}(\text{toplaml})$	$C_{OX}WL_D$	$\frac{1}{2}C_{OX}WL + C_{OX}WL_D$	$\frac{2}{3}C_{OX}WL + C_{OX}WL_D$



Şekil 5-11: Oksit kapasitelerinin geçit-kaynak gerilimlerinin fonksiyonu olarak değişimleri

5.4.2. Jonksiyon Kapasiteleri

Uygulanan gerilime bağlı olarak kaynak-taban, savak-taban jonksiyonlarında kapasite oluşabilir. Her bir pn jonksiyonu bir kapasite gibi davranabilir. Jonksiyonda oluşan fakirleşmiş bölge dielektrik gibi davranarak kapasite oluşturur. Bu kapasitenin hesabı paralel plakalı kapasiteye göre biraz farklı olup bağıntıları aşağıda verilmiştir.

Ters öngerilimli sert geçişli bir p-n jonksiyonun kapasitesini bulmak için öncelikle fakirleşmiş bölge kalınlığını bulmamız gerekir. Fakirleşmiş bölge kalınlığı ,

$$X_d = \sqrt{\frac{2 \cdot \epsilon_{Si}}{q} \frac{N_A + N_D}{N_A \cdot N_D} \cdot (\Phi_0 - V_R)} \quad (5-48)$$

Bağıntısı ile verilmektedir. Burada V_R ters öngerilimdir.

Gövde potansiyeli ise

$$\Phi_0 = \frac{kT}{q} \cdot \ln \left(\frac{N_A \cdot N_D}{n_i^2} \right) \quad (5-49)$$

denklemleri ile bulunur.

Boşaltılmış bölgede depolanan yükler boşaltılmış bölge kalınlığı cinsinden aşağıdaki denklemle bulunur.

$$Q_j = A \cdot q \cdot \left(\frac{N_A \cdot N_D}{N_A + N_D} \right) \cdot X_d = A \sqrt{2 \cdot \epsilon_{Si} \cdot q \cdot \left(\frac{N_A \cdot N_D}{N_A + N_D} \right) \cdot (\Phi_0 - V)} \quad (5-50)$$

Burada A eklem alanıdır. Bu bölgenin oluşturduğu jonksiyon kapasitesi;

$$C_j = \left| \frac{dQ_j}{dV} \right| \quad (5-51)$$

ile hesaplanır.

5-51 denleminin V 'ye göre türevini alırsak;

$$C_j(V) = A \cdot \sqrt{\frac{\epsilon_{Si} \cdot q}{2} \left(\frac{N_A \cdot N_D}{N_A + N_D} \right)} \cdot \frac{1}{\sqrt{\Phi_0 - V}} \quad (5-52)$$

olur.

Daha genel halde aşağıdaki gibi yazılır.

$$C_j(V) = \frac{A C_{j0}}{\left(1 - \frac{V}{\Phi_0}\right)^m} \quad (5-53)$$

Burada m derecelendirme katsayısıdır. Keskin eklem için 1/2; lineer eklem için 1/3' tür.

Birim alan başına öngerilimsiz jonksiyon kapasitesi

$$C_{j0} = \sqrt{\frac{\epsilon_{Si} \cdot q}{2} \left(\frac{N_A \cdot N_D}{N_A + N_D} \right) \cdot \frac{1}{\Phi_0}} \quad (5-54)$$

şeklindeir.

5.5. Parametrelerin Ölçülmesi

NMOS ve PMOS tranzistörler için daha önce verilen akım bağıntılarından (5-16, 5-19, 5-20, 5-21) yararlanılarak eşik gerilimi V_{TO} ve gövde etkisi katsayısı γ , kanal boyu modülasyon katsayısı λ ve geçiş iletkenliği parametreleri deneysel olarak çıkartılabilir.. Bu parametreler

$$\beta_n = \mu_n \cdot C_{OX} \cdot \frac{W}{L} \quad (5-55)$$

$$\beta_p = \mu_p \cdot C_{OX} \cdot \frac{W}{L} \quad (5-56)$$

Bağıntılarıyla verilmektedir. n kanallı MOSFET için β_n , V_{TO} ve γ gibi parametrelerin çıkarımı Şekil 5-13a ve Şekil 5-13b de görülmektedir. Burada, kaynak-katkı gerilimi V_{SB} sabit olmak üzere V_{GS} nin alacağı farklı değerler için geçit akımı ölçülmüştür. Tranzistörün savak ve geçit gerilimleri ise aynı potansiyeldedir, $V_{DS} = V_{GS}$ ve $V_{DS} > V_{GS} - V_T$ dir.

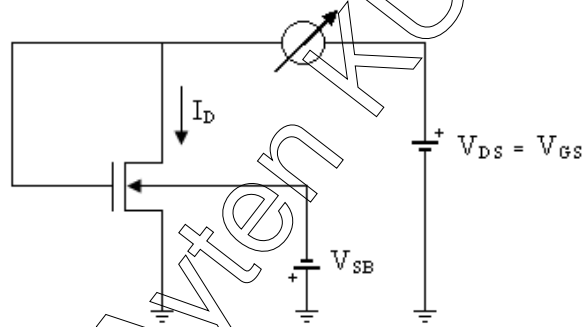
Şekil 5-13 (a)' daki nMOS doymalı bölgede çalışmaktadır. Basitleştirmek için modülasyon etkisini ihmal edilmiştir. Doymalı çalışmada akım ifadesi

$$I_D(sat) = \frac{\beta_n}{2} (V_{GS} - V_T)^2 \quad (5-57)$$

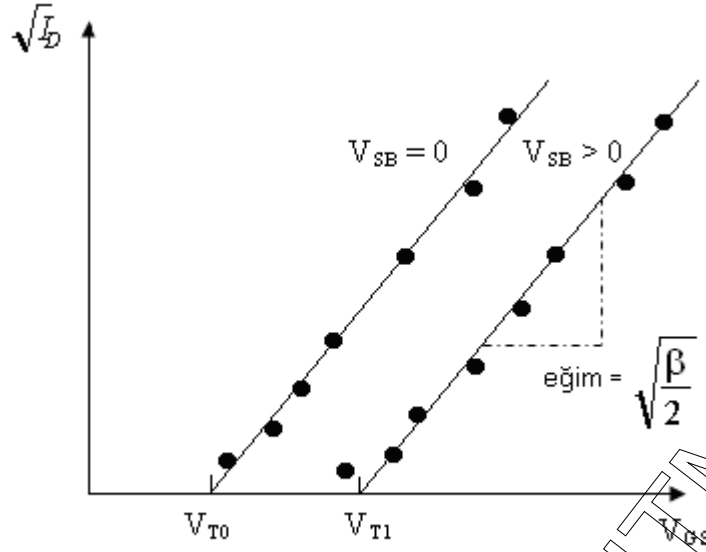
Şeklinde dir. İfadenin karekökü alınırsa

$$\sqrt{I_D} = \sqrt{\frac{\beta_n}{2}} (V_{GS} - V_T) \quad (5-58)$$

Bağıntısı elde edilir. Karekökünü aldığımız geçit akımı değerlerini geçit-kaynak gerilimine karşı çizerek oluşan eğri β_n , V_{TO} , ve γ parametrelerini sağlar. Şekil 5-13' de oluşan geçit-akım ve geçit-gerilim eğrilerini farklı taban-kaynak gerilimleri için göstermektedir. Buradan sıfır geçit akımında her V_{SB} gerilimi için bir eşik geriliminin sağlandığını görebiliriz. Gerilim ekseninin $V_{SB} = 0$ eğrisi ile kesiştiği nokta V_{TO} sıfır eşik gerilimi değerini vermektedir. Gerilim ekseninin $V_{SB} > 0$ eğrisi ile kesiştiği nokta ise V_T eşik gerilimini vermektedir. Her bir eğrinin eğimi $\beta_n / 2$ nin kareköküne eşittir. Böylece geçiş iletkenliği parametresi β_n bu eğimden kolayca hesaplanabilir.



(a)

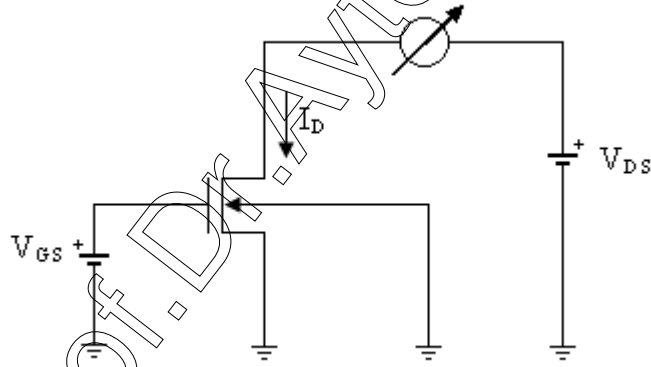


(b)

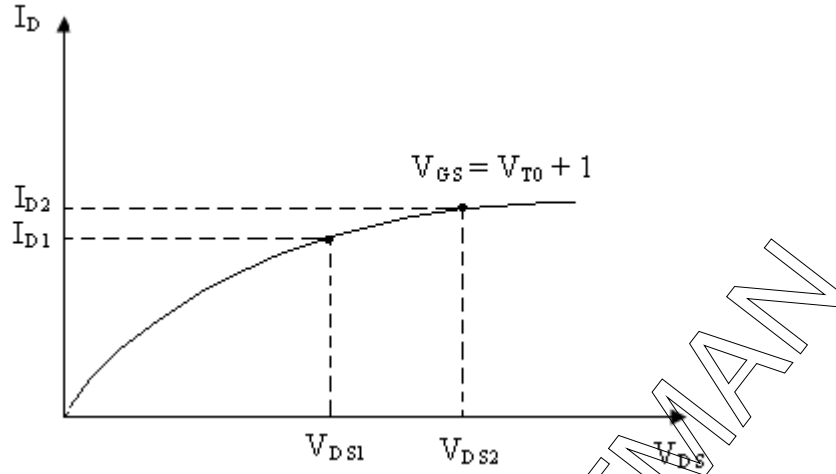
Şekil 5-13: (a) test devresi (b) β_n , V_{T0} , γ parametrelerinin ölçümleri

V_{SB} değerlerini kullanarak γ değerini bulabiliriz.

$$\gamma = \frac{V_T \cdot (V_{SB}) - V_{T0}}{\sqrt{|2\phi_F| + V_{SB}} - \sqrt{|2\phi_F|}} \quad (5-59)$$



(a)



(b)

Şekil 5-14: (a) test devresi (b) kanal boyu modülasyon katsayısı λ nın ölçülmesi

Şekil 5-14' de gösterildiği gibi kanal boyu modülasyon katsayısı λ deneysel ölçümü farklı test devresiyle belirlenir. Geçit- kaynak gerilimi (V_{GS}), ($V_{TO} + 1$)' e ayarlanır. Savak - kaynak gerilimi yeterli büyüklükte seçilir ($V_{DS} > V_{GS} - V_{TO}$). Burada transistör doyma modunda çalışır. V_{DS1} , V_{DS2} nin farklı iki değeri için savak akımı ölçülür. Savak akımı doyma modunda aşağıdaki gibi verilir.

$$I_D(\text{doyma}) = \frac{\beta_n}{2} \cdot (V_{GS} - V_{TO})^2 \cdot (1 + \lambda \cdot V_{DS}) \quad (5-60)$$

$V_{GS} = V_{TO} + 1$ olunca, I_{D1} ve I_{D2} arasındaki oran kanal boyu modülasyon katsayısı λ yı içerir.

$$\frac{I_{D2}}{I_{D1}} = \frac{1 + \lambda \cdot V_{DS2}}{1 + \lambda \cdot V_{DS1}} \quad (5-61)$$

Bu durum doyma bölgesindeki savak akımı ile savak gerilimi eğrisi arasındaki eşitliğe eşittir. Burada eğim = $\lambda \cdot \beta_n / 2$ dir.

Böylece, eşik gerilimi, gövde parametresi, kanal boyu modülasyonu parametresi, geçiş iletkenliği parametresi tranzistör ölçümlerinden yararlanılarak bulunabilir.

5.6. CMOS Teknolojisi

5.6.1. N-Kuyulu CMOS Prosesi

n-kuyulu CMOS oluşturulması için taban olarak katkı yoğunluğu 10^{15} atom/cm³ civarında p-tipi silisyum kullanılır. Ardından difüzyona karşı maske görevi görecektir oksit büyütülür. n-kuyuyu oluşturacak 1. maske uygulanır. Litografik işlemle n-kuyu açılır.

nMOS ve pMOS transistorlardaki aktif bölgeler tanımlanır. **Şekil 5-16 daki** şekiller CMOS eviricinin üretim aşamalarında kullanılan maskeleri göstermektedir.

CMOS evirici en az 7 maskeden oluşur.

- 1.n kuyu oluşturulur.(p taban kullanıldığı varsayılıyor.)
- 2.n-kanallı tranzistor alanı açılması
2. geçitlerin oluşturulması
- 3.NMOS' un aktif bölgeleri oluşturulması.
- 4.PMOS' un aktif bölgeleri oluşturulması
- 5.Kontak alanlarının belirlenmesi
6. Metal bağlantılar için Al yoğunlaştırma ve şekillendirme
7. Bağlantı pabuçlarının oluşturulması ve pasivasyon

CMOS evirici tasarım aşamaları Şekil 5-16' da verilmiştir.

Şekil 5-16.a.1' de Alan oksiti büyütülür. 1. maske kullanılarak n-kuyusu oluşturulur. Geçit oksiti büyütülür. Geçit oksidinin kalınlık ve kalitesi iki önemli üretim parametresidir ki bunlar MOS transistorların karakteristiğine ve ömrüne etki eder.

Şekil 5-16.a.2' de 2. maske kullanılarak n-Kanallı transistor alanı belirlenir.

Şekil b' de geçitlerin oluşturulması adımı görülmektedir. Polisilisyum tabakası kimyasal buhar depolama ile depolanır ve plazma aşındırma ile şekillendirilir. Bunun için geçit maskesi

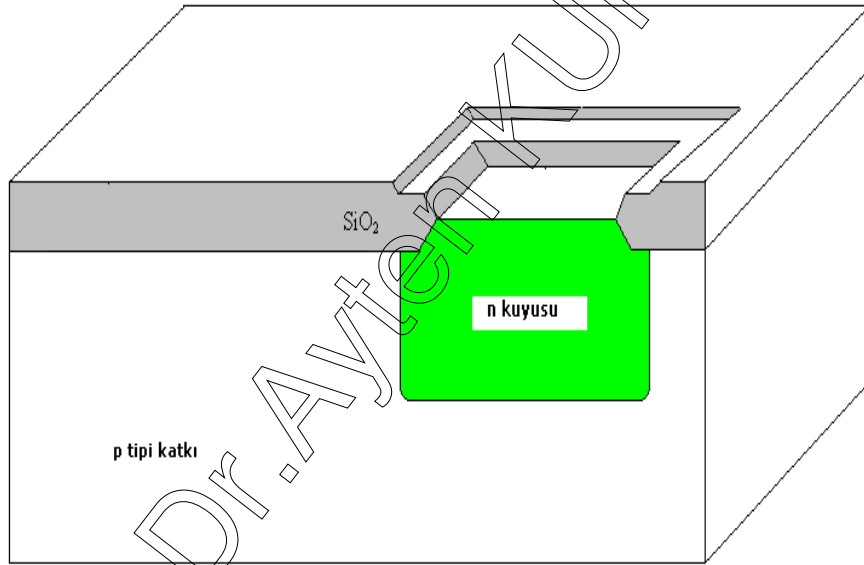
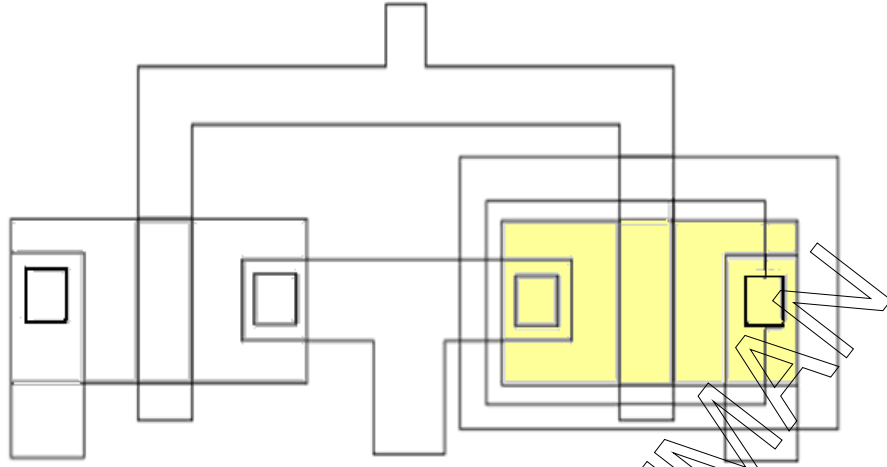
kullanılır. Oluşturulan polisilyumlar nMOS ve pMOS transistörlerin geçidini oluştururlar.

Geçit oluşturulduktan sonra **Şekil c'** de görüldüğü gibi p+ ' lar oluşturulur. Ayrıca katkı içindeki ve n-kuyusundaki omik bağlantılar bu adımda yapılır. Bir sonraki adımda **Şekil d'** de ise n+ ' lar oluşturulur.

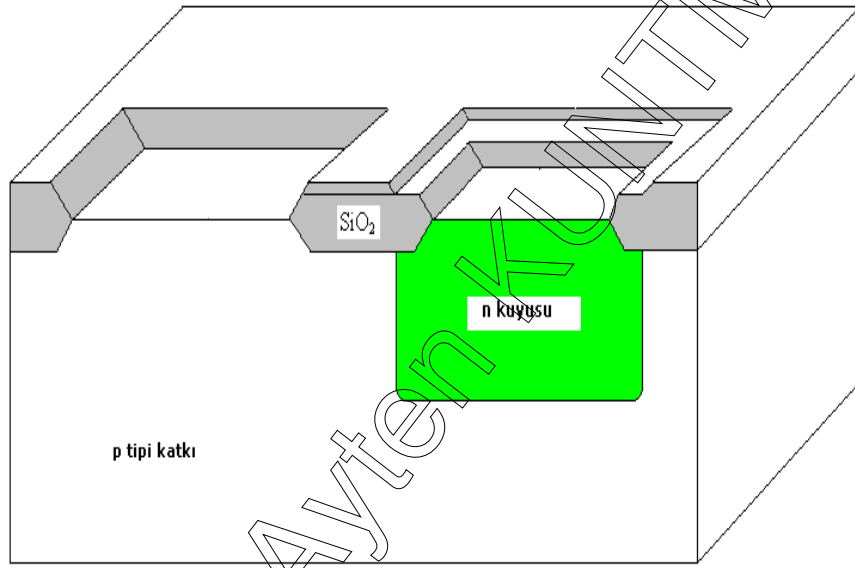
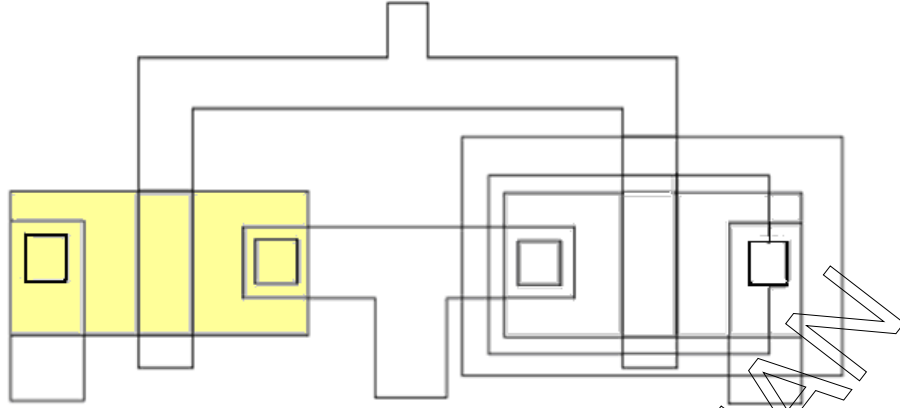
Kontakları açılması **Şekil 5-16 e'** de görülmektedir. Kontaklardan önce oksit büyütülür. Yalıtkan silisyum dioksit tabakası CVD kullanılarak oluşturulur. Daha sonra kontaklar tanımlanıp aşındırılır, silisyum ya da polisilyum pencereleri olarak ortaya çıkarılır. Daha sonra metal tabaka kullanılarak oluşturulan bu kontak pencereleri devre bağlantıları, devre ara bağlantılarını tamamlamak için gereklidir.

f: Devre bağlantılarını oluşturmak üzere kırmık üzerine metal buharlaştırılarak yayılır ve metal yollar maskesi ile şekillendirilir.

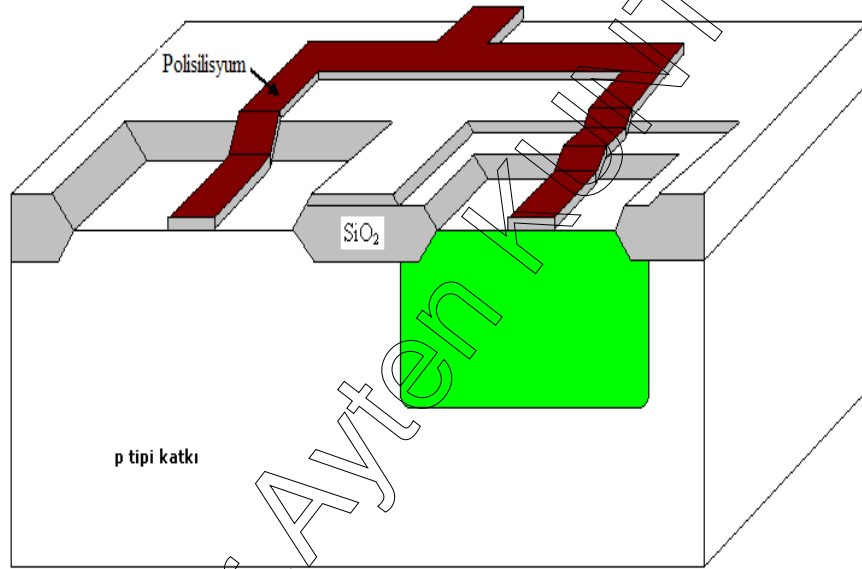
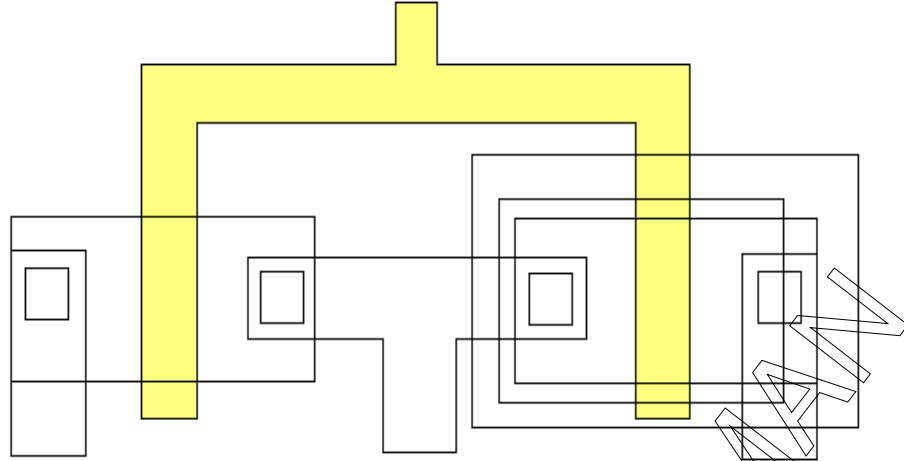
g: Kırmığın n-kuyusu içindeki nMOS ve pMOS tranzistörleri ile polisilyum ve metal bağlantılarının gösterildiği serim ve düşey kesit aşağıda verilmiştir. Son adım ise koruma için olan pasivasyon adımdır. Pasivasyon adımı da metal yollar maskesi kullanılır.



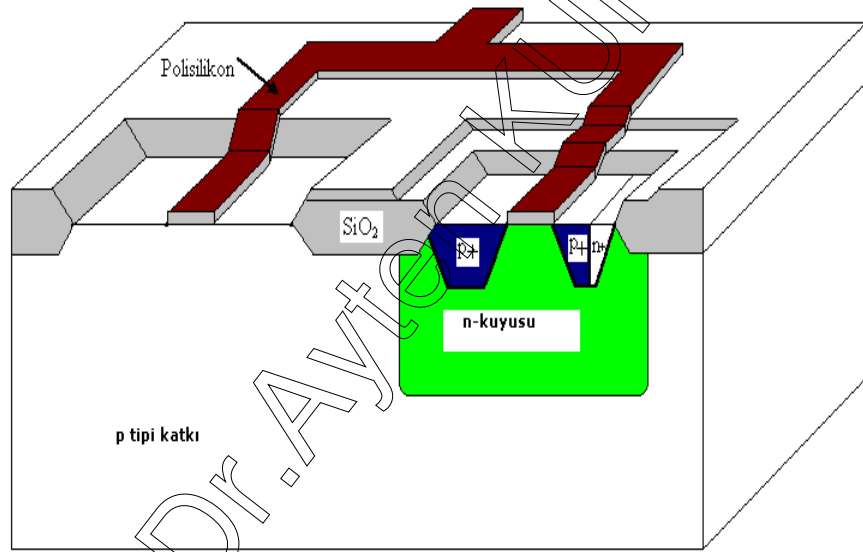
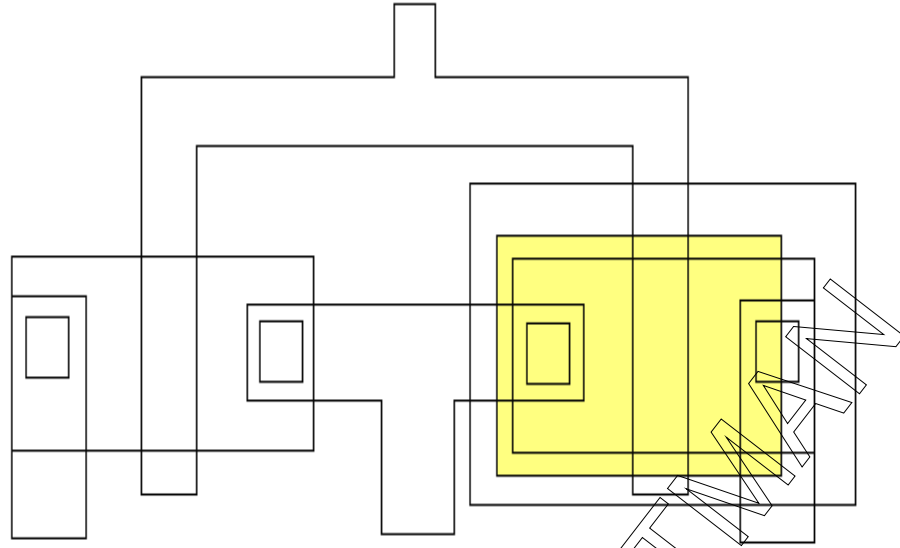
(a.1)



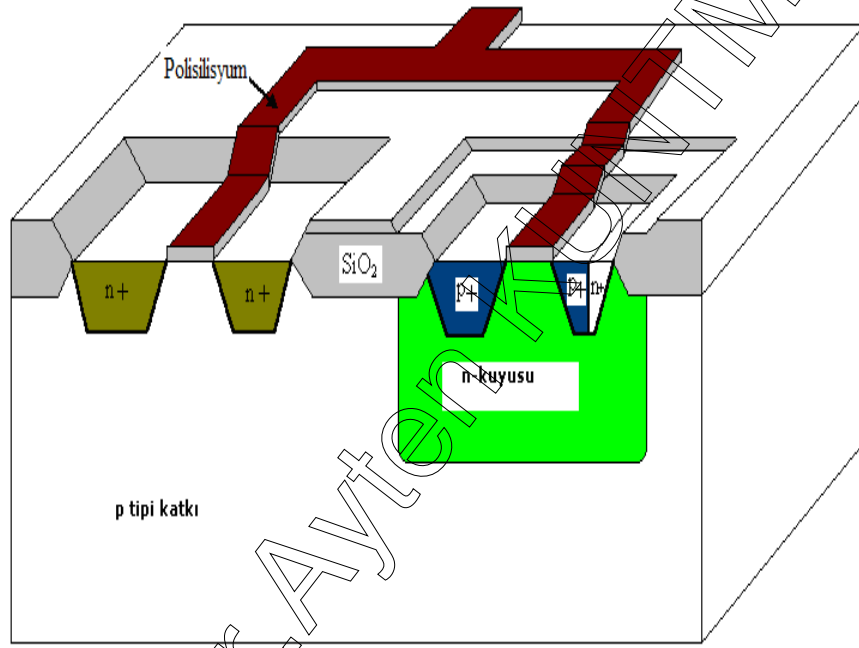
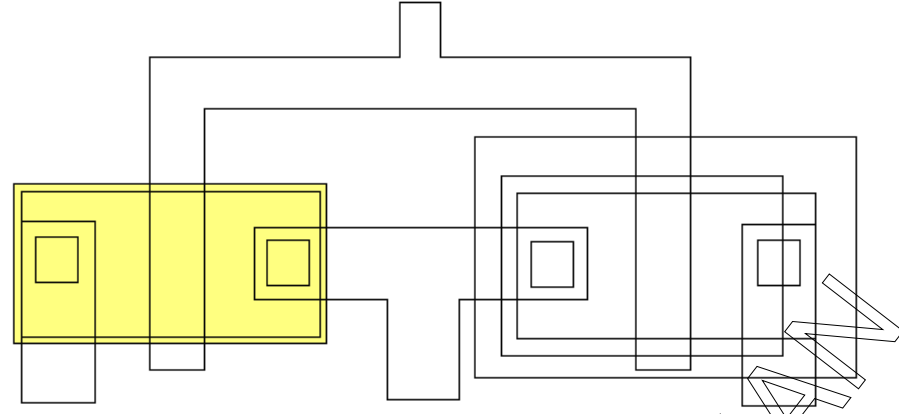
(a.2)



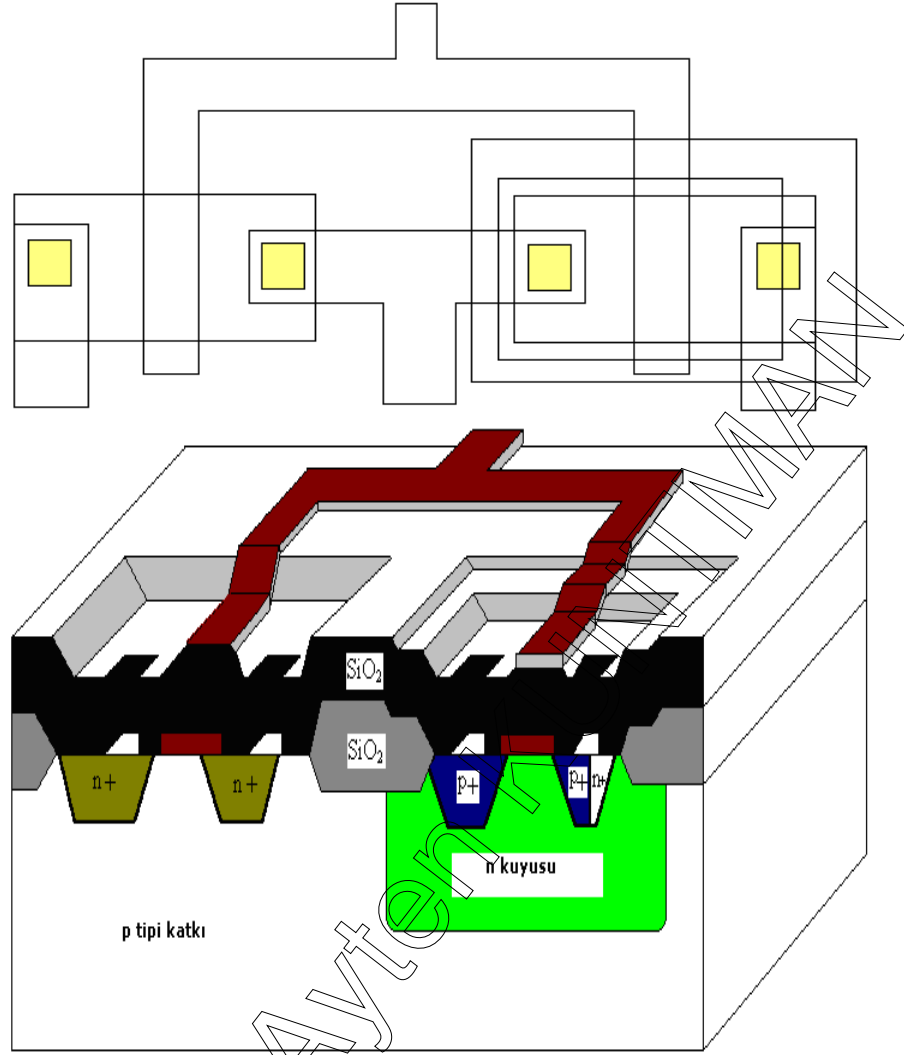
(b)



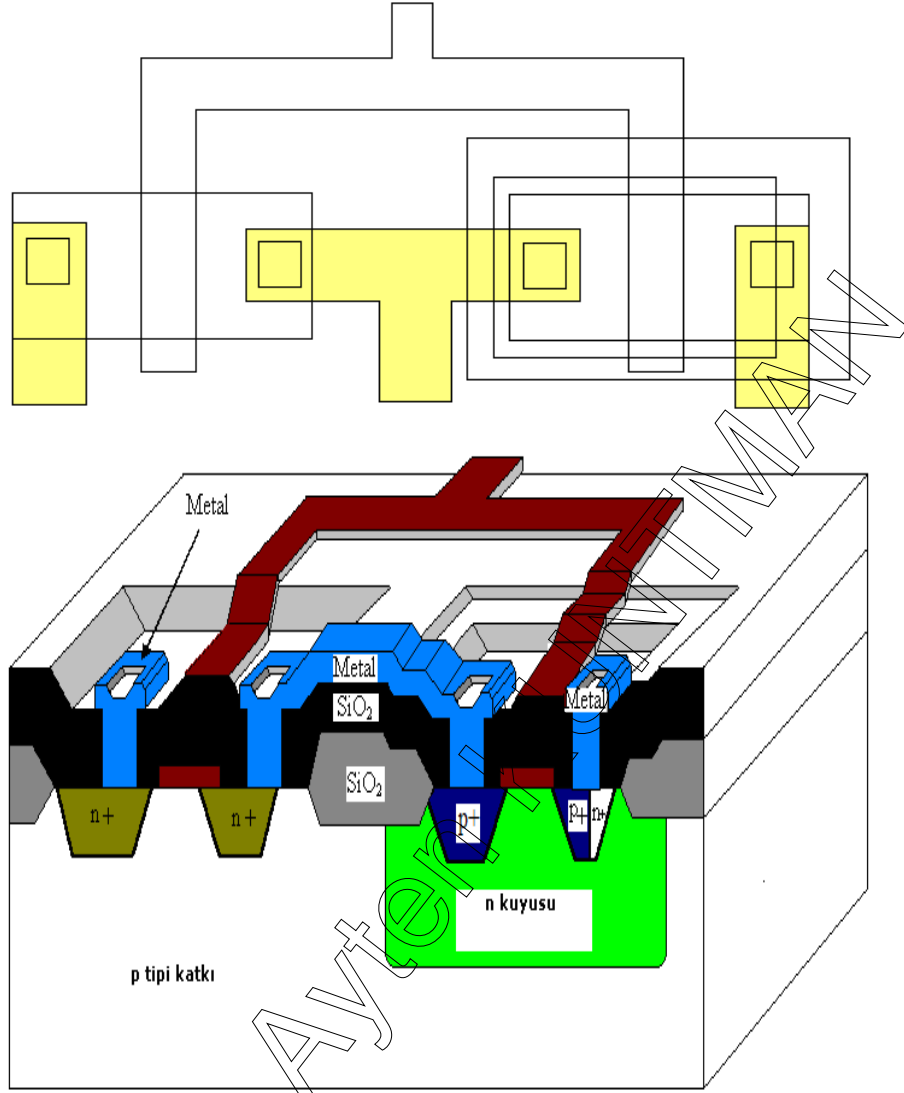
(c)



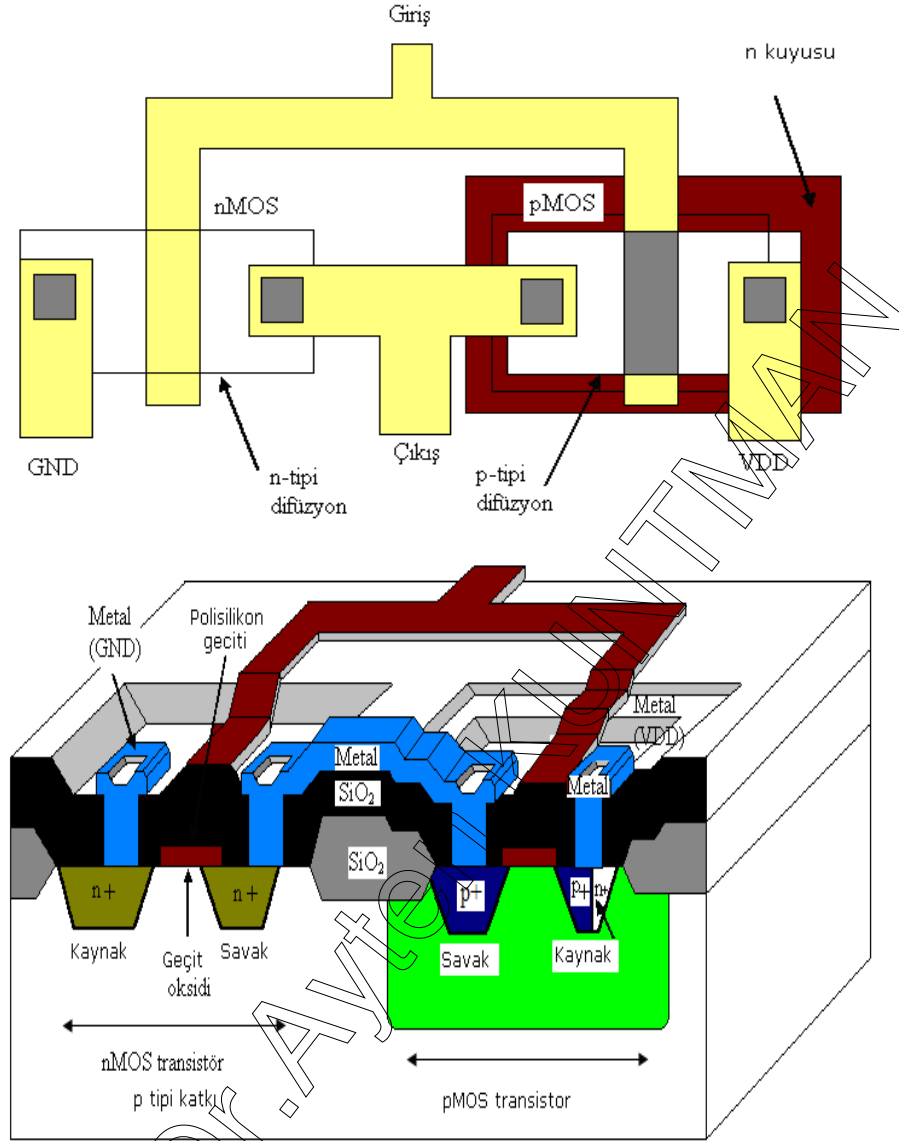
(d)



(e)



(f)



(g)

Şekil 5-16: CMOS evirici tasarım aşamaları

6. SERİM TASARIM KURALLARI

Herhangi bir devrenin fiziksel maske serimi bazı geometrik kuralları veya sınırlamaları sağlayan özel işlemlerle yapılır. Bu kurallara genellikle **serim(lay-out) tasarım kuralları** denir. Bu kurallar genellikle, kırmık üzerindeki metal veya polisilyum bağlantıların izin verilebilir minimum genişlikte, minimum eleman boyutlarında ve iki elemanın arasının izin verilebilir minimum uzaklıkta olmasını sağlar. Minimum boyut devre güvenilirliğini sağlamak için önemlidir. Örneğin dar bir metal yol uygun olmayan bir teknoloji ile yapılırsa metal yol üretim sırasında veya daha sonrasında kırılabilir. Bu da devrede istenmeyen açık devreler oluşturabilir. Diğer taraftan iki eleman arasındaki metal yol birbirine çok yakınsa üretim sırasında veya sonrasında istenmeyen kısa devreler olabilir. Tasarım kurallarının amacı, en küçük silisyum alanını kullanırken, yüksek güvenilirlikli ve kaliteli devreler yapmaktır.

Yüksek kalite ve daha az alan kullanımı için optimizasyona gerek vardır. Serim tasarım kuralları daha iyi bir üretim için kalite ve devredeki eleman yoğunluğu arasındaki optimum noktayı sağlar. Ancak; tasarım kuralları doğru tasarımı yanlış tasarım arasında kesin bir sınır vermez.

İki farklı devreye uygulanan aynı tasarım kuralları bir devrede yüksek kaliteye neden olurken diğer devrede kalitesiz bir üretime ve hatta devrenin çalışmamasına bile neden olabilir. Özet olarak serim tasarım kuralları üretim başarısını ve kaliteyi genellikle önemli ölçüde artırır.

Tümdevre tasarımında serim için boyutlandırmada mikron ve lambda kuralı kullanılır. Eleman boyutları mikron ve lambda parametresinin katlarıyla belirlenir.

a. Mikron kuralı; Mikron kuralında minimum eleman boyutları ve elemanlar arasındaki uzaklıklar kesin mikron değerleriyle belirtilir.

b. Lambda kuralı; Lambda kuralında serim kuralları λ parametresinin katsayılarıyla belirlenir ve böylece lineer orantılı ölçeklendirme yapılır.

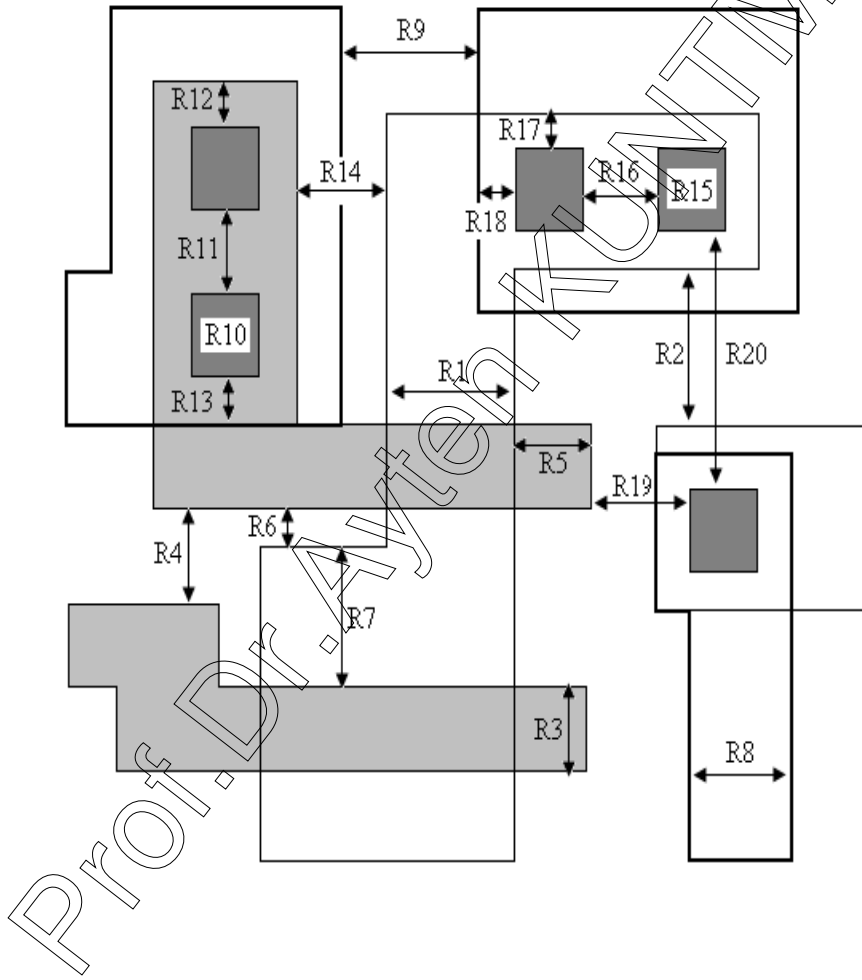
Lambda-tabanlı serim tasarım kuralları endüstri standartlarında mikron-tabanlı serim tasarım kurallarını basitleştirmek için tasarlanmıştır ve çeşitli uygulamalarda ölçekleme yeteneğini artırır. Ancak; bazı mikronaltı CMOS uygulamalarında tasarım kuralları lineer ölçeklemeye uymaz. Bu nedenle mikronaltı uygulamalarda lambda tabanlı tasarım kuralları büyük bir dikkatle belirlenmelidir. Kullanım için çeşitli tasarım kuralları geliştirilmiştir.

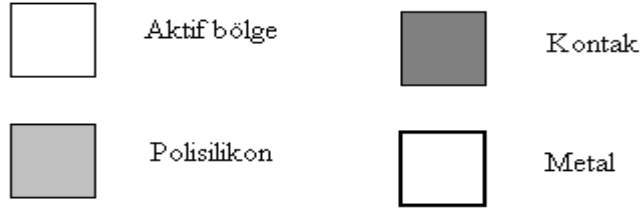
Tablo 6-1' de MOSIS(MOS Implementation System) CMOS prosesi için tasarlanan lambda tabanlı tasarım kuralları verilmiştir. Şekil 6-1' de ise MOSIS kurallarının iki tranzistorlu bir uygulaması görülmektedir.

Tablo 6-1: MOSIS Serim Tasarım Kuralları

MOSIS Serim Tasarım Kuralları		
Kural Numarası	Tanımlama	λ -Kuralı
Aktif Alan Kuralları		
R1	Minimum aktif alan genişliği	3λ
R2	Minimum aktif alan boşluğu	3λ
Polisilisyum Kuralları		
R3	Minimum poli genişliği	2λ
R4	Minimum poli boşluğu	2λ
R5	Aktif alandaki polinin minimum geçit açıklığı	2λ
R6	Minimum poli-aktif kenar boşluğu(poli aktif alanın dışında)	1λ
R7	Minimum poli-aktif kenar boşluğu(poli aktif alanın içinde)	3λ
Metal Kuralları		
R8	Minimum metal genişliği	3λ
R9	Minimum metal boşluğu	3λ
Kontak Kuralları		
R10	Poli kontak büyüklüğü	2λ
R11	Minimum poli kontak boşluğu	2λ
R12	Minimum poli kontak-poli kenar boşluğu	1λ
R13	Minimum poli kontak-metal kenar boşluğu	1λ

R14	Minimum poli kontak-aktif kenar boşluğu	3λ
R15	Aktif kontak büyüklüğü	2λ
R16	Minimum aktif kontak boşluğu(aynı aktif bölgede)	2λ
R17	Minimum aktif kontak-aktif kenar boşluğu	1λ
R18	Minimum aktif kontak-metal kenar boşluğu	1λ
R19	Minimum aktif kontak-poli kenar boşluğu	3λ
R20	Minimum poli kontak boşluğu(farklı aktif bölgelerde)	6λ





Şekil 6-1: MOSIS tasarım kurallarının bir evirici için gösterimi

6.1. "FULL-CUSTOM" MASKE SERİM KURALLARI

Maske serim kuralları, fiziksel serimle devrenin performansı birbirine sıkı sıkıya bağlı olduğundan oldukça önemlidir. Fiziksel yapı direkt olarak tranzistörlerin geçiş iletkenliğini, parazitik kapasite ve dirençleri ve kullanılan silisyum alanı belirler. Diğer yandan; lojik kapıların ayrıntılı maske serimi zaman harcamayı gerektirir. Fiziksel sınırlamalara karar verebilmek için tasarımcıların fiziksel maske serimi işlemlerini çok iyi bilmeleri gerekir. CMOS lojik kapıların fiziksel(maske serimi) tasarımı; devre topolojisi(istenen lojik fonksiyonu gerçekleştirmek için) ve tranzistörlerin başlangıç koşulları(istenen performansı gerçekleştirmek için) ile başlayan yinelemeli işlemlerdir. Bu noktada; tasarımcı sadece çıkış noktasındaki toplam parazitik yükü çıkıştaki eleman sayısı ve tahmini bağlantıların uzunluğuna bağlı olarak kestirebilir. Lojik kapılar 4-6 tranzistörden fazlasını içeriyorsa topolojik çizim ve Euler-yol metodu tasarımcıya tranzistörlerin optimum sıralasını belirlemede yardımcı olur. Bu adımda basit stick diyagramı ve kontak yerleri çizilebilir.

Topolojik gerçekleştirilebilir serim bulunduktan sonra, maske katmanları (serim editörü kullanılarak) serim tasarım kurallarına göre çizilir. Bu prosedür bütün tasarım kurallarını yerleştirebilmek için birkaç kez tekrarlanır ancak temel topoloji fazla değişmez. Biten serimde tranzistörlerin gerçek boyutlarını belirlemek için son DRC(Design Rule Check) yapılır. Daha da önemlisi her noktadaki parazitik kapasiteler belirlenir. "Extraction" adımının sonucu ayrıntılı "Spice" dosyasıdır. Bu dosya extraction adımı tarafından otomatik olarak üretilir. Gerçek devre performansı Spice ile belirlenebilir. Benzetim sonuçları istenen devre performansına uymazsa bütün işlemler tekrarlanır. Serim değişiklikleri, W/L oranı,

parazitik kaynak-savak kapasitelerini ve geiř iletkenlięini belirledięi iin W/L oranı zerinden yapılır. Tasarımcı parazitik etkileri azaltmak iin devre topolojisini de deęiřtirebilir.

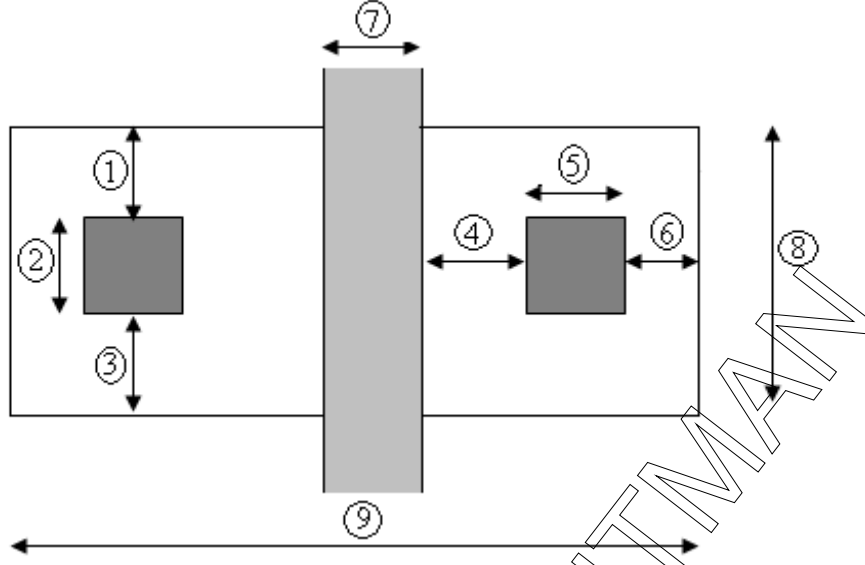
6.2. CMOS EVİRİCİ SERİM TASARIMI

Burada serim tasarımında rnek olmak zere CMOS evirici maske serim tasarımı ele alınacaktır. rnekte n-kuyulu CMOS evirici tasarımı ele alınmaktadır. Tasarımda ncelikle n-Kanallı MOS tranzistr iin tasarım řartları belirlenecektir.

N-Kanallı MOS tranzistr iin minimum boyut tasarım kuralları řekil 6-2' de řematik olarak verilmiřtir. řekilden de grldę gibi tranzistrn minimum aktif alan geniřlięi ve minimum aktif alan uzunluęu belirlenir. minimum difzyon kontak geniřlięi ve aktif alanın her iki kenarına kontaklardan olan minimum uzaklıkla belirlenir. Aktif alan zerindeki polisilisyum geniřlięi (geit) tipik olarak minimum poli geniřlięi olarak alınır.

Bylece minimum aktif alan uzunluęunu : (minimum polisilisyum geniřlięi)+2x(minimum poli-kontak bořluęu)+2x(minimum kontak geniřlięi)+2x(minimum aktif blge kenarı-kontak bořluęu) řeklinde hesaplanır.

Bylece minimum aktif alan geniřlięi : (minimum kontak geniřlięi)+2x(minimum kontak-aktif kenar uzaklıęı) řeklinde hesaplanır.



Şekil 6-2 : Transistör için minimum boyut tasarım kuralları

Sekil 6.2' de ;

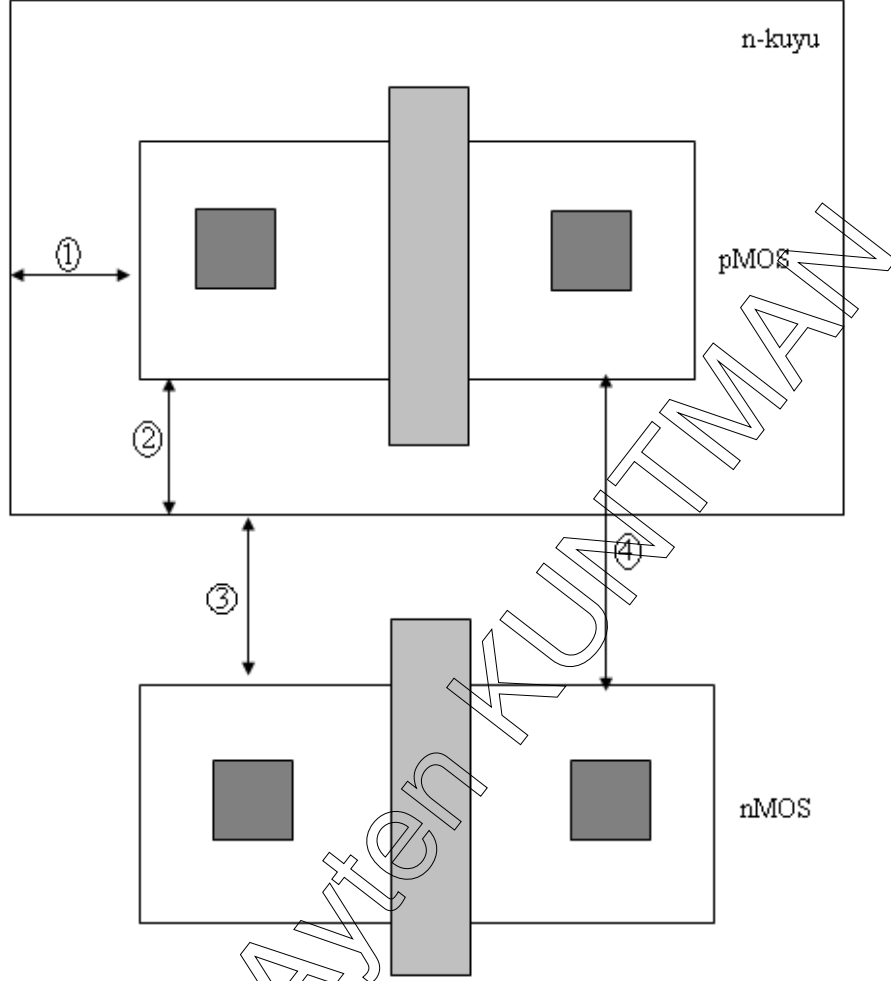
1. Minimum kontak-aktif kenar uzaklığı
2. Minimum kontak genişliği
3. Minimum kontak-aktif kenar uzaklığı
4. Minimum polisilisyum kenar-kontak uzaklığı
5. Minimum kontak uzunluğu
6. Minimum kontak-aktif kenar uzaklığı
7. Minimum polisilisyum uzunluğu
8. Minimum aktif alan genişliği
9. Minimum aktif alan uzunluğu

olarak verilmektedir.

n-kuyulu CMOS için minimum boyut tasarım kuralları ise Şekil 6-3' te görülmektedir. Burada p-taban üzerinde n-kanallı MOS olduğu için p-taban üzerine n-kuyu yapılarak PMOS tranzistör n-kuyu içinde oluşturulur. PMOS tranzistör n-kuyu bölgesinde olmalıdır. N-kuyunun minimum boyutu PMOS aktif alanı ve minimum n-kuyu ve n+ bölgesi arasındaki alanla belirlenir. NMOS ve PMOS tranzistörler arasındaki mesafe n+ aktif alanı ve n-kuyu arasındaki

mesafeyle belirlenir. NMOS ve PMOS tranzistörün polisilyum geçitleri genelde birleşiktir. Böylece geçit bağlantısı tek bir polisilyum yolla yapılır. Uzun polisilyumdan kaçınılmasının nedeni polisilyumun oluşturduğu büyük değerli parazitik kapasite, direnç ve bunlardan oluşan RC gecikmeleridir. Bu nedenle bağlantıları mümkün olduğunca metalle yapılır. Gerekğinde iki katman arasındaki elektriksel bağlantıları sağlamak için metal-polisilyum bağlantıları yapılır.

CMOS evirici maske serim tasarımının incelenen ana adımlarında sadece bir tanesi incelenmiştir. Tasarım kuralları maske geometrisine bir takım sınırlamalar getirir. Full-custom serim tasarımı, eleman boyutlandırma, elemanları yerleştirmede ve bağlantılarının yapılmasında istediğimiz bazı değişiklikleri yapmamıza olanak sağlar. Zorlayıcı tasarım kriterlerine ve tasarım şartlarına (silisyum alan küçüklüğü, gecikme zamanı küçültülmesi, giriş/çıkış uçlarının yerleştirilmesi) bağlı olarak tasarımcı alternatifler arasından bir maske serimi seçer. Olası serim sayısı devrenin karmaşıklığına bağlı olarak artabilir.



Şekil 6-3 : nMOS ve pMOS arasındaki minumum uzaklık için tasarım kuralları

Şekil 6.3' te;

- 1,2. n-kuyu ile p+ aktif alan arasındaki minimum uzaklık
3. n+ aktif alanı ile n-kuyu arasındaki minimum uzaklık
4. nMOS ve pMOS tranzistör arasındaki minimum uzaklık olarak verilmektedir.

6.3. MOS TMDEVRE TASARIMI

Sayısal tmdevrelerde tmleřtirme MOS ve CMOS teknolojileri kullanarak yapılır. Sayısal tmdevre tasarımında tranzistrn tipi, kanal boyu ve kanal geniřlięi nemli parametrelerdir.

Lojik kapılarda NMOS teknolojiye E-NMOS'lar src tranzistr, D-NMOS'lar yk tranzistr olarak kullanılır. CMOS teknolojisinde ise E-NMOS'lar src tranzistr, P-MOS'lar yk tranzistr olarak kullanılırlar.

Teknoloji seildikten sonra yapılacak temel iki iřlem verilen fonksiyonu gerekleřtirecek devrenin seimi ve tranzistrlerin boyutlandırılmasıdır. Proses parametreleri ise teknolojiye gre belirlenir.

6.3.1. EVİRİCİLER

Devre elemanı olarak tranzistrlerden hareketle oluřturulan lojik kapılar NOT, OR, AND, NOR, NAND olarak sayılabilir. İlerinden en temel olan $Y = \bar{X}$ NOT iřlemine gerekleřtiren "evirici" lerdir.

6.3.2. NMOS Evirici:

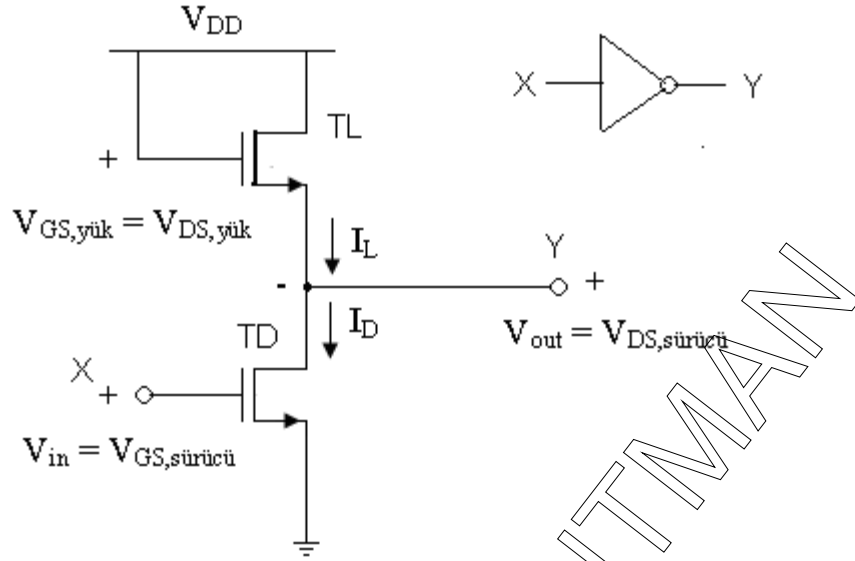
Standart NMOS evirici řekil 6.4' de verilmektedir.

V_i giriř gerilimi ve V_o ıkıř gerilimi arasındaki iliřkiyi veren geiř zeęrisi ise řekil 6-5' te grlmektedir.

NMOS teknolojisinde ENMOS src tranzistr(T_D), DN MOS yk tranzistrdr(T_L).

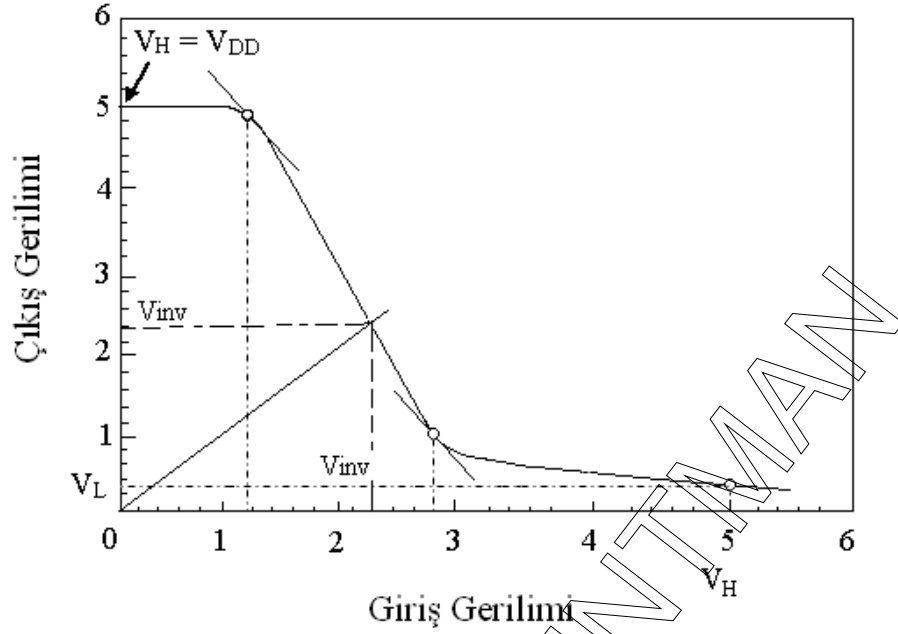
Tasarım iin gerekli olan iřlem, verilen fonksiyonu gerekleřtirecek devrenin seimi ve tranzistrlerin boyutlandırılmasıdır.

Lojik kapıların hepsi MOS tranzistrlerle gerekleřtirilebilirler.



Şekil 6-4: Standart NMOS evirici devresi

Başlangıçta V_i giriş değeri T_D tranzistörünün eşiğine gelene kadar kesimde dolayısıyla $V_o = V_{DD}$ (Lojik 1) olur. V_i arttıkça belli bir çıkış gerilimine kadar en büyük gerilim V_L (Lojik 0) olur. 45° ’lik eğimle geçen doğrunun eksenleri kestiği nokta V_{INV} (evirtim noktası) olarak adlandırılır. V_{DD} ve V_L Lojik-1 ve Lojik-0 durumlarına karşı düşen nominal gerilim seviyeleridir.



Şekil 6-5: NMOS eviricinin transfer karakteristiği

6.3.2.1. Eviricinin Elektriksel Özellik-Yapı İlişkisini Veren Büyüklükler

Eviricinin elektriksel performansını yapısal parametrelere bağlayan ilişkiler evirici optimizasyonu için gereklidir. Evirici performansını birinci planda belirleyen beş büyüklük vardır. Bunlar,

1. Lojik 0 Gerilimi
2. Lojik Eşik
3. Aşağı Gecikme
4. Yukarı Gecikme
5. Güç Harcaması

1. Lojik 0 Gerilimi (V_L):

Girişe V_{DD} uyguladığımızda elde edilen çıkış Lojik-0 gerilimi V_L gerilimidir. Bu durumda T_D doymasız, T_L doymalı bölgede çalışır (Lojik 0). İki tranzistörün akımları eşitlenirse,

$$V_L = \frac{(-V_{TL})^2}{\beta_D / \beta_L} \frac{1}{V_{DD} - V_{TD}} \quad (6-1)$$

$$V_L = \frac{(-V_{TL})^2}{(W_D / L_D) / (W_L / L_L)} \frac{1}{V_{DD} - V_{TD}} \quad (6-2)$$

$$\beta = \mu C_{ox} \frac{W}{L} \rightarrow \text{Tranzistöre ait parametre} \quad (6-3)$$

2.Lojik Eşik(V_{INV}):

Girişe uygulandığında çıkışı da aynı değere getiren gerilim olarak tanımlanır. Şekil 6-5' de orijinden 45° lik eğimle çizilen doğrunun özeğriyi kestiği noktanın koordinatları V_{INV} ' dir.

$V_i > V_{inv}$ için $V_o < V_{inv}$

$V_i < V_{inv}$ için $V_o > V_{inv}$ olur.

Bu sebeple V_{inv} değeri Lojik 0 ve Lojik 1 değerleri arasında bir sınır değeri olarak kabul edilir. Yaklaşık olarak $V_{DD}/2$ kadardır.

$$V_{inv} = V_{TD} + \frac{-V_{TL}}{\sqrt{\frac{\beta_D}{\beta_L}}} = V_{TD} + \frac{-V_{TL}}{\sqrt{\frac{W_D / L_D}{W_L / L_L}}} \quad (6-4)$$

3. Aşağı Gecikme(τ_D):

Çıkış işaretinin 1' den 0' a değişene kadar geçen süredir. Devrenin hızını ve girişteki işaretin frekansını belirlemede gerekir. Aşağı gecikmesi büyük bir sistem hızlı darbelere cevap veremez.

$$\tau_D = \frac{Q_L}{I_D} \quad (6-5)$$

$$\tau_D = \frac{2C_L V_{DD}}{\beta_D (V_{DD} - V_{TD})^2} \quad (6-6)$$

$$\tau_D = \frac{2C_L V_{DD}}{\mu C_{ox} \frac{W_D}{L_D} (V_{DD} - V_{TD})^2} \quad (6-7)$$

$$\tau_D = \frac{C_L}{C_{ox} W_D L_D} \frac{2L_D^2 V_{DD}}{\mu (V_{DD} - V_{TD})^2} \quad (6-8)$$

4. Yukarı Gecikme(τ_U):

Çıkış işaretinin 0' dan 1' e değişene kadar geçen süredir.

$$\tau_U = \frac{Q_L}{I_L} = \frac{C_L V_{DD}}{\frac{\beta_L}{2} (-V_{TL})^2} \quad (6-9)$$

$$\tau_U = \frac{C_L V_{DD}}{\mu C_{ox} \frac{W_L}{2L_L} (-V_{TL})^2} \quad (6-10)$$

$$\tau_U = \frac{C_L}{C_{ox} W_L L_L} \frac{2V_{DD} L_L^2}{\mu (V_{DD} - V_{TL})^2} \quad (6-11)$$

5. Güç Harcaması

NMOS eviricilerde güç çıkış Lojik-0' a giderken harcanır.

$$P = \frac{\beta_L}{2} (-V_{TL})^2 \cdot V_{DD} = \frac{1}{2} \mu C_{ox} \frac{W_L}{L_L} (-V_{TL})^2 \cdot V_{DD}$$

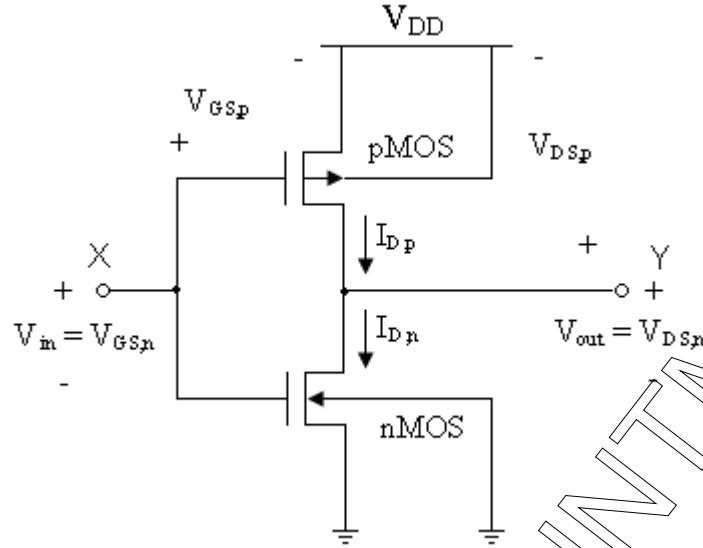
Tüm bu parametreler optimize edilir.

6.3.3. CMOS Eviriciler:

CMOS teknolojisinde ise ENMOS sürücü tranzistör PMOS yük tranzistörüdür.

Şekil 6.6' da verilen CMOS evirici devresinde başlangıçta $V_i=0$ ' da T_L iletimde T_D kesimdedir ve $V_o=V_{DD}$ olur(Lojik 1). $V_i=V_{DD}+V_{TL}$ olduğunda T_L kesimde T_D iletimde olur. Bu durumda $V_o=0$ 'dır(Lojik

0). CMOS evircinin Şekil 6.7' de verilen geçiş özeğrisinden $V_i=V_{DD}$ için $V_o=0$ ve $V_i=0$ için $V_o= V_{DD}$ olduğu görülmektedir.



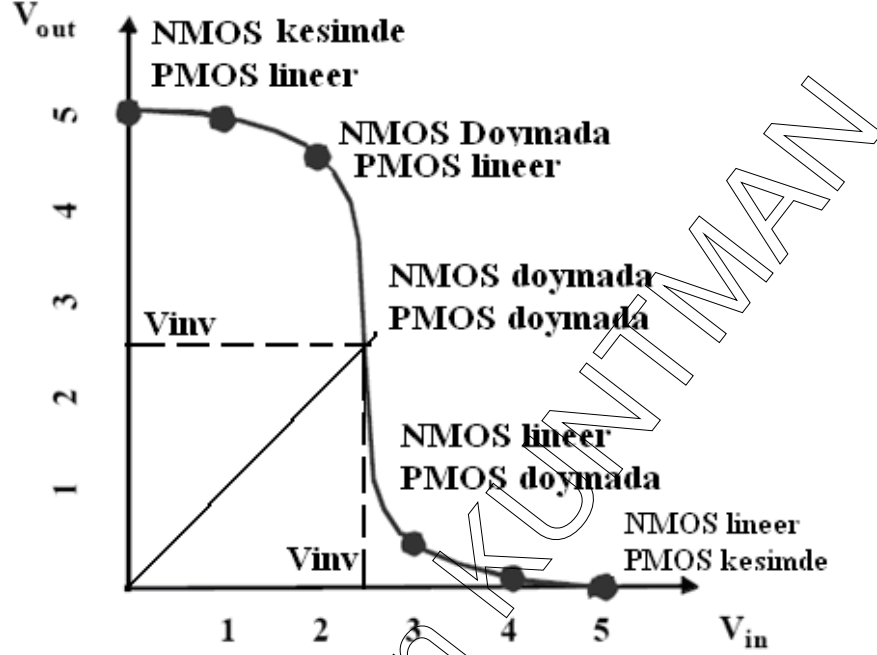
Şekil 6-6: CMOS evirci devre

$$V_{inv} = \frac{V_{DD} + V_{TL} + \sqrt{\frac{\beta_D}{\beta_L}} V_{TD}}{\sqrt{\frac{\beta_D}{\beta_L}} + 1} \quad (6-12)$$

CMOS eviricide tranzistörlerden biri iletimde iken diğeri kesimde kabul edilerek aşağı ve yukarı gecikmeler hesaplanır. Bu sebeple CMOS' un güç harcaması azdır. Ve geçiş dışında akım akmaz.

$$\tau_D = \frac{C_L}{C_{ox} W_D L_D \mu_n (V_{DD} - V_{TD})^2} \quad (6-13)$$

$$\tau_U = \frac{C_L}{C_{ox} W_D L_D \mu_n (V_{DD} - V_{TD})^2} \cdot \frac{\beta_D (V_{DD} - V_{TD})^2}{\beta_L (V_{DD} + V_{TL})^2} \quad (6-14)$$



Şekil 6-7: CMOS eviricinin geçiş öz eğrisi

7. BİPOLAR TÜMDEVRELER

Teknolojinin son yıllarda geldiği nokta MOS ve CMOS ağırlıklı olmasına rağmen Bipolar tümdevreler jonksiyon izolasyonlu ve dielektrik izolasyonlu olmak üzere iki ana gruba ayrılırlar. Standart üretimde jonksiyon izolasyonlu bipolar tümdevreler daha yaygındır. Bipolar tümdevre üretimi için en az 5-8 maske adımından yararlanır. Bu adımlar epitaksi, p-difüzyon, n-difüzyon, oksitleme, kontak, metal bağlantı pabuçları, izolasyon sayılabilir. Herbiri için uygun maske ile litografi işlemi yapılır.

7.1. Jonksiyon İzolasyonlu Bipolar Tümdevre Teknolojisi

Yaygın olarak kullanılan jonksiyon izolasyonlu bipolar tümdevre(JIBT) teknolojisidir. Tümdevrenin herbir elemanı bir izolasyon adasında oluşturulur. İzolasyon adası epitaksi işlemi ile gerçekleştirilir. İzolasyon, izolasyon adası ile taban arasında oluşan jonksiyonun tıkama yönünde kutuplanmasıyla gerçekleşir.

Jonksiyon izolasyonlu bipolar devrelerde en temel eleman npn tranzistördür. Npn tranzistörde n-tipi katkıli emetör ve kolektör ile p-tipi katkıli baz bağlama bölgeleri vardır.

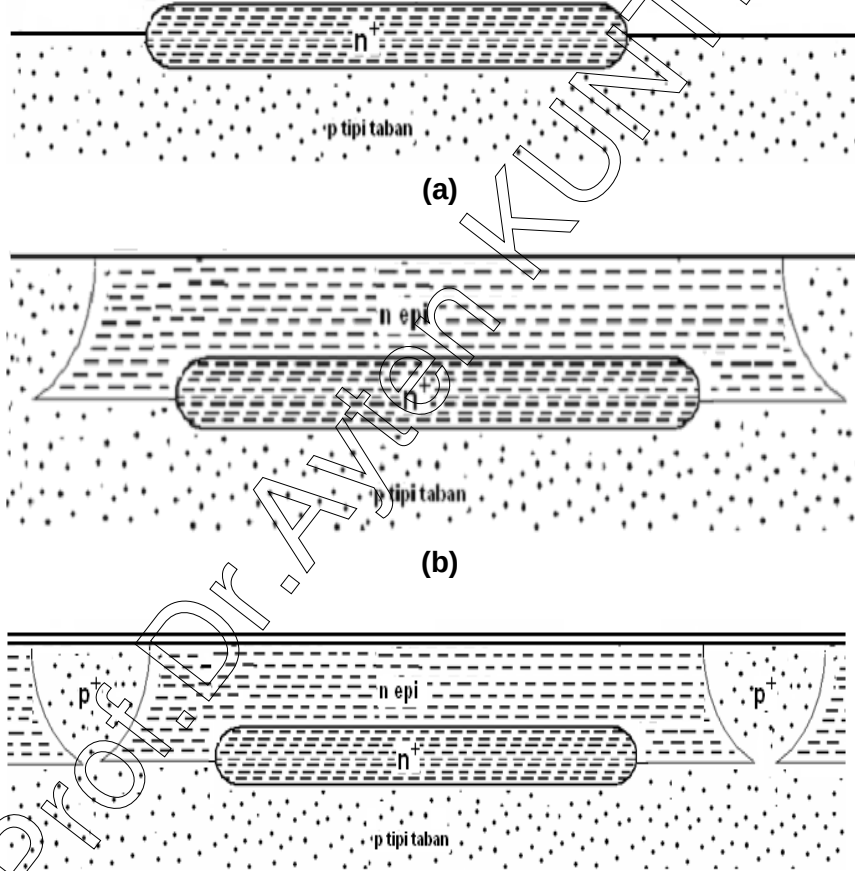
Emetör bölgesi, tranzistörün katkı yoğunluğu en yüksek bölgesidir. Gövde direnci birkaç ohm civarındadır. Kolektör bölgesi ise katkı yoğunluğunun en düşük olduğu bölgedir. Gövde direnci oldukça yüksektir. Katkı yoğunluğu emetör ve kolektör bölgesinin arasında yer alan baz bölgesinin katkı yoğunluğu ise on ohmlar mertebesindedir. Jonksiyon izolasyonlu bipolar npn transistörün düşey kesiti ve işlem basamakları Şekil 7-1' de verilmiştir. Üretiminde 400µm kalınlığında 4 inçlik Si pul(wafer) taban olarak kullanılır. Taban p-tipidir ve katkı yoğunluğu $10^{16} 1/cm^3$ 'tür.

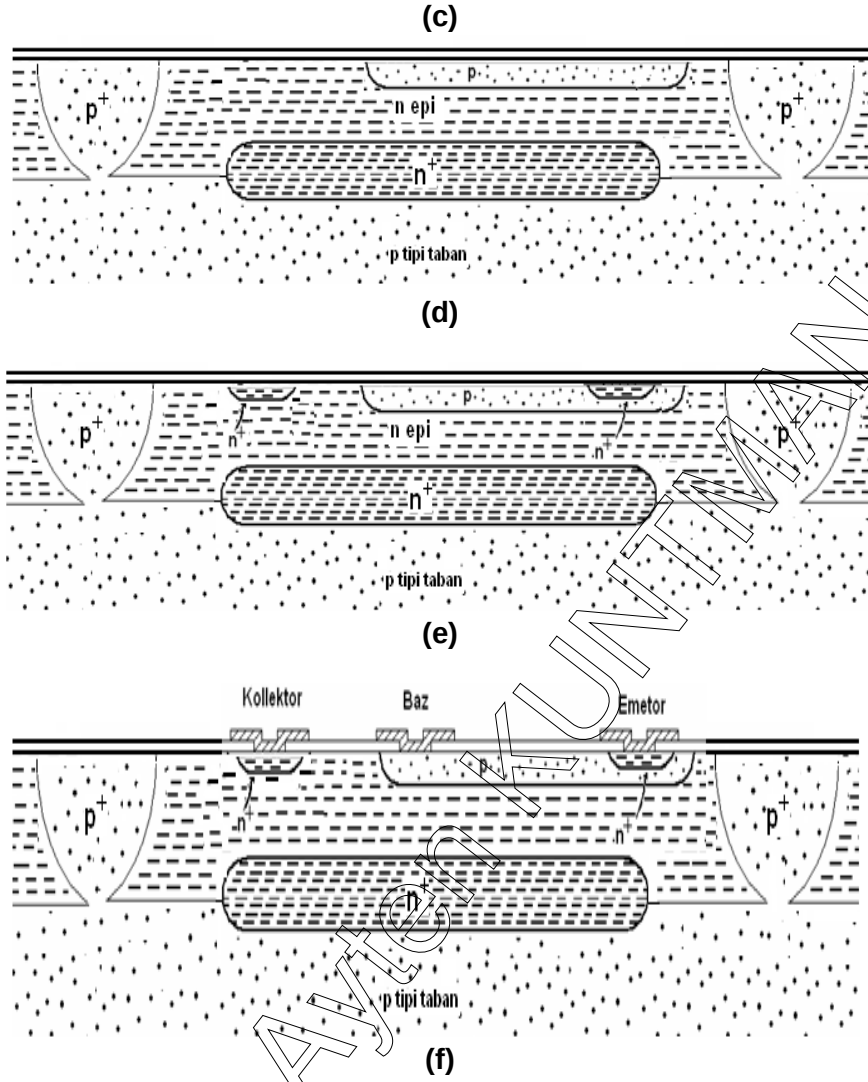
Birinci Adım: 1.maskenin uygulanması ve n+ difüzyon adımıdır. Kolektörün bir kısmıdır. Tranzistörde iyi performans sağlamak ve parazitik direnci azaltmak için kullanılan bir adımdır. N-tipi difüzyonda katkı yoğunluğu yüksektir. Difüzyon derinliği yaklaşık 8µm'dir. Bu adım "Gömük Tabaka Difüzyonu" olarak isimlendirilir. Şekil 7-1.a' da görülmektedir.

İkinci Adım : Şekil 7-1.b' den görüldüğü gibi birinci adımdan sonra oksit soyularak epitaksi büyütülür. Epitaksiyel büyütmeyle oluşturulan epi bölgesi transistorün kolektörünü oluşturur. Ayrıca elemanın içinde oluşturulacağı izolasyon adası da bu bölgedir. N-Epi bölgesinin katkı yoğunluğu $10^{15} 1/cm^3$, difüzyon derinliği 15-20µm' dir. Tranzistörün kolektör baz bölgesinin belverme geriliminde epi bölgesi kalınlığı ve direnci belirler. 36V besleme geriliminde çalışan bir eleman için epitaksi kalınlığı 17µm konsantrasyonu ise $10^{15} 1/cm^3$ olmalıdır. Xxx 36V besleme gerilimi için C-B belvermesi yaklaşık 90V olmalıdır.

Üçüncü Adım: Epitaksiden sonra silisyum yüzeyinde oksit büyütülür ve uygun maske kullanılarak epitaksideki izolasyon adasını oluşturacak p+ difüzyonları yapılır. İzolasyon difüzyonu adımı Şekil 7-1.c' de görülmektedir. Transistörün kolektörü ile p+ difüzyonunun oluşturduğu pn jonksiyonu ters yönde kutuplanarak adanın izolasyonu sağlanır. İzolasyon difüzyonu tabaka direnci 20-40 $\Omega/\square$ civarındadır.

Dördüncü Adım: Dördüncü maske baz difüzyon maskesidir. Yapılan bor difüzyonunun tabaka direnci 100-300 $\Omega/\square$ dur. Baz bölgesi difüzyon sonrası oluşan yapının kesiti Şekil 7-1.d' de görülmektedir.



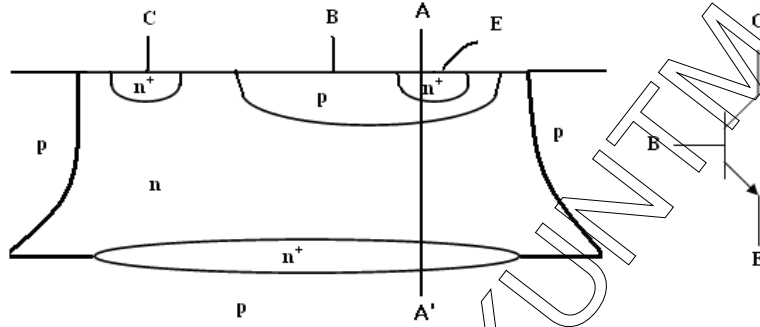


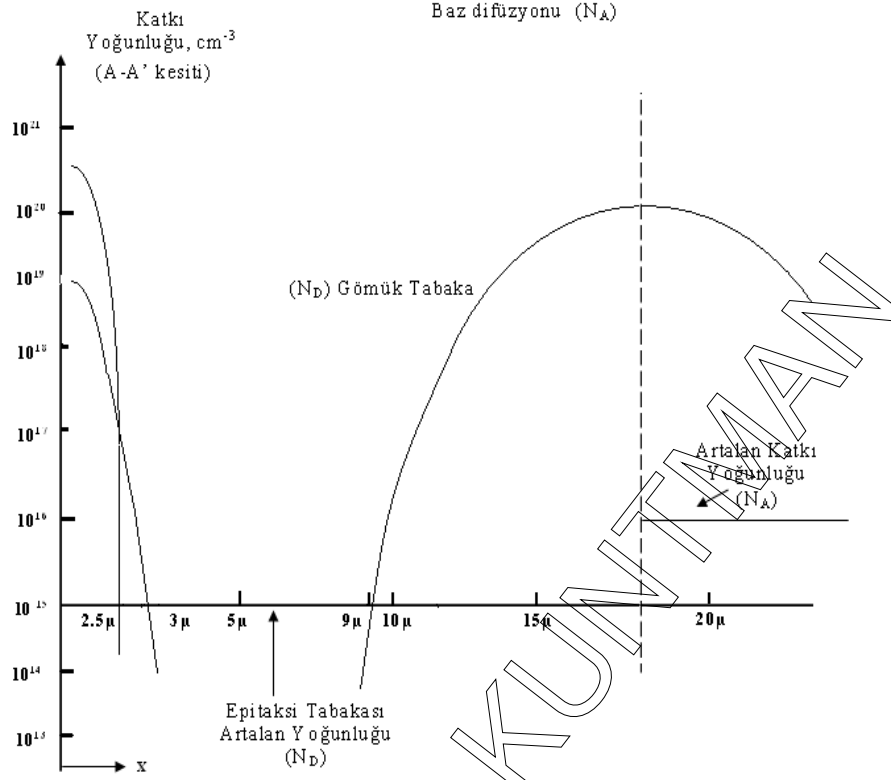
Şekil 7-1: Jonksiyon izolasyonlu bipolar npn transistörün düşey kesiti

Beşinci Adım: 5. maske n^+ difüzyonu olup bu adımda tranzistörün emetör bölgesi ve aynı anda kollektör kontağı oluşturulur. Bu bölgenin derinliği $0.5-2.5\mu m$ civarındadır. Kesiti Şekil 7-1.e' de verilen difüzyonun tabaka direnci $2-10 \Omega/\square$ dur. kollektör bölgesini oluşturan n-epinin katkısı düşük olduğundan iyi

kontak alabilmek için yüksek katkılı emetör difüzyon adımı bu iş içinde kullanılır.

Altıncı Adım: Kontak maskesi kullanılarak oksit üzerinde elektriksel kontak açmak için tranzistörün emetör, kolektör ve baz bölgelerinde pencere açılır. Kırmık üzerindeki pasif elemanlar için de kontak penceresi açılır. Metalizasyon için ise tüm pul $1\mu\text{m}$ metal kaplanır(Altın veya alüminyum). Ve metal maskesi kullanılarak devre elemanları arasındaki bağlantı yapılır. Kontak maskesi ve metalizasyon sonucunda oluşan yapının kesiti Şekil 7-1' de verilmiştir.





Şekil 7-2: Standart JIBT' de katkı yoğunluğu ve difüzyon derinlikleri

Analog devreler için tipik bir difüzyon grafiği Şekil 7-2' de görülmektedir. A-A' doğrultusunda alına kesit için jonksiyonların katkı yoğunlukları ve difüzyon derinlikleri aşağıda verilmiştir.

Katkı Yoğunlukları:

Taban $\sim 10^{16} \text{ 1/cm}^3$

Epi $\sim 10^{15} \text{ 1/cm}^3$

Baz $\sim 10^{19} \text{ 1/cm}^3$

Emetör $\sim 10^{21} \text{ 1/cm}^3$

Difüzyon Derinlikleri:

Emetör $\sim 2.5 \mu\text{m}$

Baz $\sim 3 \mu\text{m}$

Gömük tabaka $\sim 8 \mu\text{m}$

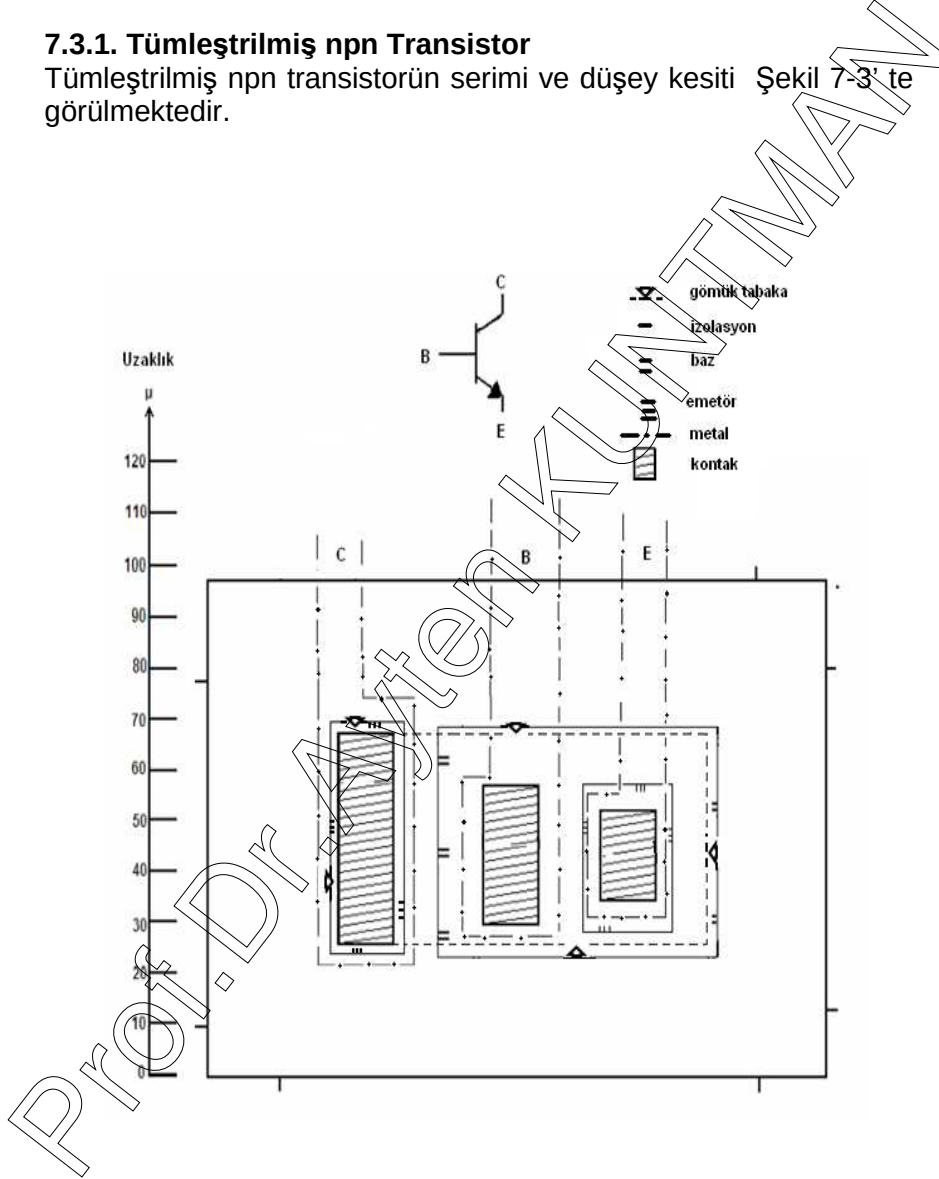
Epi $\sim 17 \mu\text{m}$

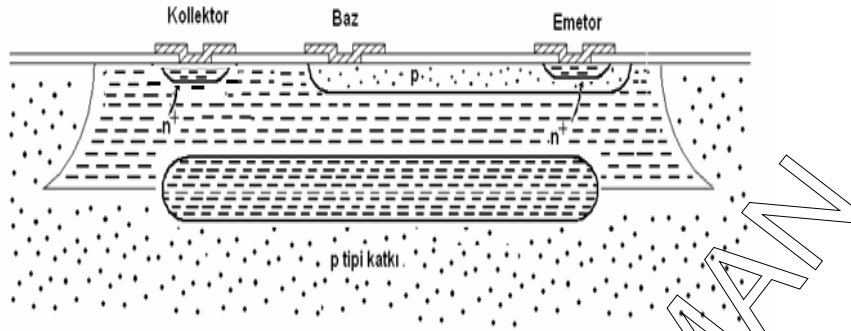
7.3. Bipolar Analog Tümdevrelerde Aktif Elemanlar

Tümdevre üretiminde npn transistor temel yapı taşıdır. Çoğu analog devrelerde akım kazançları ve frekans cevapları düşük olmasına rağmen standart bipolar prosesle birlikte oluşturulabilen pnp tranzistörlerde vardır. Burada aynı taban üzerinde gerçekleştirilen npn, enine pnp ve taban pnp olmak üzere üç farklı yapı anlatılacaktır.

7.3.1. Tümlleştirilmiş npn Transistor

Tümlleştirilmiş npn transistorün serimi ve düşey kesiti Şekil 7-3'te görülmektedir.





Şekil 7-3: npn transistörün düşey kesiti ve serimi

Yukarıda verilen standart tümleştirilmiş bipolar tranzistörde olası boyutlar aşağıda verilmiştir.

Baz bölgesi: $60\mu\text{m} \times 45\mu$
 Kollektör bölgesi: $140\mu\text{m} \times 95\mu\text{m}$
 Kollektör kontağı: $18\mu\text{m} \times 49\mu\text{m}$
 Gömük tabaka: $41\mu\text{m} \times 85\mu\text{m}$
 Baz kontağı: $18\mu\text{m} \times 30\mu\text{m}$
 Emetör kontağı: $18\mu\text{m} \times 25\mu\text{m}$

7.3.2. Bipolar Yapılarda Tasarım İçin Önemli Temel Kavramlar

Jonksiyonun belverme gerilimi
 Bipolar npn Tranzistörün Doyma Akımı
 Bipolar Yapılarda Oluşan Parazitik Direnç
 Bipolar Yapılarda Oluşan Parazitik Kapasiteler

7.3.2.1. Jonksiyonun belverme gerilimi:

Jonksiyonun bozulmadan dayanabileceği maksimum gerilimdir. Belverme gerilimi (7-1) bağıntısından görüldüğü gibi katkı yoğunlukları ve elektrik alanın fonksiyonudur.

$$V_B = \frac{\epsilon(N_A + N_D)}{2qN_A N_D} E_{kritik}^2 \quad (7-1)$$

Burada V_B :jonksiyonun belverme gerilimi

ϵ : Si'un dielektrik geçirgenliđi

N_A :p-tipi katkı yoğunluđu

N_D :n-tipi katkı yoğunluđu

q :elektrik yükü($1,6 \times 10^{-19}C$)

E_{kritik} : kritik alan şiddetini göstermektedir. Kritik alan şiddeti ise p-tipi ve n-tipi jonksiyonlar için (7-2) ve (7-3) bağıntılarıyla ifade edilmektedir.

$$E_{max} = E_{krit} \cong -q \frac{N_A}{\epsilon} W_1 \text{ (p-tipi jonksiyon için)} \quad (7-2)$$

$$E_{max} = E_{krit} \cong -q \frac{N_D}{\epsilon} W_2 \text{ (n-tipi jonksiyon için)} \quad (7-3)$$

Burada $W_1 \rightarrow$ p-tipi bölge için fakirleşmiş bölge kalınlıđı

$W_2 \rightarrow$ n-tipi bölge için fakirleşmiş bölge kalınlıđını göstermektedir.

Fakirleşmiş bölge kalınlıđı için katkı yoğunluđuna bađlı olarak aşığıdaki bağıntılar çıkartılmıştır.

$$W_1 = \left[\frac{2\epsilon(\psi_0 + V_R)}{qN_A \left(1 + \frac{N_A}{N_D}\right)} \right]^{1/2} \quad (7-4)$$

$$W_2 = \left[\frac{2\epsilon(\psi_0 + V_R)}{qN_D \left(1 + \frac{N_D}{N_A}\right)} \right]^{1/2} \quad (7-5)$$

ψ_0 :Jonksiyona dışardan bir etki yapılmadığı halde jonksiyonda oluşan gerilim

$$\phi_0 = V_T \ln \frac{N_A N_D}{n_i^2} \quad (7-6)$$

n_i :katkısız silisyumdaki taşıyıcı yoğunluğu

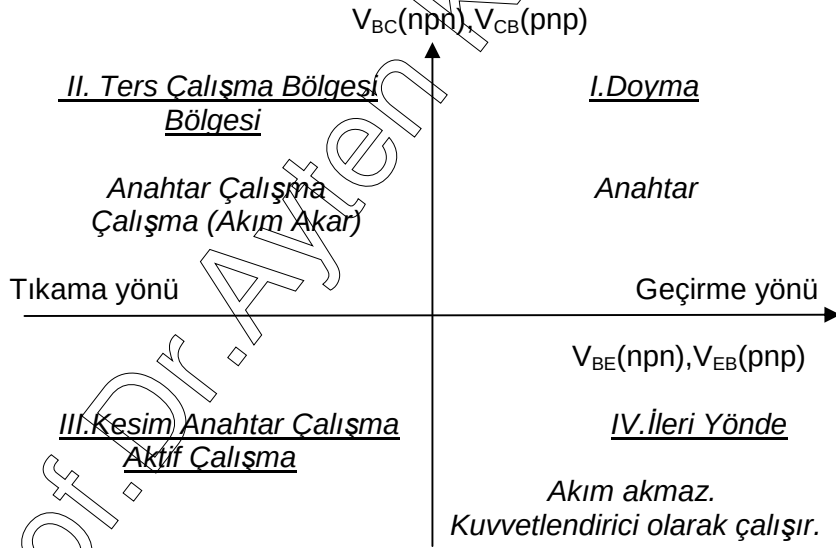
V_T : Isıl gerilim

$$V_T = \frac{kT}{q} \cong 26mV(300^0 K) \quad (7-7)$$

V_R : Ters kutuplama gerilimi
 $\epsilon \rightarrow 1,04 \times 10^{-12} \text{ F/cm (Si için)}$

7.3.2.2. Bipolar npn Tranzistörün Doyma Akımı:

npn tranzistörün dört çalışma bölgesi vardır. Tranzistörün çalışma bölgeleri Şekil 7-4' de görülmektedir.



Şekil 7-4 : npn tranzistörün çalışma bölgeleri

npn transistor aktif çalışma bölgesinde iken yapıda akımı sağlayan kısım emetör bölgesi altındaki baz bölgesidir. Bu sebeple emetör bölgesi alanının ve katkısının belirlenmesi önemlidir. Bunun için doyma akımından yararlanılır. Tranzistörün doyma akımının sayısal değeri çok küçük olmasada modelleme açısından önemlidir.

Tranzistörün doyma akımı 7-8 bağıntısı ile verilmektedir.

$$I_s = \frac{qAD_n n_i^2}{Q_B} \quad (7-8)$$

Burada A: Emetör-baz jonksiyon alanı, n_i : has katkı konsantrasyonu, Q_B : bazın birim alandaki katkı atomu sayısı (cm^2), D_n : tranzistörün baz bölgesindeki elektronların difüzyon sabitidir. Diğer yandan tranzistörün doyma akımı ile kollektör akımı arasındaki bağıntı aşağıdaki eşitlikle verilmektedir.

$$I_C = I_s \cdot \exp \frac{V_{BE}}{V_T} \quad (7-9)$$

Burada I_C : Kollektör akımı, V_T : ısı gerilim, V_{BE} : baz-emetör gerilimidir.

Her iki bağıntı birleştirilirse;

$$Q_B = A D_n \cdot \frac{q \cdot n_i^2}{I_C} \cdot \exp \frac{V_{BE}}{V_T} \quad (7-10)$$

$$Q_B = W_B \cdot N_A \quad (7-11)$$

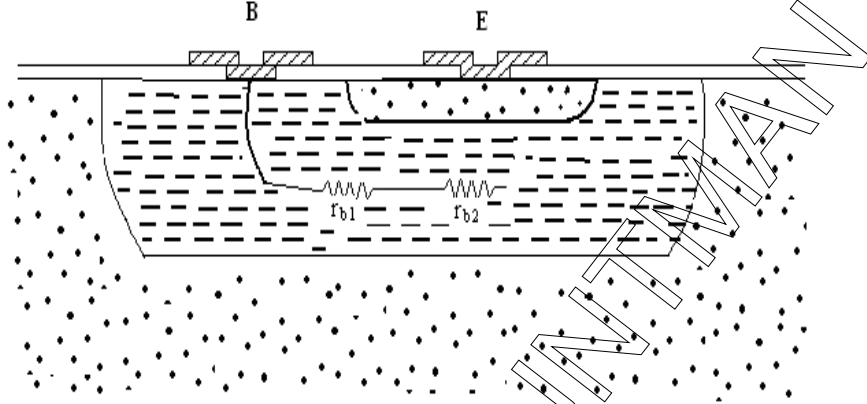
Bağıntıları elde edilir. Burada W_B : baz bölgesi genişliği, N_A : baz bölgesindeki deliklerin katkı yoğunluğudur.

7.3.2.3. Bipolar Yapılarda Oluşan Parazitik Dirençler

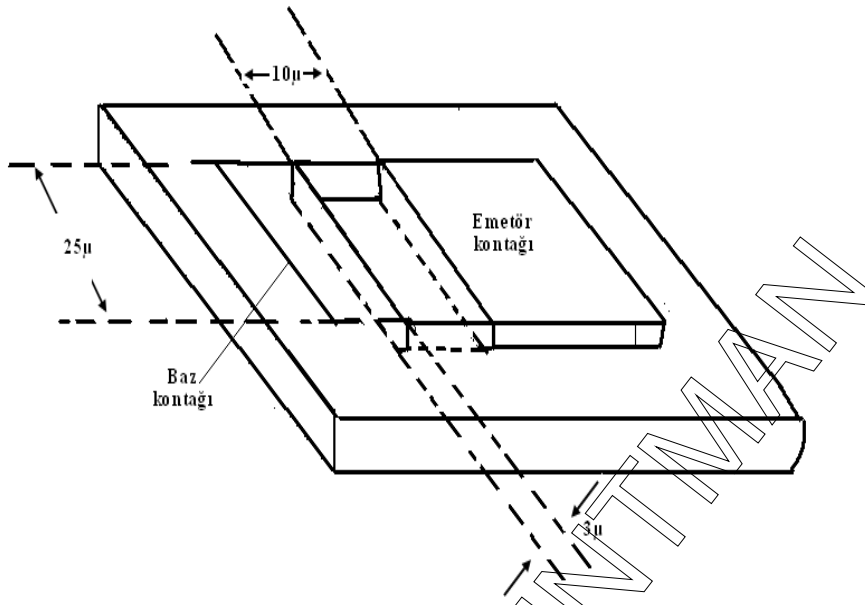
Baz bölgesinde ve kollektör bölgesinde farklı katkılar sebebiyle istenmeyen seri direnç oluşur. Bunların değerleri ve modelleri tasarımda önemlidir.

7.3.2.3.1. Seri Baz Direnci

Sebebi baz kontağının aktif baz bölgesinden oldukça uzak olmasıdır. Baz kontağı ile aktif baz bölgesi arasında seri omik direnç oluşur. Şekil 7-5' de r_{b1} ve r_{b2} gibi iki bileşenden oluşan seri baz direnci görülmektedir. Transistörün gürültü özelliklerini bozar. Yüksek frekans kazancını düşürür. Kollektör akımını sınırlayıcı etkisi vardır. Seri baz direncinin değeri iki direncin toplamından oluşur.



Şekil 7-5: npn transistör için seri baz direnci bileşenleri



Şekil 7-6: npn transistor için baz direnci bileşenleri

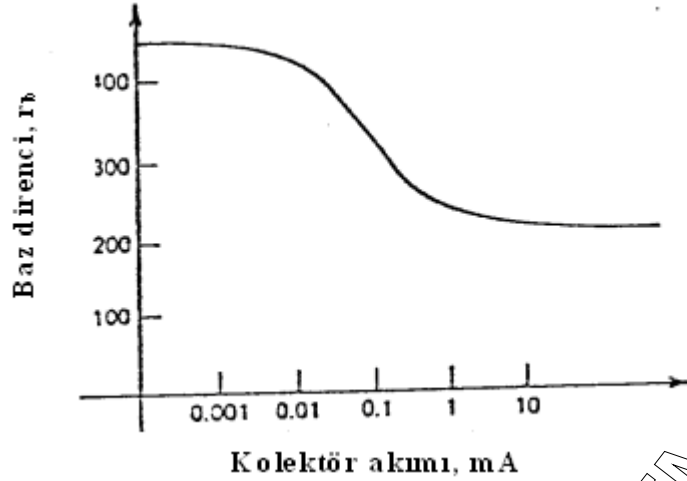
Şekil 7-6' da verilen r_{b1} , baz kontağından baz bölgesi boyunca oluşan parazitik dirençtir. Direnç değeri düzgün katkılanmış tabakanın direnci gibi aşağıdaki formül yardımıyla hesaplanır.

$$r_{b1} = \frac{L}{W} R_{\square} \quad (7-12)$$

Burada L ve W sırasıyla baz kontağının kanal boyu ve kanal genişliğidir. $R_{\square}$ ise baz bölgesinin tabaka direncidir.

r_{b2} ' nin hesabı farklı katkı yoğunluğu dağılımından dolayı zordur. Aktif çalışma durumunda r_{b2} zayıflar. r_{b1} , r_b ' ye yaklaşır.

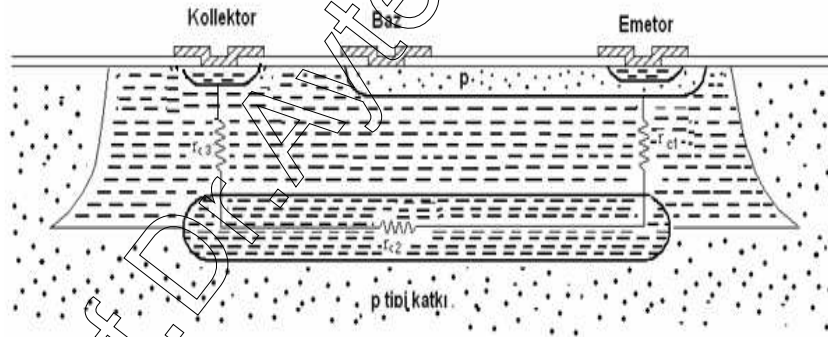
Kollektör akımının r_b ile değişimi Şekil 7-7' da görülmektedir. Şekilden de görüldüğü gibi seri baz direnci değeri 200Ω ' un üzerine çıkınca kollektör akımı değerine bir sınırlama gelmektedir. Transistörün düşük gürültü ve yüksek frekans uygulamaları için düşük baz direnci önemlidir. Tasarımda seri baz direnci değeri 200Ω civarında tutulmaya çalışılır.



Şekil 7-7: npn transistor için baz direnci ile kolektör akımı değişimi

7.3.2.3.2. Seri Kollektör Direnci(r_c)

Seri kollektör direnci yüksek frekans uygulamalarında olduğu kadar düşük frekans uygulamalarında da önemlidir. Kollektör bölgesi karmaşık bir yapıdadır ve aktif çalışmada 3 farklı kollektör direnci etkili olur. Şekil 7-8' de yapı içindeki bu üç farklı direnç görülmektedir.

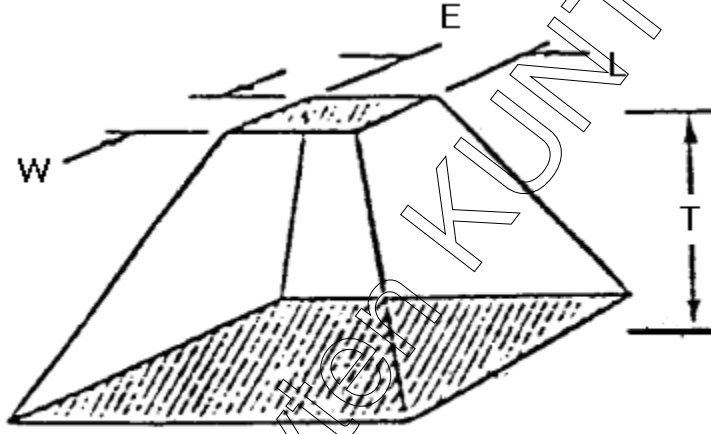


Şekil 7-8: Kollektör direnci bileşenleri

Bu dirençler, r_{c1} , r_{c2} , r_{c3} dirençleridir. Burada;
 r_{c1} : gömük tabaka-baz bölgesi arasındaki direnç
 r_{c2} : gömük tabakanın oluşturduğu direnç
 r_{c3} : gömük tabaka-kollektör kontağı arasında oluşan dirençtir.
 Toplam seri kollektör direnci bu üç direncin toplamından oluşur.

$$r_c = r_{c1} + r_{c2} + r_{c3} \quad (7-13)$$

r_{c1} ve r_{c3} dirençlerinin oluşumu ve hesabı bölgelerdeki katkı yoğunlukları farkı sebebi ile daha komplekstir. r_{c1} ve r_{c3} Laplace yaklaşımıyla ve belli kabullerle çözülür. Laplace yaklaşımı için önerilen model Şekil 7-9' da görülmektedir. Bu iki direncin değeri şekildeki model gözönüne alınarak üretilen (7-14) bağıntısı ile çözülür.



Şekil 7-9 : Kollektör direnci modeli

$$R = \frac{\rho \cdot T}{W \cdot L} \cdot \frac{\ln(a/b)}{a-b} \quad (7-14)$$

Burada,
 ρ : öz direnç
 a : model bloğun taban genişliğinin tepe genişliğine oranı
 b : model bloğun taban uzunluğunun tepe uzunluğuna oranı

T:Bölgenin kalınlığı

Bu modelin gerçeğe uygulanabilir olması için yan duvarların dikeyle yaptığı açının 60^0 olması gerekir. Bu kabulde taban boyutları;

$$L_{\text{taban}}=L_{\text{tavan}}+2T; W_{\text{taban}}=W_{\text{tavan}}+2T \quad (7-15)$$

olur. Burada; tavan L ve W değerleri r_{c1} ve r_{c3} için kollektör ve emetör bölgelerinin boyutlarını içerir.

r_{c2} hesaplanması düzgün katkılanmış bir bölgenin tabaka direnci hesabı şeklinde olmaktadır. $r_{c2}=R_{\square}.L/W$ bağıntısı ile hesaplanabilir.

7.3.2.4. Kollektör-Baz jonksiyon Kapasitesi

Kollektör-baz jonksiyonunda oluşan kapasitedir

$$C_j = A \left[\frac{q\epsilon N_A N_D}{2(N_A + N_D)} \right]^{1/2} \frac{1}{\sqrt{\psi_0 + V_R}} \quad (7-16)$$

N_D :epi bölgesinin katkı yoğunluğu($\sim 10^{15} \text{ 1/cm}^3$)

N_A :baz bölgesinin katkı yoğunluğu($\sim 10^{19} \text{ 1/cm}^3$)

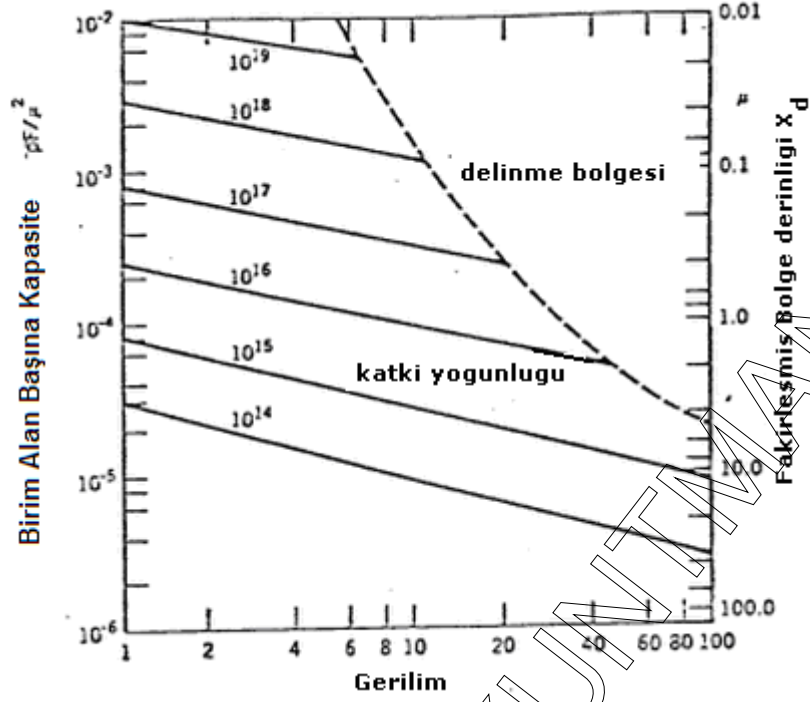
$N_A \gg N_D$ ise

$$\frac{C_j}{A} = \sqrt{\frac{q\epsilon N_D}{2(\psi_0 + V_R)}} \quad (7-17)$$

olur.

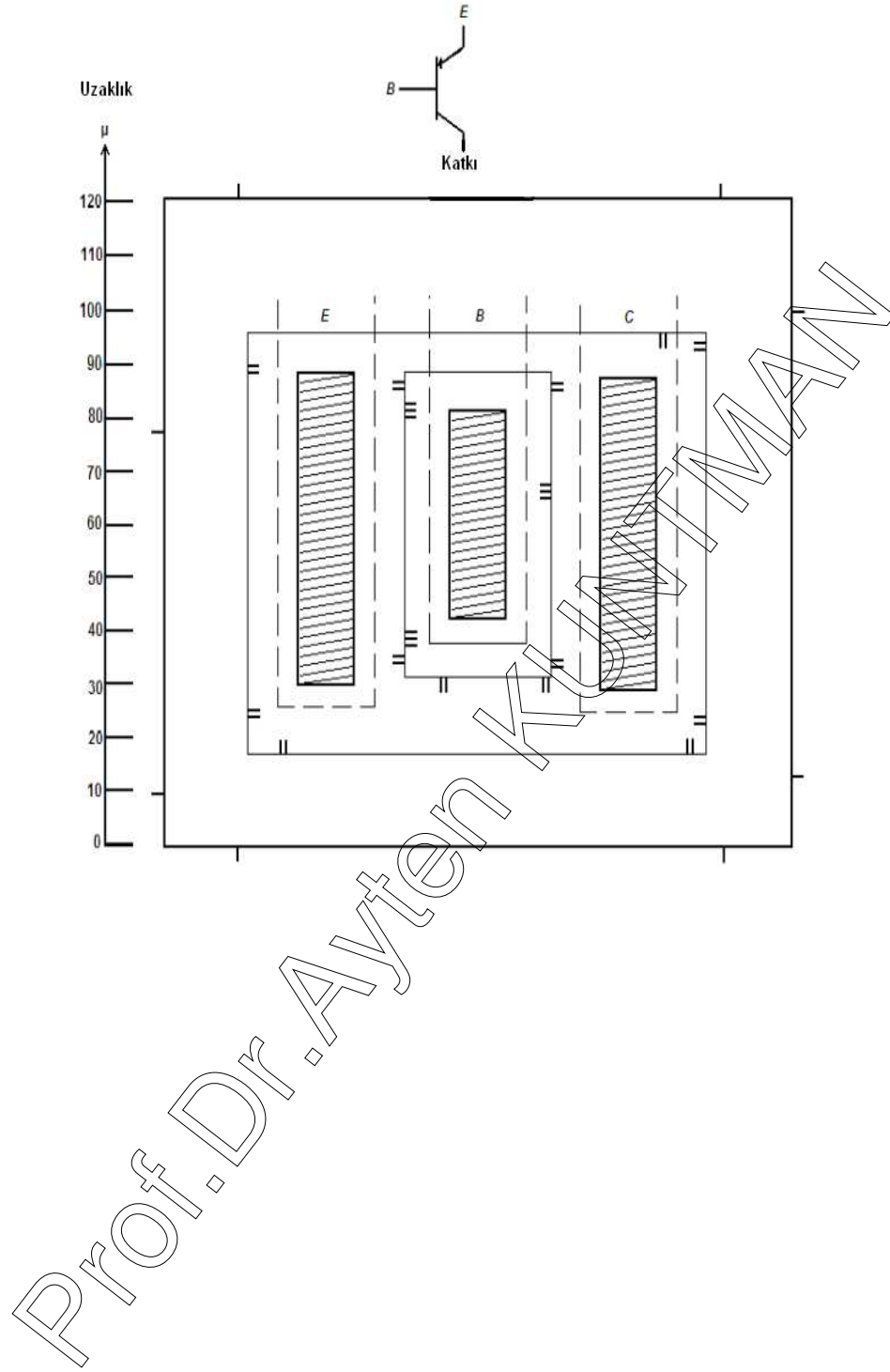
Buna sert geçişli jonksiyon için birim alan başına kapasite denir.

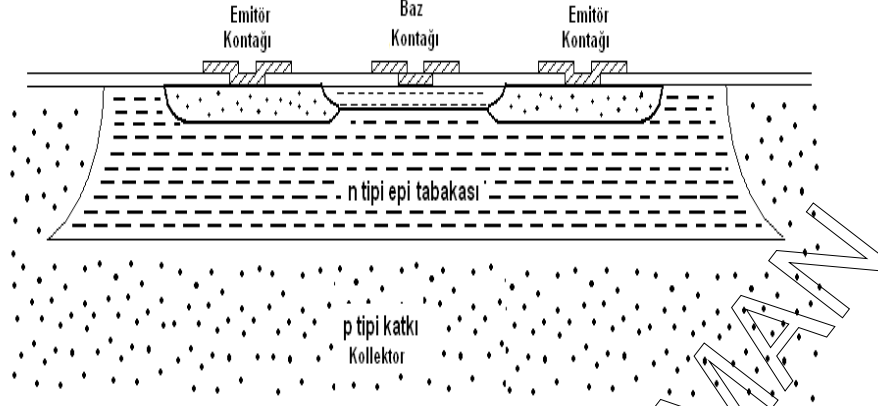
Şekil 7-10' da pn jonksiyonuna uygulanan gerilimle birim alan başına kapasite ve fakirleşmiş bölge değişimi görülmektedir.



Şekil 7-10: pn jonksiyonuna uygulanan gerilimle birim alan başına kapasite ve fakirleşmiş bölge değişimi

Şekil 7-11' de taban pnp yapısının serimi ve düşey kesiti görülmektedir.





Şekil 7-11: Taban pnp yapısının serimi ve düşey kesiti

7.4. Bipolar Entegre Devrelerde Pasif Elemanlar

Bunlar, direnç, kapasite ve diyottur.

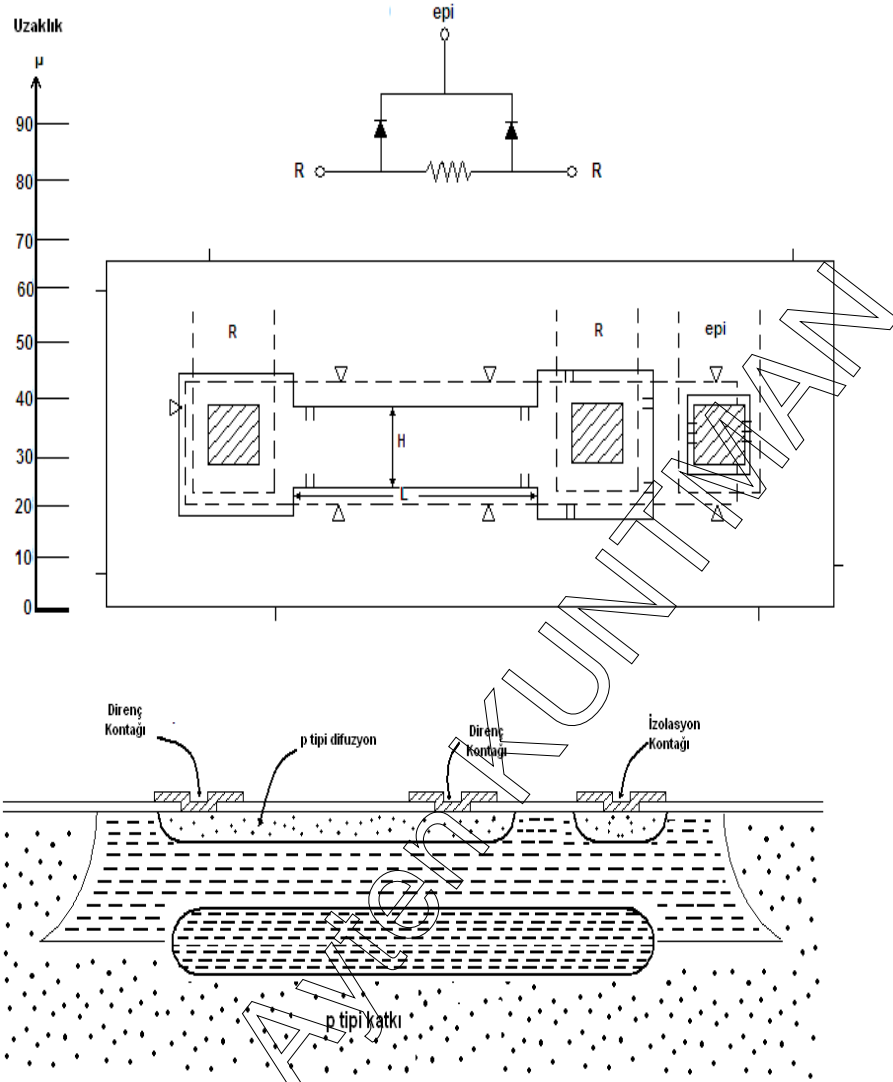
7.4.1. Dirençler

7.4.1.2. Difüzyonlu Dirençler

nnp tranzistör yapımı sırasında herhangi bir difüzyon aşamasında dirençler yapılabilir. Baz difüzyonu, emetör difüzyonu ve epitaksi tabakası ile yapılabilir.

Aktif baz bölgesi kullanılarak difüzyonlu dirençler yapılabilir. Seçim direncin değerine, toleransına ve sıcaklık katsayısına göre yapılabilir.

Bir örnek olmak üzere; baz difüzyonlu direnç, npn tranzistörün baz bölgesi oluşturulurken yapılan p-tipi difüzyondan yararlanılır. Şekil 7-12' de baz difüzyonlu direncin düşey kesidi ve devre gösterimi görülmektedir.



Şekil 7-12: Baz difüzyonlu direnç yapısı serimi ve düşey kesiti

Genelde difüzyonla yapılan bir bölgenin direnci:

$$R = R_{\square} \cdot L/W$$

(7-18)

$$R_e = \frac{1}{q\mu NT} \quad (7-19)$$

Bağıntısı ile hesaplanır. Burada N: katkı yoğunluğu; T: difüzyon derinliğini göstermektedir.

Entegre Devrelerde Kullanılan Farklı Dirençlerin Özellikleri

Direnç Tipi	Tabaka Direnci (Ohm/Kare)	Mutlak Tolerans	Sıcaklık Katsayısı (ppm/°C)
Baz Difüzyonu	100-200	±20	1500-2000
Emetör Difüzyonu	2-10	±20	600
İyon Ekme	100-1000	±3	100
Epitaksi	2K-5K	±30	3000
Baz Ayarlı	2K-10K	±50	2500
Epitaksi Kısılma	4K-10K	±50	3000

Bu tablodan farklı difüzyonlara göre farklı dirençlerin yapılabildiğini görüyoruz.

7.4.2. Kapasiteler

Tümdevre iki tür kapasite vardır. Jonksiyonlu kapasiteler ve MOS kapasiteler.

7.4.2.1 Jonksiyonlu Kapasiteler

C-B jonksiyonu, B-E jonksiyonu kullanılarak kapasite yapılabilir. Jonksiyonlardan elde edilen kapasite değeri uygulanan gerilim ve katkı yoğunluğuna bağlıdır.

Genelde jonksiyon kapasitesi:

$$C = A \left[\frac{q\epsilon N_A N_D}{2(N_A + N_D)} \right]^{1/2} \frac{1}{\sqrt{\psi_0 + V_R}} \quad (7-20)$$

Bağıntısı ile verilir. Burada; N_D : epi bölgesinin katkı yoğunluğu, N_A : baz bölgesinin katkı yoğunluğu, A: C-B jonksiyon alanı; q: elektriksel yük; ϵ : Si dielektrik geçirgenliği; ψ_0 : potansiyel seti; V_R : ters kutuplama değeri

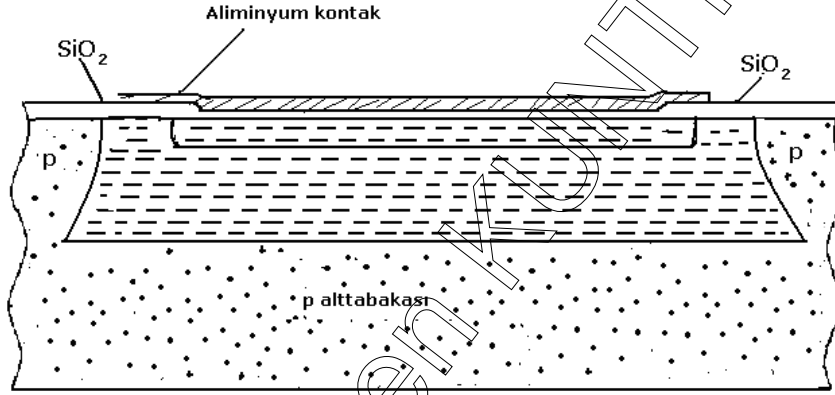
Jonksiyon oluřtuęunda meydana gelen fakirleřmiř bۆlge jonksiyon kapasitesini oluřturur. n ve p arasında oluřan xxxxxxxxx.

7.4.2.2. MOS Kapasiteler

Emetۆr difüzyonu ۆzerine ince bir SiO₂ (dielektrik olarak) ve ۆzerine Al kaplanmasıyla elde edilir. MOS kapasitelerle elde edilen kapasite deęeri 0.2-0.3 pF/mil² 'dir. Belverme gerilimi 60-100V arasındadır.

$$C = \epsilon \frac{A}{t}$$

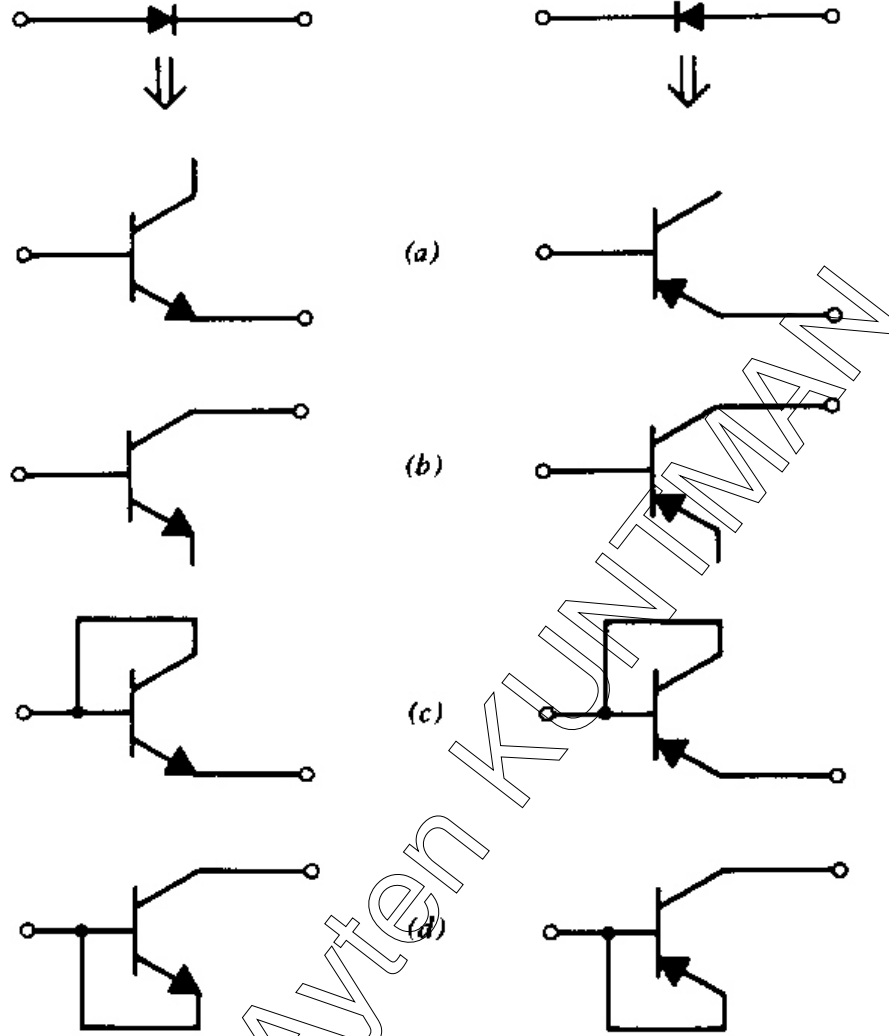
C:MOS' tan oluřan kapasite
ε:SiO₂'nin dielektrik geirgenlięi
t:Dielektrik kalınlık
A:Alan



řekil 7-13 : MOS kapasite yapısı

7.4.3. Diyotlar

Npn ve pnp tranzistۆrlerin farklı řekilde baęlanmasıyla jonksiyonlu diyotlar elde edilir. řekil 7-14' te baęlantı řekilleri gۆrۆlmektedir. a, b ve d řekillerinde kolektۆr- baz bۆlgesinin ileri kutuplanmasıyla tranzistۆrler diyot olarak alıřtırılırlar. c řeklinde ise emetۆr-baz bۆlgesinin ileri kutuplanmasıyla tranzistۆrler diyot gibi kullanılırlar.



Şekil 7-14: npn ve pnp tranzistörler için diyot bağlama şekilleri

7.5. LİNEER (ANALOG) ENTEGRE DEVRE TASARIM İLKELERİ

Genelde bipolar elemanlar kullanılarak yapılır. Başlıca tasarım ilkeleri temelde 4 kural gözönüne alınır.

1. **Mutlak değer toleranslarından kaçınma:** Ayrık elemanlara göre toleransları çok yüksektir. Örneğin ,difüzyonlu dirençler için $\pm\%30$, npn transistor için $\pm\%50$ 'dir.

2. **Eşleştirme:** Eşleştirme güvenilirliği ve eleman değerlerinin birbirini izlemesidir. Entegre devrelerde eşleştirme ve oranlara bağlı kalma önemlidir. Eşleştirme ve sıcaklık izleme özelliği ayırık elemanlara göre çok yüksektir. (bunun nedeni tüm elemanların aynı tür madde üzerinde oluşturulmasıdır.) Difüzyonlu dirençler $\pm 2\%$ 'lik farkla birbirini izler. Npn tranzistörler $\pm 5\%$ lik farkla birbirini izlerler. Isıl değişimi çok düşüktür. Kırmık yüzeyinde iki nokta arasında oluşacak ısı farkı $\pm 0.5^\circ$ tir. birbirini izleyen iki tranzistörün V_{BE} gerilimleri $\pm 10\mu V/^\circ C$ lik farkla değişir.

3. **Fazladan masraf yapmadan daha çok elemanın elde edilmesi:** Entegre devrelerde aktif eleman maliyeti çok daha azdır. Pasif eleman eklenmesi maliyeti artırır. Yeni adımlar gerekir ve pasif elemanlar çok yer kaplarlar. Entegre devre tasarımında mümkün olduğunca aktif elemanlar kullanılır. Pasif elemanlar da bir kısım aktif elemanlarla gerçekleştirilebilirler.

4. **Entegrasyona zor uyan elemanların kullanılmaması:** Kondansatörler,büyük değerli dirençler, yüksek akım çeken tranzistörler entegre edilebilmelerine rağmen yüzeyi büyüttükleri için çoğunlukla entegrasyon dışına alınır.

Entegre devre tasarımının avantajları; çok sayıda elemanın küçük maliyet farkıyla gerçekleştirilebilmesi,,yakın ısıl bağlaşma, eleman değerlerinin iyi eşleştirilebilmesi ve birbirini izlemesi, devrenin yerleşiminin ve geometrisinin kontrolü olarak sıralanabilir. Dezavantajları ise; büyük toleranslar,pasif eleman değerlerinin sınırlı olması, büyük değerli kapasite ve endüktansların bulunamamasıdır.

7.6. Analog İşlem Blokları

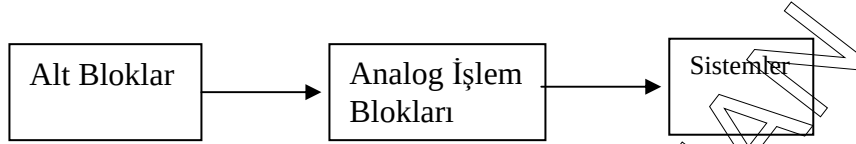
Analog tümdevreler analog işlem bloklarından oluşmaktadır. Analog işlem blokları,

- İşlemsel Kuvvetlendiriciler
- Güç Kuvvetlendiricileri
- Osilatörler
- Analog Çarpma Devreleri
- ADC,DAC
- Gerilim Regülatörleri

- Ses ve Video İle İlgili devreler olarak sıralanabilir. Analog işlem blokları alt bloklardan oluşur.

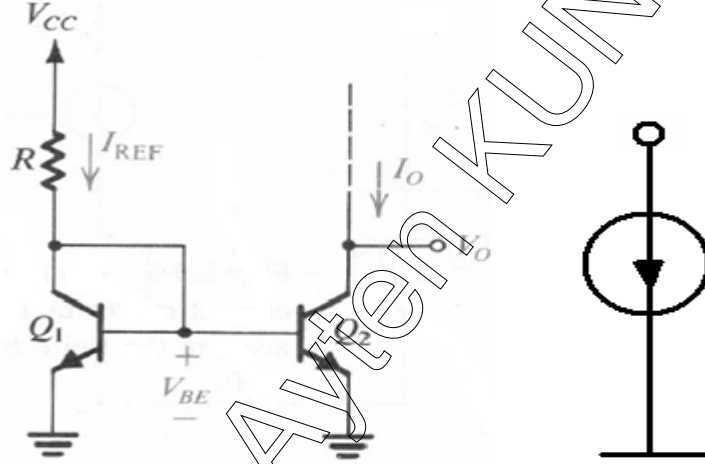
7.6.1. Alt Bloklar

- Kutuplama Devreleri(akım-gerilim kaynakları, referans üreteçleri)
- Kazanç Katları(fark kuvvetlendiriciler, aktif yüklü kuvvetlendiriciler, çıkış katları) olarak sıralanabilir.

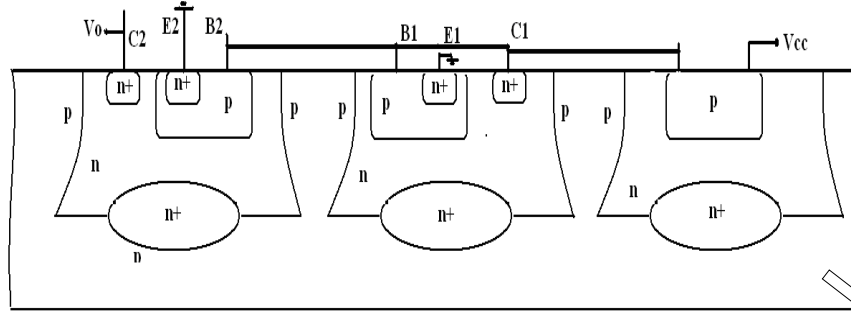


7.6.1.1. Kutuplama Devreleri

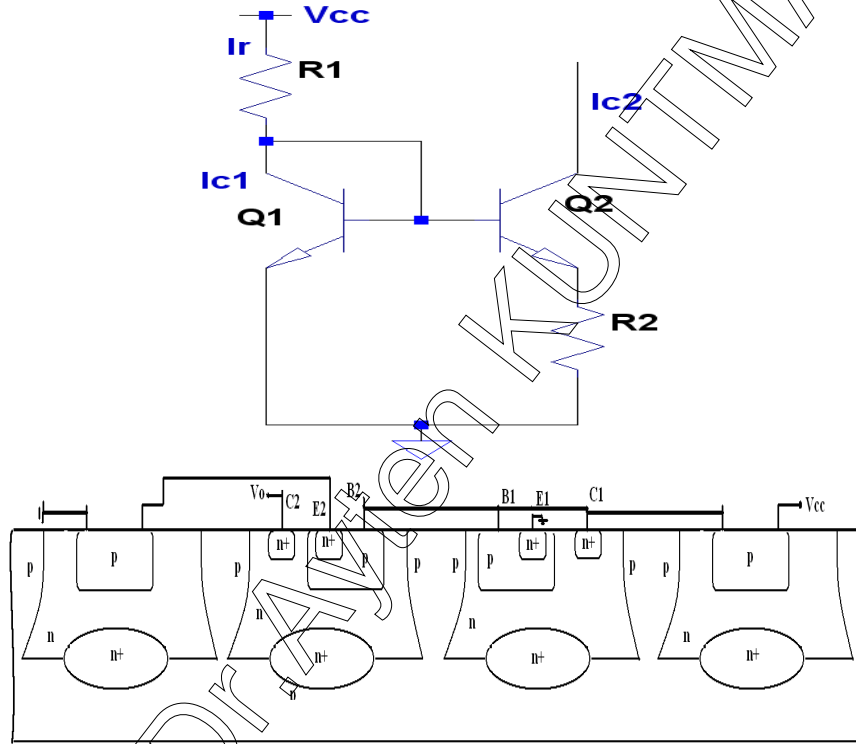
Bir yarıiletken elemanın iletme girmesi için gereken akım veya gerilimin sağlanmasına kutuplama denir. Bunlar akım kaynağı ve gerilim kaynağı olmak üzere ikiye ayrılırlar. Burada bir uygulama olmak üzere akım aynasının düşey kesiti ve lay-outu verilmektedir.



Şekil 7-15: Akım aynası



Şekil 7-16: Akım aynası lay-out'unun düşey kesiti



Şekil 7.17: Widlar Akım Kaynağı

Akım aynası elemanı iletime sokmak için gerekli akımın oluşmasını sağlar. Şekil 7-15' de iki transistör ve bir dirençten oluşan akım aynası eşdeğer devresi görülmektedir. Burada Q1 kutuplama transistörü, Q2 akım kaynağı transistörüdür. Şekil 7-16' da Şekil 7-15' deki akım aynasının düşey kesiti görülmektedir.

Tranzistörlerin baz akımları ihmal edilir ve eş kabul edilirlse $I_{C1}=I_{C2}$ olur.

Q1: Kutuplama tranzistörü

Q2: Akım kaynağı tranzistörü

A: Emetör Alanı

$$I_{\text{ref}} - I_{C1} - 2 \frac{I_{C1}}{\beta_F} = 0 \quad (7.22)$$

$$I_{C2} \cong I_{\text{ref}} = \frac{V_{CC} - \Delta V_{BE}}{R} \quad (7.23)$$

Referans akımı değerin R direncine bağlı olduğu görülmektedir.

$$I_{C1} = I_{\text{ref}} \frac{1}{1 + \frac{2}{\beta_F}} = I_{C2} \quad (7.24)$$

Şekil 7.17' de Widlar akım kaynağı ve düşey kesiti görülmektedir.

8. SPICE PROGRAMI

GENEL YAPI

Spice (Simulation Program with Integrated Circuit Emphasis) genel amaçlı elektronik devre simülatörüdür. University of California at Berkeley EEC bölümü tarafından geliştirilmiştir. Öğrenilmesi çok kolay bunun yanında oldukça kullanışlı bir programdır. Buradaki bilgiler geliştiricilerin web sitesinden alınmış olup özgün analizler ile desteklenmiştir.

Genel yapısı;



şeklinde. Program yazmaya başlarken mutlaka * işareti koyulup başlık yazılmalıdır. Aksi halde programın ilk satırı başlık olarak algılanıp işleme koyulmamaktadır. Önünde * işareti olan satırlar program tarafından algılanmamaktadır. Bu yüzden program içerisinde açıklama yapılacaksa önüne * işareti koyulur. Program her zaman .end komutu ile bitirilir. Analiz sonuçlarını görmek için .end komutundan önce .probe komutu genelde kullanılır. .probe komutu kullanılmazsa program çalışır ve kapanır. Sonuçlar çıkış

dosyalarından takip edilmek zorunda kalınır. .probe komutu program kapanmadan sonuçları görmemizi sağlar. Programda aktif veya pasif her eleman bir harfle sembolize edilmiştir. Devre elemanları programda yazılırken bağlı oldukları düğümler dikkate alınır. Büyük-küçük harf ayrımı yapılmaz. Satır yeterli olmadığı durumlarda bir alt satıra + işareti koyularak devam edilir. Spice programı bir takım fiziksel ve elektriksel parametreleri içerir. Bunlar model parametreleri olarak tanımlanmıştır. Yarı iletken devre elemanları için kullanılan parametrelerden bazılarının değerleri Tablo 8.7, Tablo 8.8 ve Tablo 8.9' da görülmektedir. Model parametreleri farklı prosesler için yeniden tanımlanabilir ve bu tanımlanan parametreler kullanılır. Model parametrelerinin en ileri versiyonu BSIM parametreleri çok sayıda parametre içerir.

ELEMAN MODELLERİ

Yarıiletken elemanlar programda model parametreleri ile gösterilirler. Elemanın devre içindeki bağlantıları yazıldıktan sonra .model komutu ile model parametreleri yazılır.

Genel form:

```
.MODEL MNAME TYPE (PNAME1=PVAL1  
PNAME2=PVAL2 ... )
```

Örnek:

```
.MODEL MOD1 NPN (BF=50 IS=1E-13 VBF=50)
```

MNAME ifadesi kullanıcıya bağlı olarak değişebilir. Kullanıcı elemana istediği ismi verebilir. Ancak; elemanın tipi için belirli

harfler vardır. Tablo 8.1' de bu harfler ve sembolize ettikleri elemanlar görülmektedir:

Tablo 8.1: Devre elemanları ve sembolize edildikleri harfler

R	Yarıiletken direnç
C	Yarıiletken kapasite
SW	Gerilim kontrollü anahtar
CSW	Akım kontrollü anahtar
URC	Tekdüze dağılmış RC modeli
LTRA	Kayıplı iletim hattı
D	Diyot
NPN	NPN BJT
PNP	PNP BJT
NJF	N kanallı JFET
PJF	P kanallı JFET
NMOS	N kanallı MOSFET
PMOS	P kanallı MOSFET
NMF	N kanallı MESFET
PMF	P kanallı MESFET

ALTDEVRELER

Bir devre aynı yapıdaki alt devrelerden oluşabilir. Bu tip durumlarda altdevrenin elemanlarını defalarca yazmak yerine Spice programında alt devre olarak tanımlamak ve kullanmak mümkündür. Alt devreler .subckt komutu ile başlar alt devrenin ismi ve bağlantı noktaları yazılır. Alt devrenin yazılması bittikten sonra .ends komutu ile alt devrenin ismi yazılır.

Genel form:

SUBCKT subname N1 N2 N3 ...

.ends subname

Örnek:

.SUBCKT OPAMP 1 2 3 4

.....

.....

.ends opamp

Tanımlanan alt devreler, devre içinde X harfi ile sembolize edilirler. X harfinin yanına sayı veya isim eklenir. Daha sonra bağlantı uçları ve altdevrenin ismi yazılır.

Genel form:

XXXXXXXX N1 N2 N3 ... SUBNAME

Örnek:

X1 2 4 17 3 1 OPAMP

DEVRE ELEMANLARI VE MODELLERİ

Direnç: Direnç R harfi ile gösterilir. Spice programında yazılırken R harfinin yanına sayı veya isim yazılarak, bağlı olduğu noktalar gösterildikten sonra, direncin değeri yazılır.

Genel form:

RXXXXXXXX N1 N2 VALUE

Examples:

R1 1 2 100

RC1 12 17 1K

Yarıiletken Direnç:

Genel form:

XXXXXXXX N1 N2 <VALUE> <MNAME> <L=LENGTH>
<W=WIDTH> <TEMP=T>

Örnek:

RLOAD 2 10 10K

RMOD 3 7 RMODEL L=10u W=1u

Direncin değeri belli değilse ismi ve uzunluğu mutlaka belirtilmelidir. Tablo 8.2' de yarı iletken direncin model parametreleri görülmektedir.

Tablo 8.2: Yarıiletken direnç model parametreleri

<u>Sem bol</u>	<u>parametre</u>	<u>birim</u>	<u>Varsayılan değer</u>	<u>örnek</u>
TC1	first order temperature coeff.	Ω/C	0.0	-
TC2	second order temperature coeff.	Ω/C^2	0.0	-
RSH	sheet resistance	Ω/q	-	50
DEFW	default width	Metre	1.e-6	2.e-6
NARROW	narrowing due to side etching	metre	0.0	1.e-7
TNOM	parameter measurement temperature	$^{\circ}\text{C}$	27	50

Kondansatör:

Kapasite isminden sonra sırasıyla pozitif ve negatif noktalar yazılır. Ardından kapasitenin değeri yazılır.

Genel form:

XXXXXXXX N+ N- VALUE <IC=INCOND>

Örnek:

CBYP 13 0 1UF

COSC 17 23 10U IC=3V

Yarıiletken kondansatör:

Genel form:

CXXXXXXX N1 N2 <VALUE> <MNAME> <L=LENGTH>
<W=WIDTH> <IC=VAL>

Örnek:

CLOAD 2 10 10P

CMOD 3 7 CMODEL L=10u W=1u

Kapasitenin değeri yazılmamışsa ismi ve uzunluğu mutlaka belirtilmelidir. Tablo 8.3' de yarı iletken kondansatörün model parametreleri görülmektedir.

Tablo 8.3: Yarıiletken kondansatör model parametreleri

<u>sembol</u>	<u>parametre</u>	<u>birim</u>	<u>Varsayılan değer</u>	<u>örnek</u>
CJ	junction bottom capacitance	F/metre ²	-	5.e-5
CJSW	junction sidewall capacitance	F/metre	-	2.e-11
DEFW	default device width	Metre	1.e-6	2.e-6
NARROW	narrowing due to side etching	metre	0.0	1.e-7

Bobin:

Bobin isminden sonra sırasıyla pozitif ve negatif noktalar yazılır.
Ardından kapasitenin değeri yazılır.

Genel form:

LYYYYYYY N+ N- VALUE <IC=INCOND>

Örnek:

LLINK 42 69 1UH

GERİLİM VE AKIM KAYNAKLARI

Bağımsız kaynaklar:

Bağımsız gerilim kaynağı V, bağımsız akım kaynağı I harfi ile gösterilir. Kaynağın bağlı olduğu noktalar(önce pozitif uç, sonra negatif uç) yazıldıktan sonra kaynağın cinsi dc/ac belirtilir ve değeri yazılır. Özel kaynaklar daha ayrıntılı olarak açıklanacaktır.

Genel form:

VXXXXXXXX N+ N- <DC/AC< > VALUE>

IYYYYYYY N+ N- <DC/AC< > VALUE>

Örnek:

VCC 10 0 DC 6

VIN 13 2 AC 5

Darbe Kaynağı:

Darbe kaynağının programda yazılışı aşağıda görülmektedir. Tablo 8.4' te kaynağı oluşturan büyüklükler tanımlanmıştır.

Genel form:

PULSE(V1 V2 TD TR TF PW PER)

Örnek:

VIN 3 0 PULSE(-1 1 2NS 2NS 2NS 50NS 100NS)

Tablo 8.4: Darbe kaynağı büyüklükleri

parametre	Varsayılan değer	Birim
V1 (initial value)		Volt veya amper
V2 (pulsed value)		Volt veya amper
TD (delay time)	0.0	saniye
TR (rise time)	TSTEP	saniye
TF (fall time)	TSTEP	saniye
PW (pulse width)	TSTOP	saniye
PER(period)	TSTOP	saniye

Sinüzoidal Kaynak:

Sinüzoidal kaynağın programda yazılışı aşağıda görülmektedir. Tablo 8.5' te kaynağı oluşturan büyüklükler tanımlanmıştır.

Genel form:

SIN(VO VA FREQ TD THETA)

Örnek:

VIN 3 0 SIN(0 1 100MEG 1NS 1E10)

Tablo 8.5: Sinüzoidal kaynak büyüklükleri

Parametre	Varsayılan değer	birim
VO (offset)		Volt veya amper
VA (amplitude)		Volt veya amper
FREQ (frequency)	1/TSTOP	Hz
TD (delay)	0.0	saniye
THETA (damping factor)	0.0	1/saniye

Üstel İşaret Kaynağı:

Üstel işaret kaynağının programda yazılışı aşağıda görülmektedir. Tablo 8.6' da kaynağı oluşturan büyüklükler tanımlanmıştır.

Genel Form:

EXP(V1 V2 TD1 TAU1 TD2 TAU2)

Örnek:

VIN 3 0 EXP(-4 -1 2NS 30NS 60NS 40NS)

Tablo 8.6: Üstel işaret kaynağı büyüklükleri

parametre	Varsayılan değer	birim
-----------	------------------	-------

V1 (initial value)		Volt veya amper
V2 (pulsed value)		Volt veya amper
TD1 (rise delay time)	0.0	saniye
TAU1 (rise time constant)	TSTEP	saniye
TD2 (fall delay time)	TD1+TSTEP	saniye
TAU2 (fall time)	TSTEP	saniye

YARIİLETKEN DEVRE ELEMANLARI

Yarıiletken devre elemanları (Diyot, BJT, JFET, MOSFET, MESFET) programda model parametreleri ile birlikte tanıtlırlar. Elemanın bağlantıları yazıldıktan sonra herbirine bir isim verilir. Daha sonra model parametreleri yazılırken o isim kullanılır ve elemanı belirlemek için de (Diyot(D), BJT(npn/pnp) MOSFET(NMOS/PMOS)) elemanın tipi yazılır..

Diyot:

Diyot yazarken D harfi kullanılır. Sırasıyla Anot ve katot uçlarının bağlantıları yazılır. Diyotun model parametreleri Tablo 8.7' de görülmektedir.

Genel form:

DXXXXXXXX N+ N- MNAME

.model MNAME D (....)

Örnek:

DBRIDGE 2 10 DIODE1

.model diode1 D

DCLMP 3 7 DMOD 3.0 IC=0.2

Tablo 8.7: Diyot model parametreleri

	sembol	parametre	birim	Varsayılan değer	örnek
1	IS	saturation current	A	1.0e-14	1.0e-14
2	RS	ohmic resistance	Ω	0	10
3	N	emission coefficient	-	1	1.0
4	TT	transit-time	sn	0	0.1ns
5	CJO	zero-bias junction capacitance	F	0	2pF
6	VJ	junction potential	V	1	0.6
7	M	grading coefficient	-	0.5	0.5
8	EG	activation energy	eV	1.11	1.11 Si 0.69 Sbd 0.67Ge
9	XTI	saturation-current temp. exp	-	3.0	3.0jn 2.0Sbd
10	KF	flicker noise coefficient	-	0	
11	AF	flicker noise exponent	-	1	
12	FC	coefficient for forward-bias depletion capacitance formula	-	0.5	
13	BV	reverse breakdown voltage	V	infinite	40.0
14	IBV	current at breakdown voltage	A	1.0e-3	
15	TNOM	parameter measurement temperature	$^{\circ}\text{C}$	27	50

Bipolar Jonksiyonlu Tranzistör(BJT):

BJT için Q harfi kullanılır. Eleman tanımlanırken sırasıyla Kollektör, Baz, Emetör uçlarının bağlantıları yazılır. Model parametreleri diğer elemanlarda olduğu gibi hemen yanında verilebileceği gibi .model satırında da yazılabilir. Model parametrelerinden bazıları Tablo 8.8’ de görülmektedir.

General form:

QXXXXXXX NC NB NE MNAME <AREA> <OFF>
 <IC=VBE, VCE> <TEMP=T>

Örnek:

Q23 10 24 13 QMOD IC=0.6, 5.0

Q50A 11 26 4 MOD1

.model MOD1 npn

Tablo 8.8: BJT Model parametreleri

	sembol	parametre	birim	Varsayılan değer	örnek
1	IS	transport saturation current	A	1.0e-16	1.0e-15
2	BF	ideal maximum forward beta	-	100	100
3	NF	forward current emission coefficient	-	1.0	1
4	VA	forward Early voltage	V	infinite	200
5	IKF	corner for forward beta high current roll-off	A	infinite	0.01
6	ISE	B-E leakage saturation current	A	0	1.0e-13
7	NE	B-E leakage emission coefficient	-	1.5	2
8	BR	ideal maximum reverse beta	-	1	0.1
9	NR	reverse current emission coefficient	-	1	1
10	VAR	reverse Early voltage	V	infinite	200
11	IKR	corner for reverse beta high current roll-off	A	infinite	0.01
12	ISC	leakage saturation current	A	0	
13	NC	leakage emission coefficient	-	2	1.5
14	RB	zero bias base resistance	Ω	0	100
15	IRB	current where base resistance falls halfway to its min value	A	infinte	0.1
16	RBM	minimum base resistance at high currents	Ω	RB	10
17	RE	emitter resistance	Ω	0	1
18	RC	collector resistance	Ω	0	10
19	CJE	B-E zero-bias depletion	F	0	2pF

		capacitance			
20	VJE	B-E built-in potential	V	0.75	0.6
21	MJE	B-E junction exponential factor	-	0.33	0.33
22	TF	ideal forward transit time	sn	0	0.1ns
23	XTF	coefficient for bias dependence of TF	-	0	
24	VTF	voltage describing VBC dependence of TF	V	infinite	
25	ITF	high-current parameter for effect on TF	A	0	
26	PTF	excess phase at freq=1.0/(TF*2Pi) Hz	derece	0	
27	CJC	B-C zero-bias depletion capacitance	F	0	2pF
28	VJC	B-C built-in potential	V	0.75	0.5
29	MJC	B-C junction exponential factor	-	0.33	0.5
30	XCJC	fraction of B-C depletion capacitance connected to internal base node	-	1	
31	TR	ideal reverse transit time	sn	0	10ns
32	CJS	zero-bias collector-substrate capacitance	F	0	2pF
33	VJS	substrate junction built-in potential	V	0.75	
34	MJS	substrate junction exponential factor	-	0	0.5
35	XTB	forward and reverse beta temperature exponent	-	0	
36	EG	energy gap for temperature effect on IS	eV	1.11	
37	XTI	temperature exponent for effect on IS	-	3	
38	KF	flicker-noise coefficient	-	0	
39	AF	flicker-noise exponent	-	1	
40	FC	coefficient for forward-bias depletion capacitance formula	-	0.5	
41	TNOM	Parameter measurement temperature	°C	27	50

MOSFET:

Mosfet M harfi ile gösterilir. Sırasıyla Drain(savak), Gate(geçit), Source(kaynak) ve Bulk(taban) uçlarının bağlantısı yazılır. Model parametreleri aynı satırda yazılabileceği gibi .model komutu kullanılarak da yazılabilir. MOSFET' in model parametrelerinden bazıları Tablo 8.9' da görülmektedir.

Genel form:

```
MXXXXXXX ND NG NS NB MNAME <L=VAL> <W=VAL>
<AD=VAL> <AS=VAL>
+ <PD=VAL> <PS=VAL> <NRD=VAL> <NRS=VAL>
<OFF>
+ <IC=VDS, VGS, VBS> <TEMP=T>
```

Örnek:

```
M1 24 2 0 20 TYPE1
.model TYPE1 NMOS .....
M31 2 17 6 10 MODM L=5U W=2U
.model MODM PMOS .....
M1 2 9 3 0 MOD1 L=10U W=5U AD=100P AS=100P
PD=40U PS=40U
```

Tablo 8.9: MOSFET Model Parametreleri

	sembol	Parametre	birim	olası değer	örnek
1	LEVEL	model	index	-	1
2	VTO	zero-bias threshold voltage (V_{T0})	V	0.0	1.0
3	KP	transconductance parameter	A/V^2	$2.0e-5$	$3.1e-5$
4	GAMMA	bulk threshold parameter (γ)	$V^{1/2}$	0.0	0.37
5	PHI	surface potential ()	V	0.6	0.65
6	LAMBDA	channel-length modulation (MOS1 and MOS2 only) (λ)	1/V	0.0	0.02

7	RD	drain ohmic resistance	Ω	0.0	1.0
8	RS	source ohmic resistance	Ω	0.0	1.0
9	CBD	zero-bias B-D junction capacitance	F	0.0	20fF
10	CBS	zero-bias B-S junction capacitance	F	0.0	20fF
11	IS	bulk junction saturation current (I_s)	A	1.0e-14	1.0e-15
12	PB	bulk junction potential	V	0.8	0.87
13	CGSO	gate-source overlap capacitance per meter channel width	F/m	0.0	4.0e-11
14	CGDO	gate-drain overlap capacitance per meter channel width	F/m	0.0	4.0e-11
15	CGBO	gate-bulk overlap capacitance per meter channel length	F/m	0.0	2.0e-10
16	RSH	drain and source diffusion sheet resistance	$\Omega/\square$	0.0	10.0
17	CJ	zero-bias bulk junction bottom cap. per sq-meter of junction area	F/m ²	0.0	2.0e-4
18	MJ	bulk junction bottom grading coeff.	-	0.5	0.5
19	CJSW	zero-bias bulk junction sidewall cap. per meter of junction perimeter	F/m	0.0	1.0e-9
20	MJSW	bulk junction sidewall grading coeff.	-	0.50(level1) 0.33(level2,3)	
21	JS	bulk junction saturation current per sq-meter of junction area	A/m ²		1.0e-8
22	TOX	oxide thickness	metre	1.0e-7	1.0e-7
23	NSUB	substrate doping	1/cm ³	0.0	4.0e15
24	NSS	surface state density	1/cm ²	0.0	1.0e10
25	NFS	fast surface state density	1/cm ²	0.0	1.0e10
26	TPG	type of gate material: +1 opp. to substrate -1 same as substrate 0 Al gate	-	1.0	
27	XJ	metallurgical junction depth	Metre	0.0	1 μ
28	LD	lateral diffusion	metre	0.0	0.8 μ
29	UO	surface mobility	cm ² /Vs	600	700
30	UCRIT	critical field for mobility degradation (MOS2 only)	V/cm	1.0e4	1.0e4
31	UEXP	critical field exponent in mobility degradation (MOS2 only)	-	0.0	0.1
32	UTRA	transverse field coeff. (mobility) (deleted for MOS2)	-	0.0	0.3
33	VMAX	maximum drift velocity of carriers	m/s	0.0	5.0e4
34	NEFF	total channel-charge (fixed and mobile) coefficient (MOS2 only)	-	1.0	5.0
35	KF	flicker noise coefficient	-	0.0	1.0e-26

36	AF	flicker noise exponent	-	1.0	1.2
37	FC	coefficient for forward-bias depletion capacitance formula	-	0.5	
38	DELTA	width effect on threshold voltage (MOS2 and MOS3)	-	0.0	1.0
39	THETA	mobility modulation (MOS3 only)	1/V	0.0	0.1
40	ETA	static feedback (MOS3 only)	-	0.0	1.0
41	KAPPA	saturation field factor (MOS3 only)	-	0.2	0.5
42	TNOM	parameter measurement temperature	°C	27	50

ANALİZLER:

AC analiz:

Ac analiz yapılırken önce .ac yazılır. Daha sonra taramanın dec/oct/lin değişimlerden hangisi ile yapılmak istendiği belirlenir. Daha sonra her bir dec/oct/lin deki nokta sayısı yazılır. Son olarak taramanın yapılacağı başlangıç ve bitiş frekans değerleri yazılır.

Genel form:

.AC DEC ND FSTART FSTOP

.AC OCT NO FSTART FSTOP

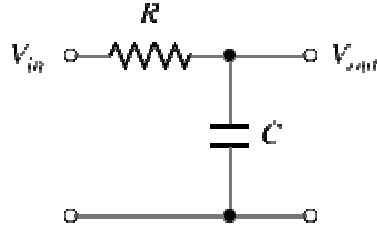
.AC LIN NP FSTART FSTOP

Örnek:

.AC DEC 10 1 10K

.AC DEC 10 1K 100MEG

.AC LIN 100 1 100HZ



Şekil: Alçak Geçiren Süzgeç

Spice Kodu:

****başlık**

*vs 1 0 sin(0 1 1k)
vs 1 0 ac 5v

* zaman analizi için gerekli giriş

r1 1 2 1k
c1 2 0 1u

*.tran 1n 2m *zaman analizi

*.dc vs 0 5 0.1 *dc analiz

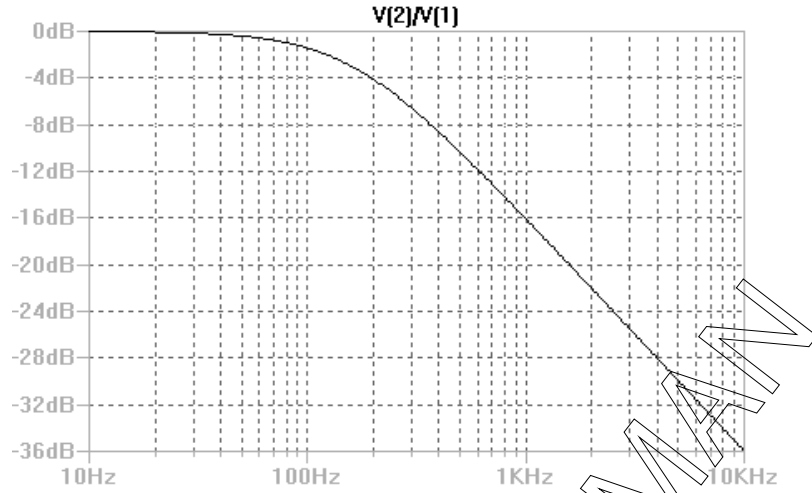
*.ac dec 101 10 10K *ac analiz

*.disto DEC 10 10 10k *distorsiyon analizi

*.NOISE V(2) Vs DEC 101 10 10K *gürültü analizi

.probe

.end



Şekil: Alçak geçiren süzgeç devresinin kazanç-frekans eğrisi

DC Analiz:

Dc analiz yapılırken .dc komutu yazılır. Daha sonra taramada kullanılacak kaynağın ismi, başlangıç değeri, bitiş değeri ve tarama aralığı sırasıyla yazılır. Birden çok kaynakla da dc analiz yapılabilir. Diğer kaynak da aynı satıra yazılmalıdır.

Genel form:

```
.DC SRCNAM VSTART VSTOP VINCR [SRC2 START2
STOP2 INCR2]
```

Örnek:

```
.DC VIN 0.25 5.0 0.25
.DC VDS 0 10 .5 VGS 0 5 1
```

```
.DC VCE 0 10 .25 IB 0 10U 1U
```

MOS tranzistör akım-gerilim karakteristiğinin çıkarılması:

Kod:

*n-MOS özeğri

VGS 2 0 dc 0

VDS 3 0 dc 0

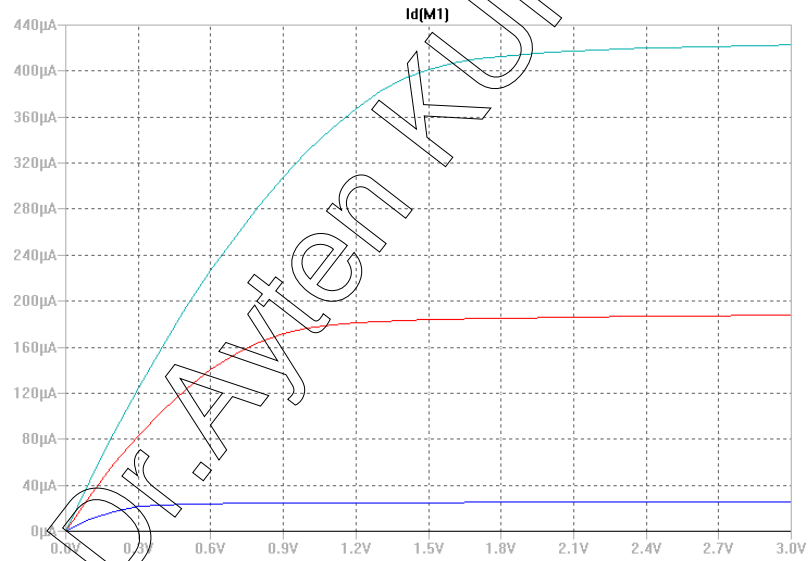
M1 3 2 0 0 NMOD L=1U W=2U

.MODEL NMOD NMOS (bu örnekte BSIM3 model
parametreleri kullanılmıştır.)

.dc Vds 0 3 0.1 vgs 0 3 1

.probe

.end



Şekil: MOS tranzistörün akım-gerilim karakteristiği

Zaman Bölgesi Analizi:

Zaman bölgesi analizi .tran komutu ile yapılır. Zamanlama adımı, bitiş süresi ve başlangıç süresi sırasıyla yazılır. Tstart belirtilmemişse 0 alınır.

Genel form:

.TRAN TSTEP TSTOP TSTART

Örnek:

.TRAN 1NS 100NS

.TRAN 1NS 1000NS 500NS

RLC devresinin darbe tepkisi

Kod:

*RLC analizi

Vin 1 0 pulse(-220 220 0 1ns 1ns 100us 200us)

R1 1 2 2

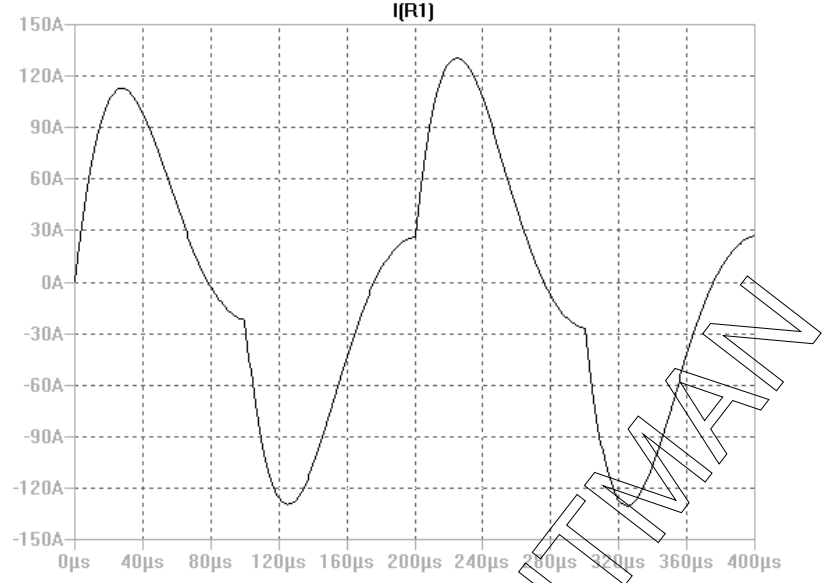
L1 2 3 50uH

C1 3 0 10uF

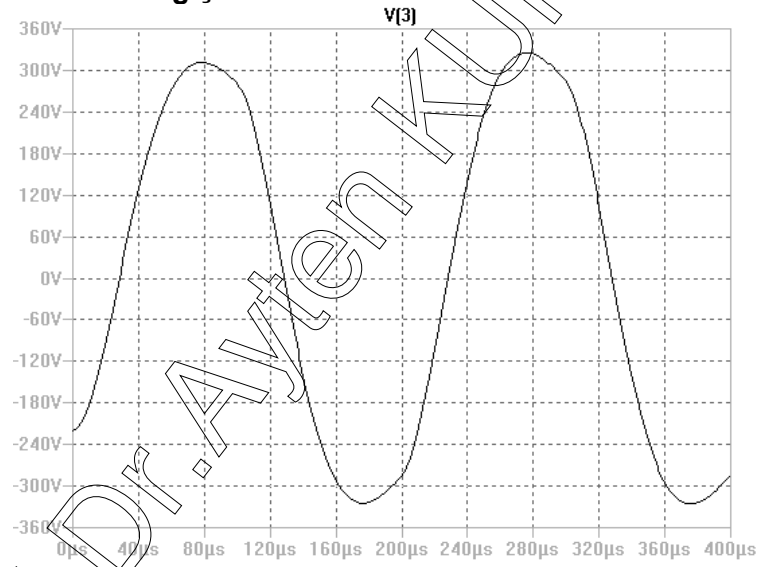
.tran 1u 400u

.probe

.end



Şekil: RLC devresinde direnc üzerindeki akımın zamanla değişimi



Şekil: RLC devresinde kondansatör üzerindeki gerilimin zamanla değişimi

Distorsiyon Analizi:

Distorsiyon analizinde devrelerin küçük-ışaret distorsiyon analizi yapılır. Yazılımı AC analize benzer. İlk olarak .disto komutu yazılır. Daha sonra taramanın dec/oct/lin değişimlerden hangisi ile yapılmak istendiği belirlenir. Daha sonra herbir dec/oct/lin deki nokta sayısı yazılır. Son olarak taramanın yapılacağı başlangıç ve bitiş frekans değerleri yazılır.

Genel form:

```
.DISTO DEC ND FSTART FSTOP  
.DISTO OCT NO FSTART FSTOP  
.DISTO LIN NP FSTART FSTOP
```

Örnek:

```
.DISTO DEC 10 1kHz 100Mhz
```

Gürültü Analizi:

Gürültü analizi .noise komutu ile yapılır. Daha sonra çıkış gürültüsü ölçülmek istenen nokta yazılır. Giriş kaynağı da yazıldıktan sonra hesaplanmak istenen frekans aralığı ac analizde olduğu gibi yazılır.

Genel form:

```
.NOISE V(OUTPUT) V(INPUT) ( DEC | LIN | OCT )  
PTS FSTART FSTOP
```

Örnek:

```
.NOISE V(5) VIN DEC 10 1kHz 100Mhz
```

.NOISE V(5,3) V1 OCT 8 100 10kHz

Simetrik CMOS OTA' nın gürültü analizi

Kod:

*Simetrik CMOS Ota

Vdd 1 0 dc 2.5V

Vss 3 0 dc -2.5V

Vn 5 0 dc 2v

Vp 9 0 dc 0v

M1 4 5 6 6 NMOS L=1U W=2U

M2 7 9 6 6 NMOS L=1U W=2U

M7 2 2 3 3 NMOS L=1U W=2U

M8 8 2 3 3 NMOS L=1U W=2U

M3 4 4 1 1 PMOS L=1U W=5U

M4 7 7 1 1 PMOS L=1U W=5U

M5 2 4 1 1 PMOS L=1U W=4U

M6 8 7 1 1 PMOS L=1U W=4U

IB 6 3 DC 100uA

*vx 8 0 dc 0V

.MODEL NMOS NMOS (bu örnekte TUBITAK 3μ model
parametreleri kullanılmıştır.)

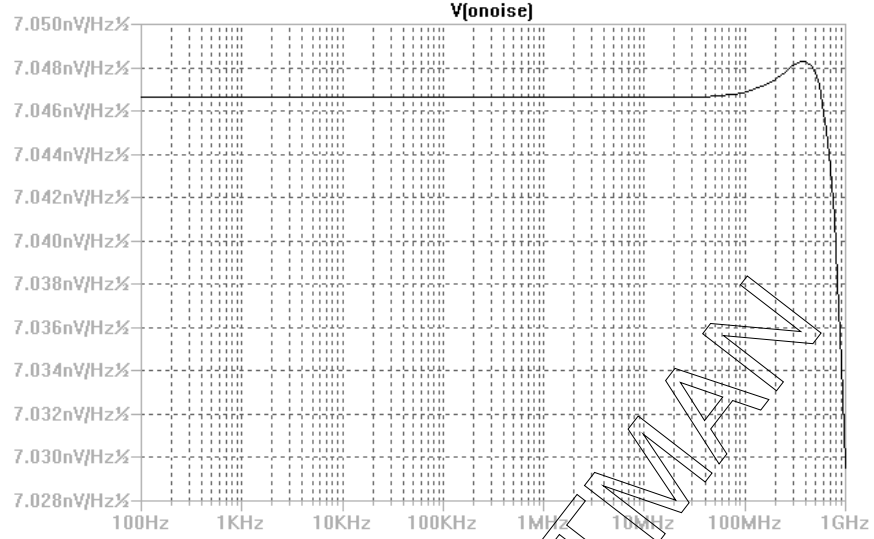
.MODEL PMOS PMOS (bu örnekte TUBITAK 3μ model
parametreleri kullanılmıştır.)

*.dc vn -2 2 0.1 ib 10u 100u 20u

.NOISE V(8) VN OCT 8 100 1000000kHz

.probe

.end



Şekil: CMOS OTA' nın gürültü analizi

9. Lay-out editör kavramı (wikipedia)

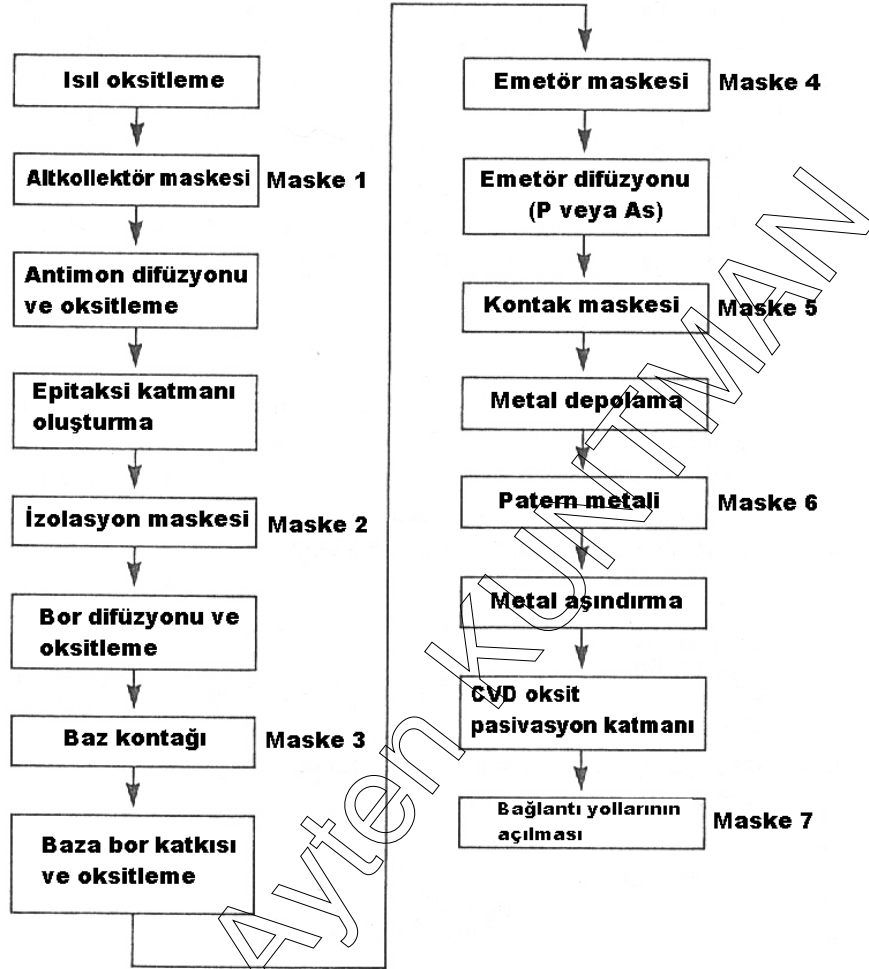
Tümdevre serimi, IC serim, IC maske serimi veya maske tasarımı olarak da bilinir. Tümdevrenin, metal, oksit, yarıiletken desenleri ve yüzeysel geometrik şekillerle ifade edilmesidir.

Standart bir proseste tümdevrenin çalışması geometrik şekillerin pozisyonuna ve bağlantılarına bağlıdır. Bir serim mühendisinin görevi bütün tasarım koşullarını sağlayacak şekilde elemanları kırıma yerleştirmek ve bağlantılarını yapmaktır. Dikkat edilmesi gereken ana özelliklerden bazıları performans, büyüklük ve üretilebilirliktir.

Serim, doğrulama denilen bir dizi testten geçirilir. En önemli iki doğrulama adımı Tasarım Kuralları Kontrolü(Design Rule Checking (DRC)) ve Serim Şematik Karşılaştırması(Layout Versus Schematic (LVS))' dır. Doğrulama yapıldıktan sonra veriler endüstride işlenmeye uygun hale getirilir ve tümdevre haline getirme aşamasına geçilir.

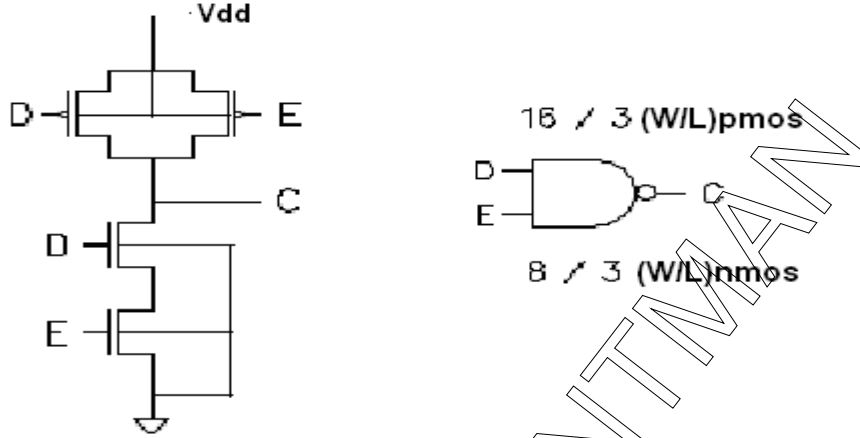
Bilgisayar destekli tasarımlar kullanılmaya başlanmadan önce, serim opak filmler kullanılarak elle yapıldı. Günümüzde IC

serimler bilgisayar programlarıyla(EDA tools, L-Edit, Lasi, Electric..) yapılmaktadır.



Spice ve serime Örnek uygulamalar

CMOS-NAND Kapısı:



Doğruluk Tablosu:

C Çıkışı		E girişi	
		0	1
D Girişi	0	1	1
	1	1	0

Spice_dosyası:

*nand

vdd 1 0 dc 5V

m1 2 4 1 1 pmod W=16u L=3u

m2 2 5 1 1 pmod W=16u L=3u

m3 2 4 3 0 nmod W=8u L=3u

m4 3 5 0 0 nmod W=8u L=3u

.MODEL NMOS NMOS (bu örnekte LEVEL=3 Model parametreleri kullanılmıştır.)

.MODEL PMOD PMOS (bu örnekte LEVEL=3 Model parametreleri kullanılmıştır.)

v1 4 0 pulse(0 5V 1n 0 0 10n 15n)

v2 5 0 pulse(0 5V 5n 0 0 15n 20n)

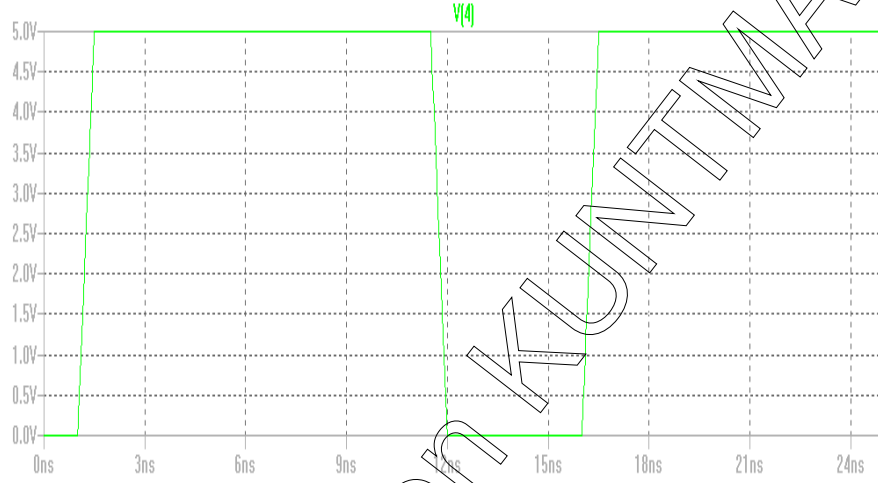
.tran 0.1n 25n

.probe

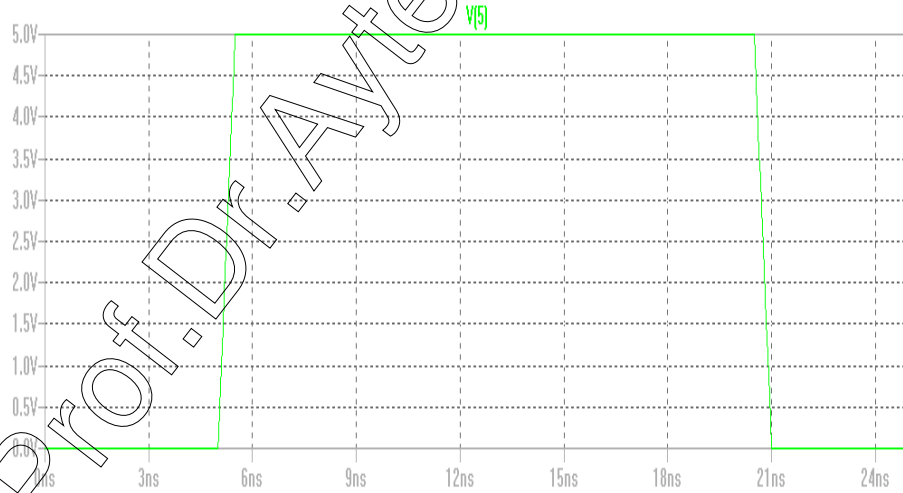
.end

Giriş işaretleri:

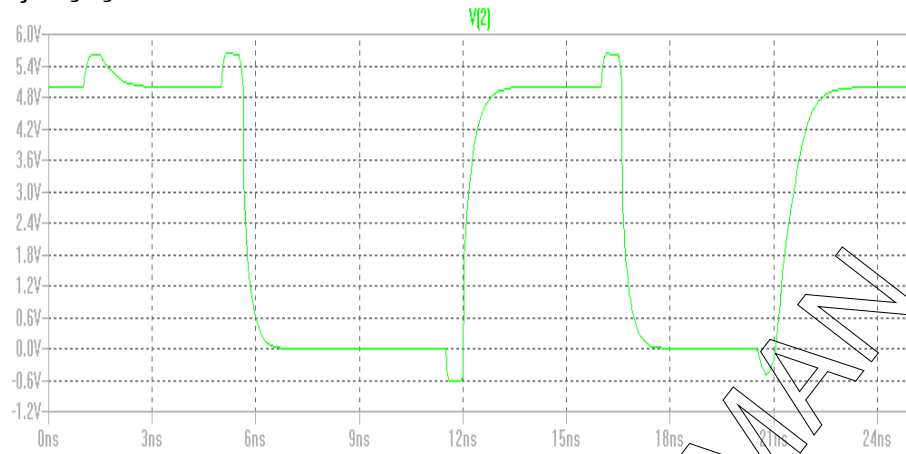
Vd:



Ve:

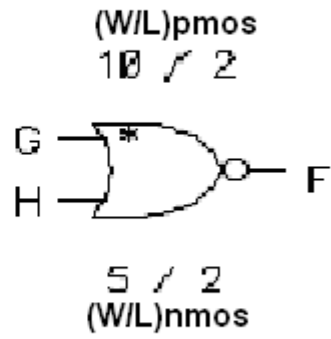
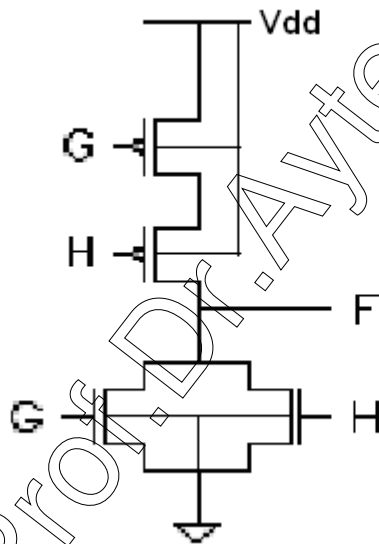


Çıkış işareti:



ÖRNEKLER:

CMOS-NOR Kapısı:



Doğruluk Tablosu:

F Çıkışı		H girişi	
		0	1
G Girişi	0	1	0
	1	0	0

Spice_dosyası:

*nor

vdd 1 0 dc 5V

m1 2 4 1 1 pmod W=10u L=2u

m2 3 5 2 1 pmod W=10u L=2u

m3 3 4 0 0 nmod W=5u L=2u

m4 3 5 0 0 nmod W=5u L=2u

.MODEL NMOD NMOS (LEVEL=3 model parametreleri)

.MODEL PMOD PMOS (LEVEL=3 model parametreleri)

v1 4 0 pulse(0 5V 2n 0 0 5n 10n)

v2 5 0 pulse(0 5V 3n 0 0 4n 15n)

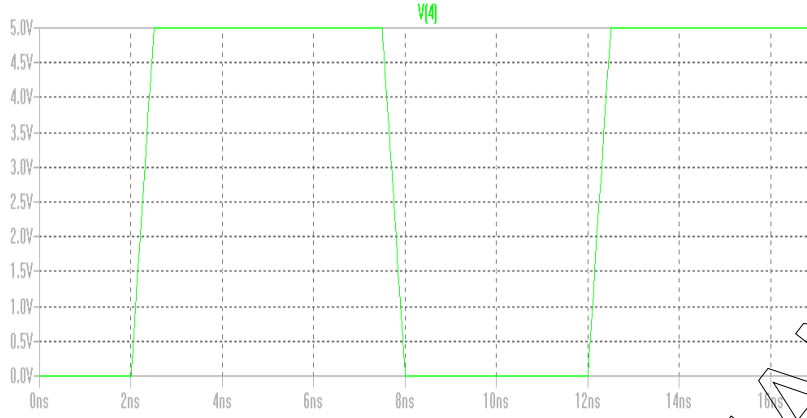
.tran 0.1n 17n

.probe

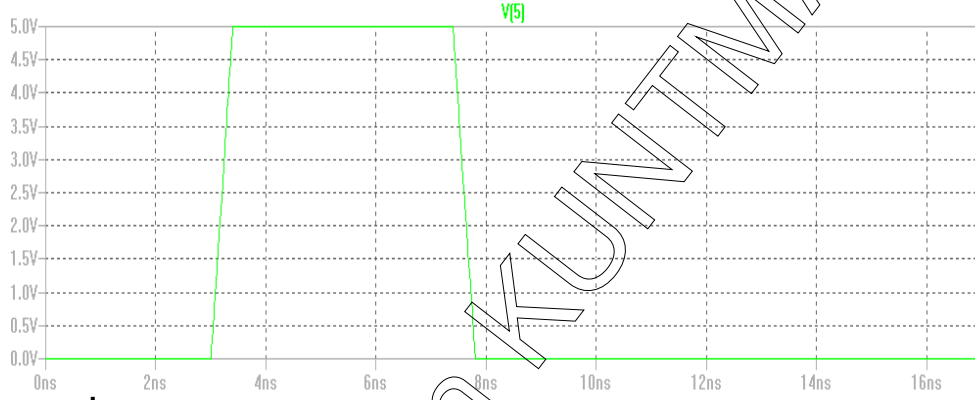
.end

Giriş İşaretleri:

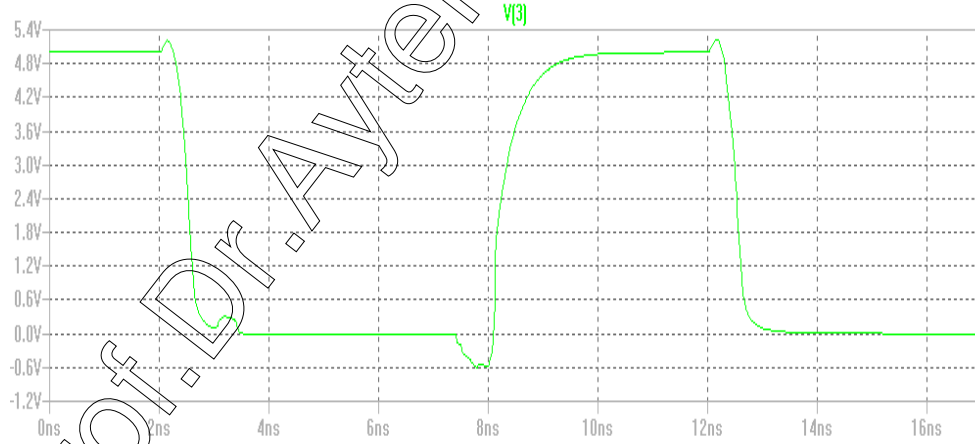
Vg:



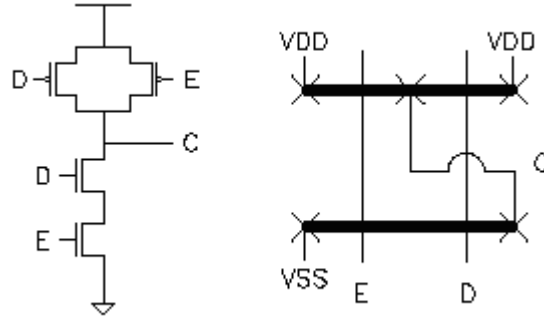
Vh:



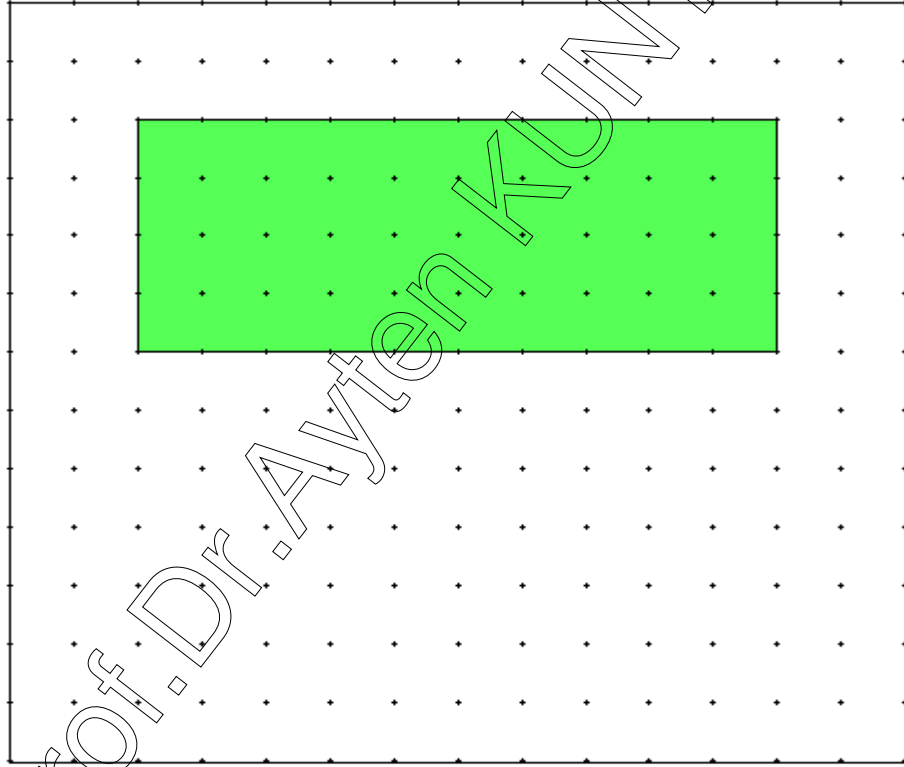
Çıkış İşareti:



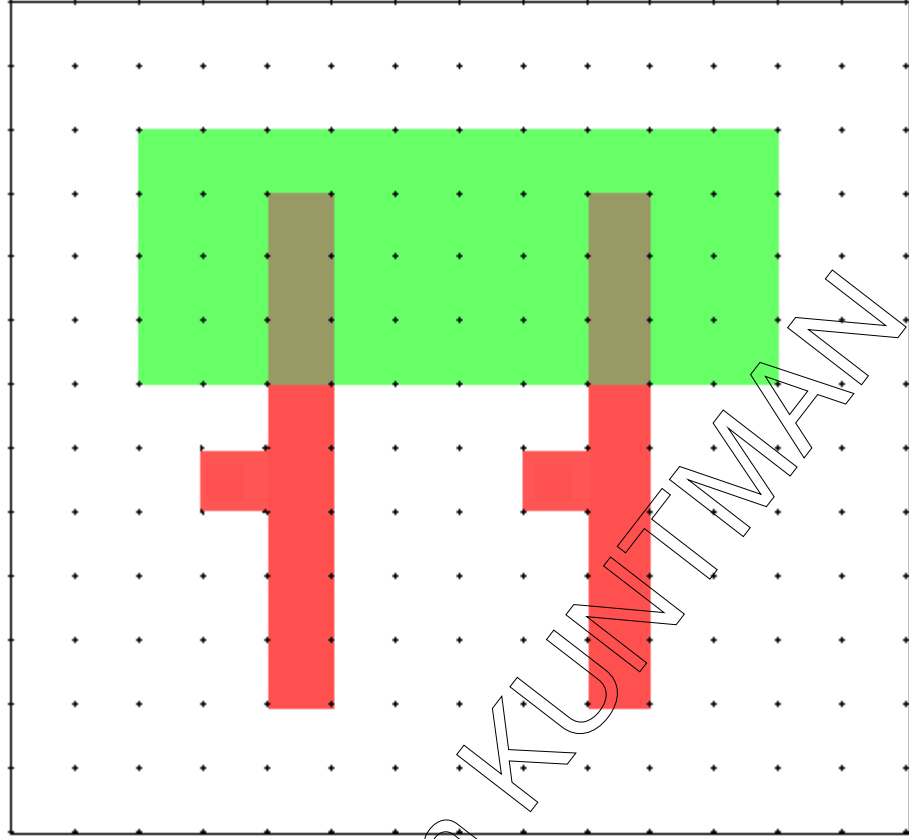
NAND Kapısı Maskeleri:



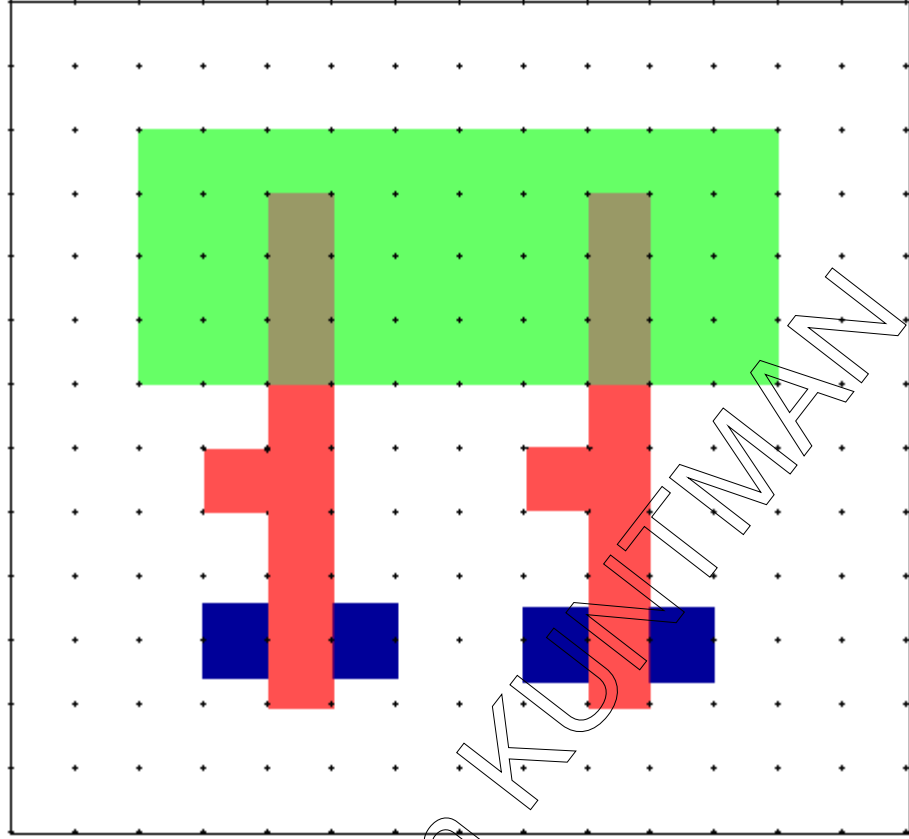
Şekil.1:CMOS NAND Kapısı ve stick diyagramı
MASKELER:



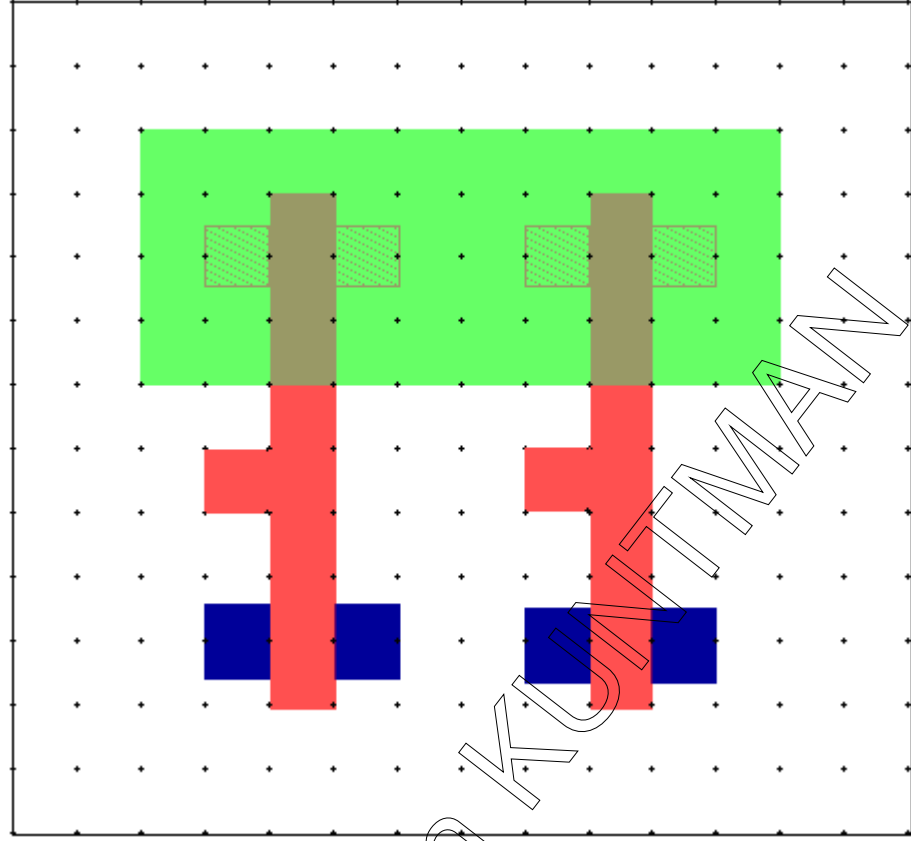
n-kuyu oluşturulması



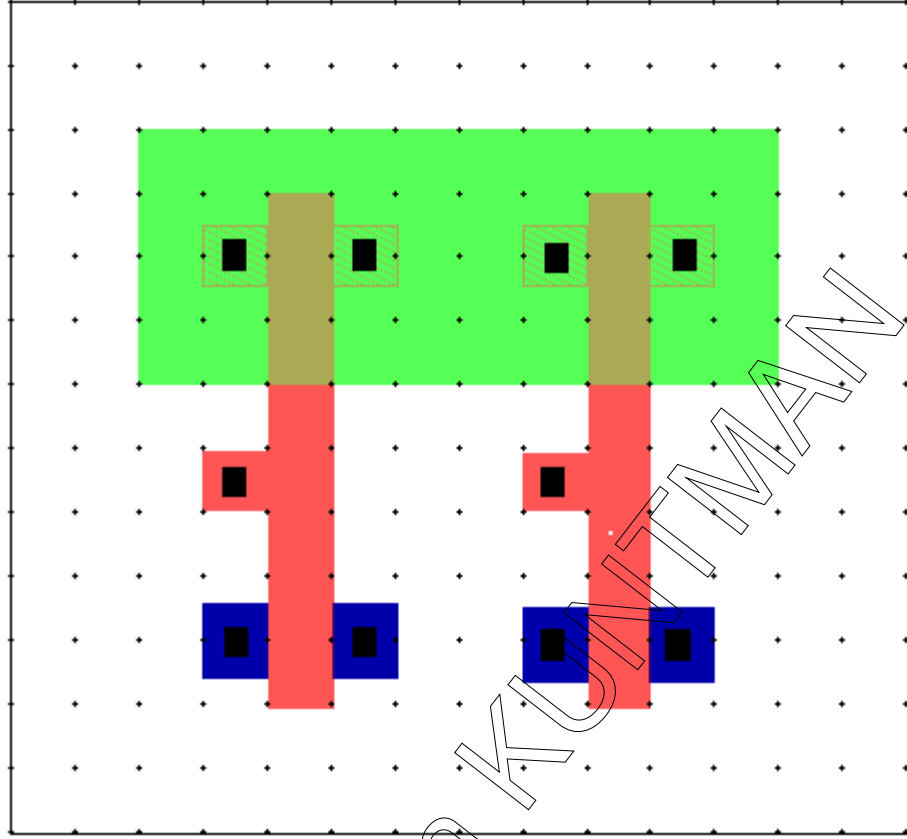
2.Geçit bölgesinin oluşturulması



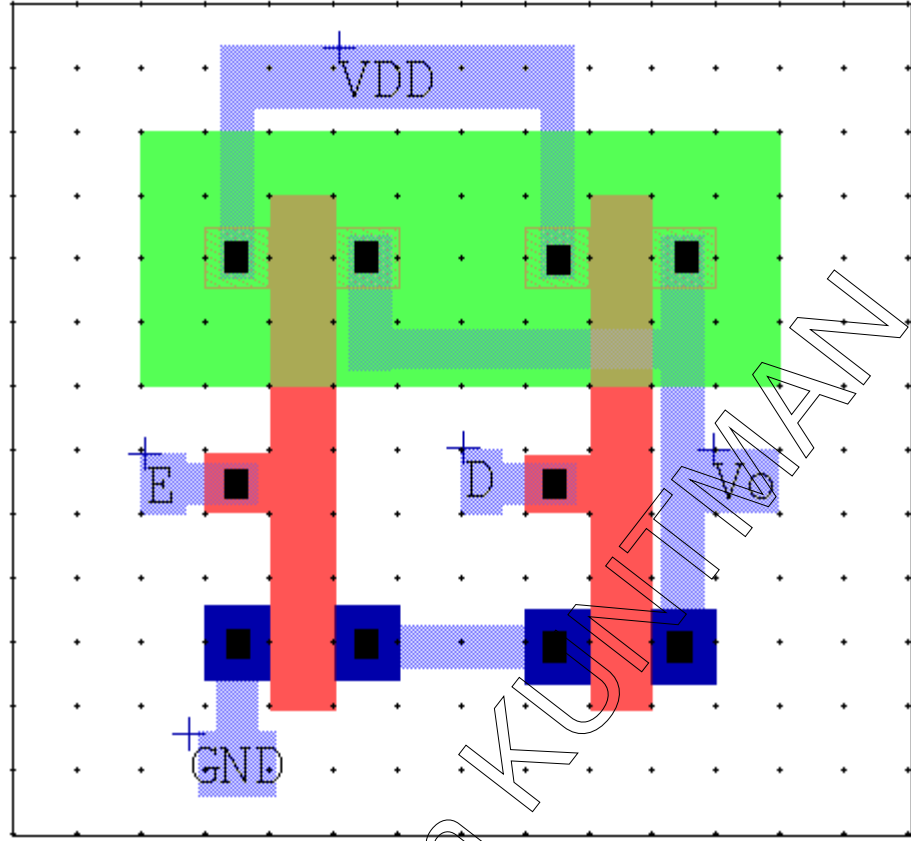
3.N+ difüzyonu



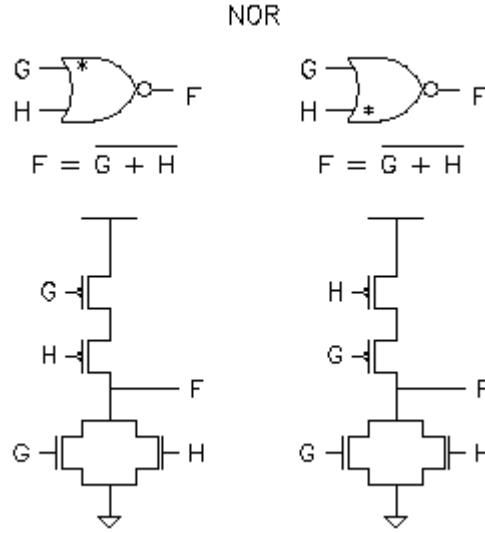
4.P+ difüzyonu



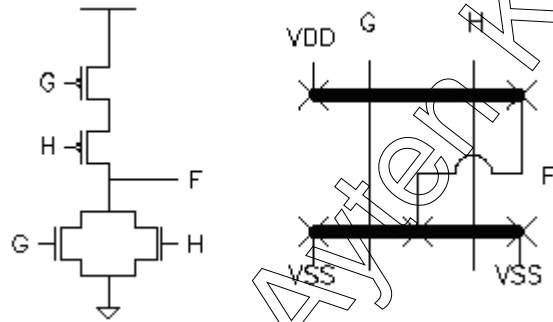
5.Kontaklar



6.Metalizasyon ve bağlantılar

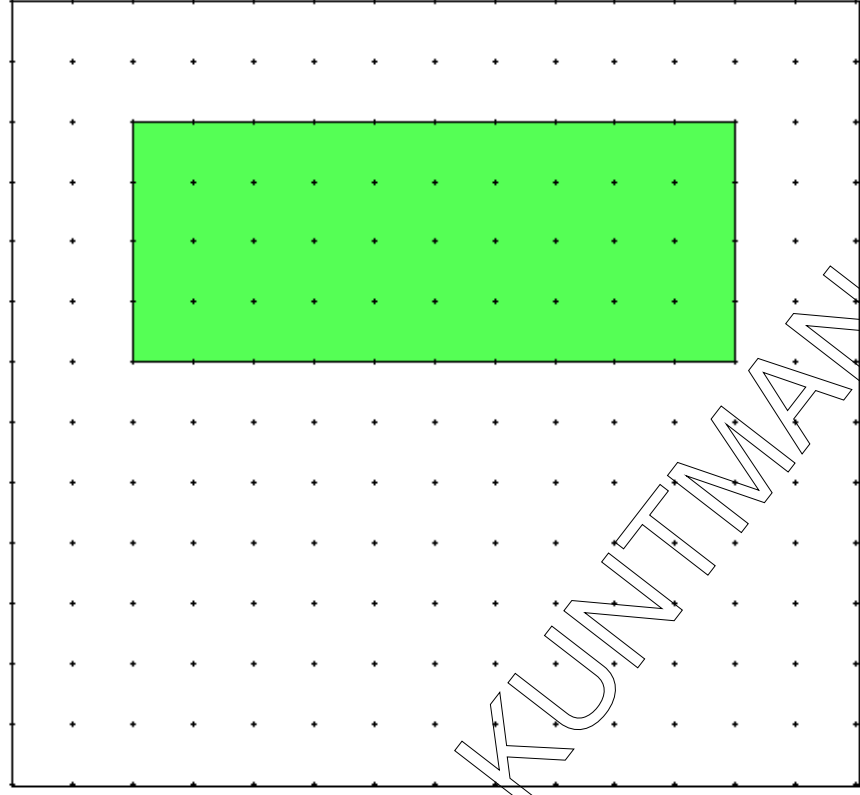


Şekil.3:CMOS NOR Kapısı yapıları

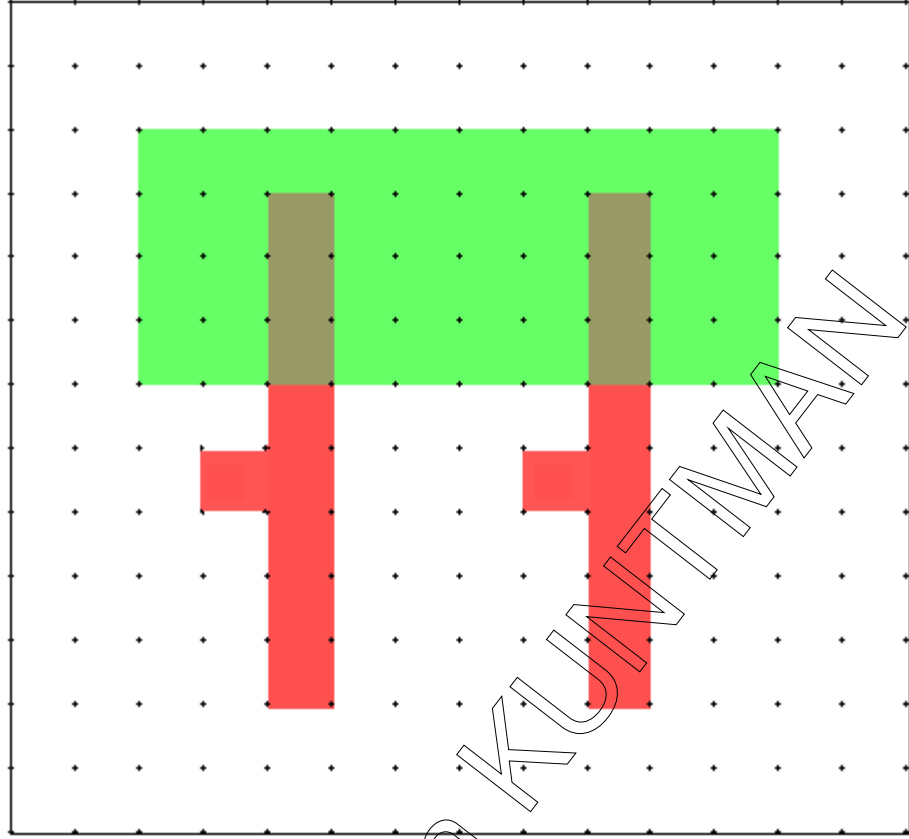


Şekil.4: Layout'ı çizilecek olan CMOS NOR Kapısı ve stick diyagramı

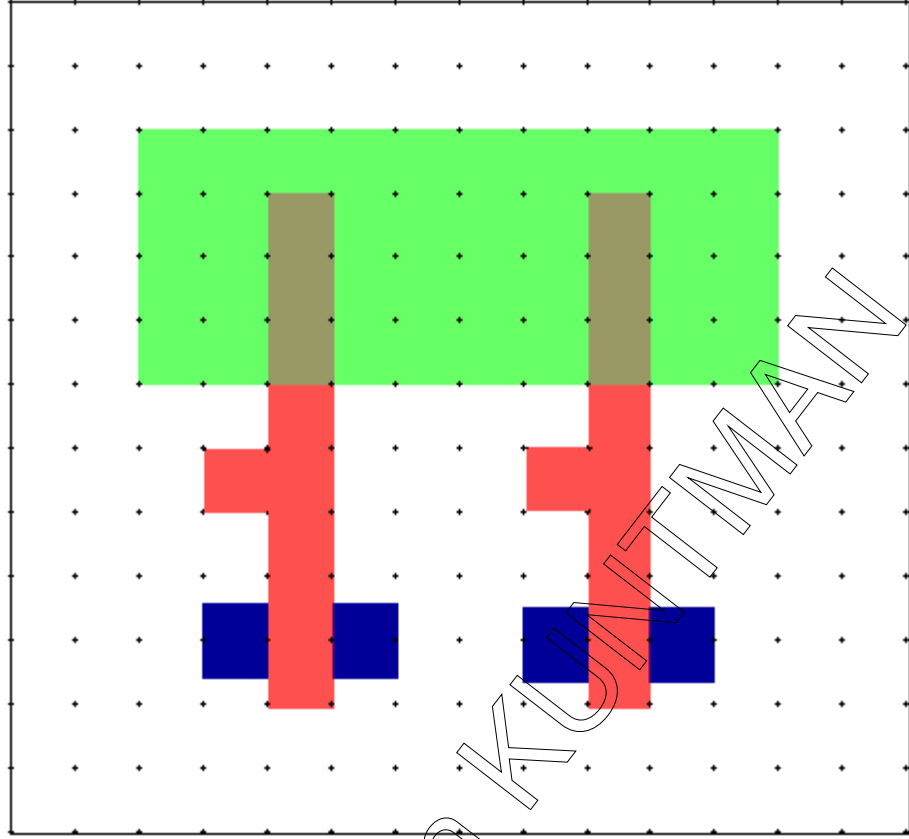
MASKELER:



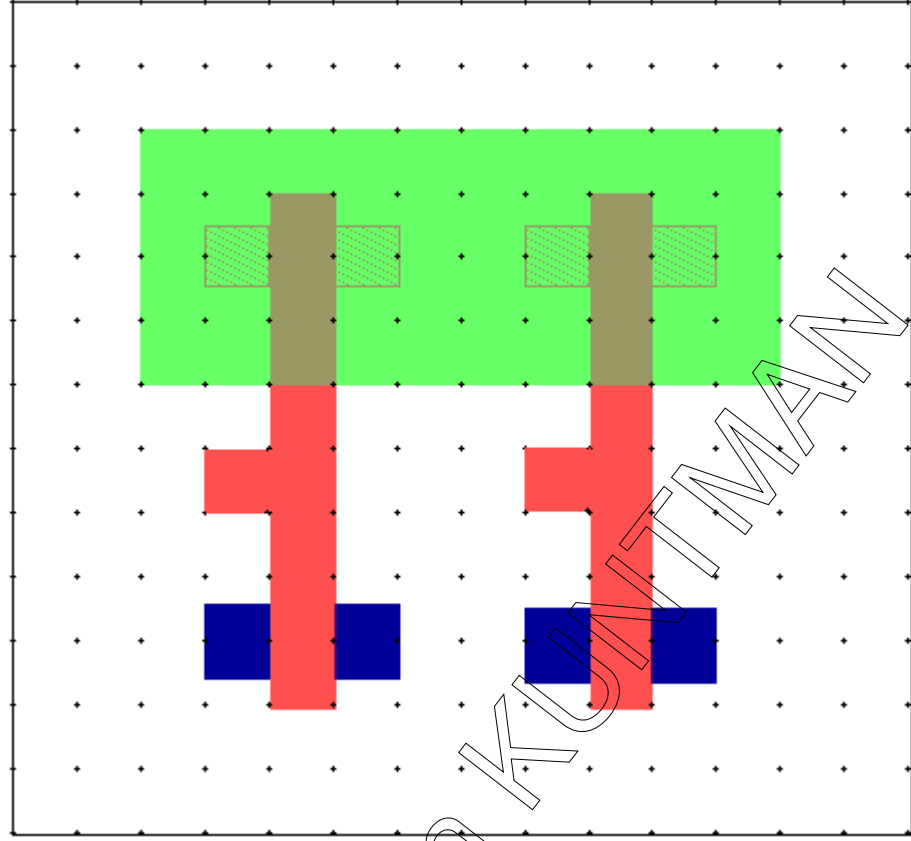
1.n-kuyu oluřturulması



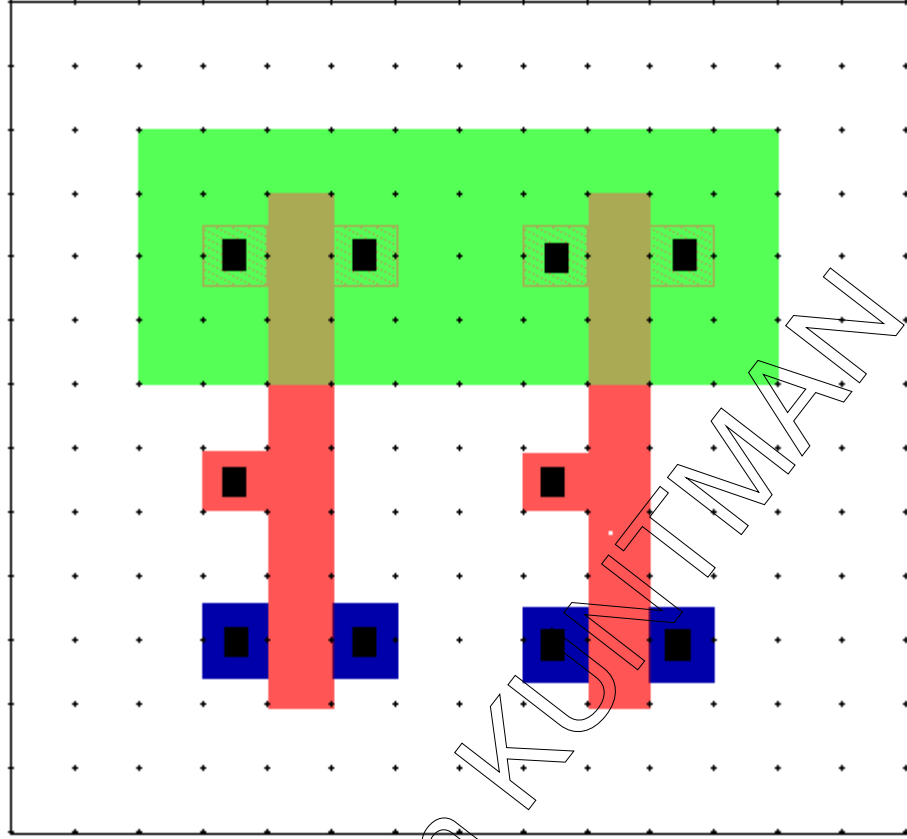
2.Geçit bölgesinin oluşturulması



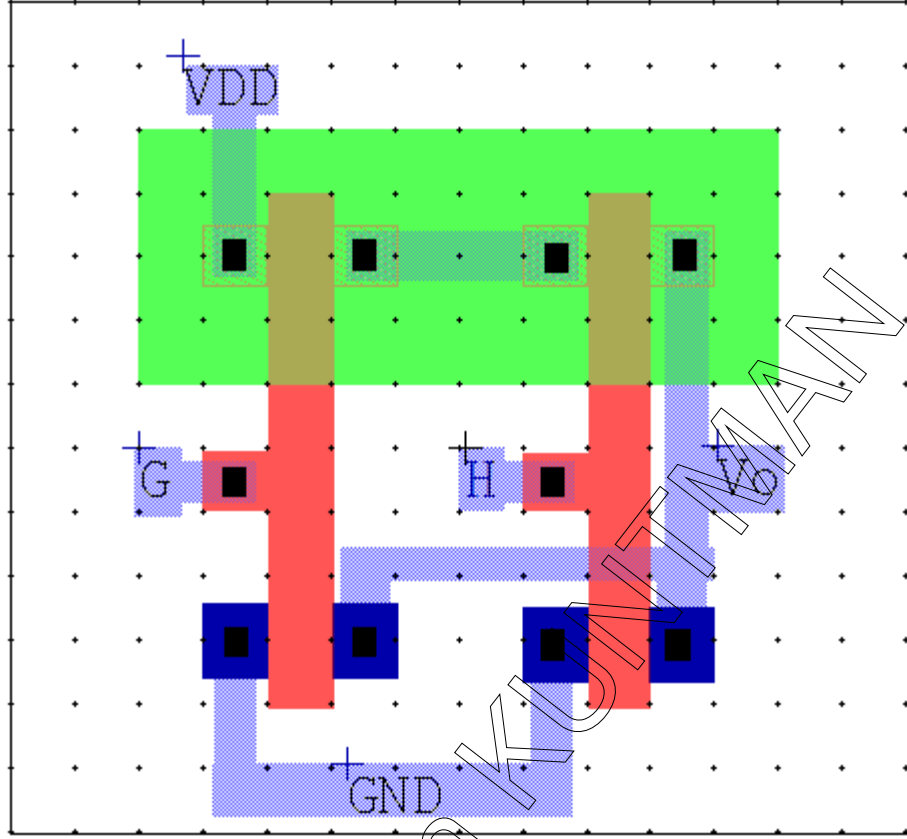
3. N⁺ difüzyonu



4.P+ difüzyonu



5.Kontaklar



6. Metalizasyon ve bağlantılar

TÜMDEVRE TEKNOLOJİSİ DERSİ UYGULAMA PLANI

1. Spice programının tanıtımı. Temel yarıiletken devre elemanlarının(diyot, bjt, mosfet) akım-gerilim eğrilerinin çıkarılması.
2. L-edit programının tanıtılması.

3. Spice programıyla temel analog işlem bloklarının(akım aynası,
4. L-edit programıyla Bipolar tranzistör ve akım aynası layoutunun hazırlanması
5. Spice programıyla temel analog işlem bloklarının(akım aynası,
NMOS ve CMOS eviriciler, basit kuvvetlendirici yapıları) incelemesi.
6. L-edit programıyla MOS tranzistor ve CMOS Evirici layoutunun hazırlanması
7. Spice ve L-edit programlarının kullanıldığı uygulama.
(NOR Kapısı)

10. SORULAR

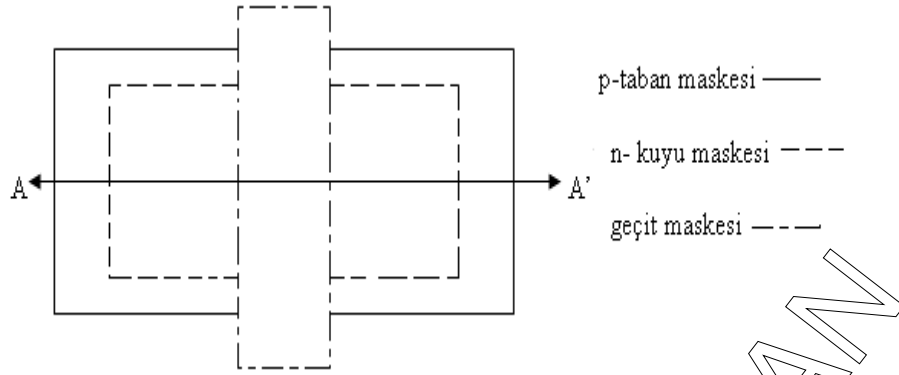
1. Bir tümdevre direncin uçlarına 4V'luk gerilim uygulandığında 2mA' lik akım akıtmaktadır. Bu tümdevre direncin üretim yöntemini belirleyerek $\frac{L}{W}$ oranını bulunuz. Bu tümdevre direncin düşey kesitini çiziniz.

2. Bir p-n jonksiyonunda katkı yoğunlukları $N_A = 5.10^{15} \text{ atom/cm}^3$, $N_D = 10^{16} \text{ atom/cm}^3$ kritik alan şiddeti $E_{\text{Kritik}} = 3.10^5 \text{ V/cm}^3$ olduğuna göre ,
a. jonksiyonun belverme gerilimini bulunuz. $\epsilon = 1.04.10^{-12} \text{ F/cm}$
b) p tipi için fakirleşmiş bölge kalınlıklarını bulunuz.

3. Katkı yoğunlukları $N_A = 2.10^{15} \text{ atom/cm}^3$ ve $N_D = 5.10^{16} \text{ atom/cm}^3$ olan sert geçişli bir p-n jonksiyonunun belverme gerilimi 30 V olduğuna göre, p tipi bölge için fakirleşmiş bölge kalınlığını hesaplayınız.

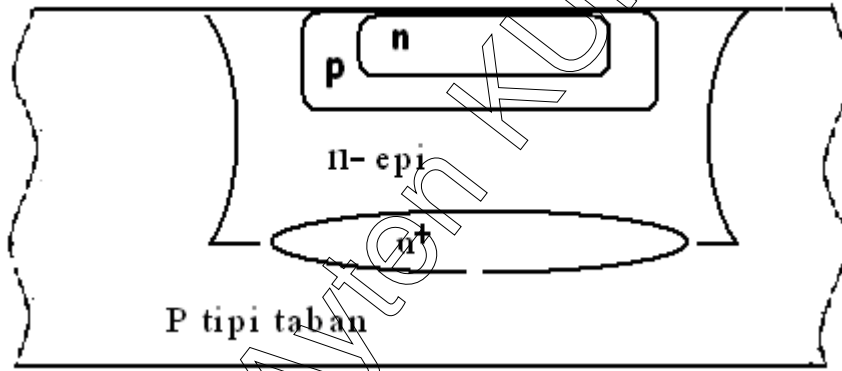
4. n tipi katkı yoğunluğu $10^{18} \text{ atom/cm}^3$ olan 4 μm kalınlığındaki difüzyon bölgesinin tabaka direncini hesaplayınız.

5. a) Şekil 1' de serimi(layout) verilen yapının A-A' doğrultusundaki düşey kesitini çiziniz.



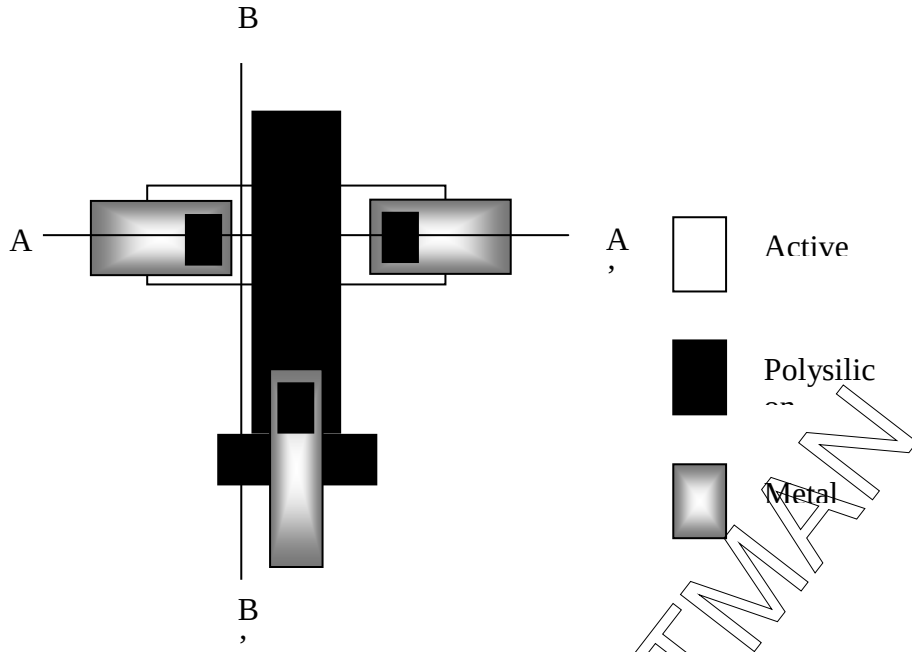
Şekil.1: Tümdevre yapının layoutu

b) Şekil 2' de düşey kesiti verilen yapının maskelerini çizip layoutunu oluşturunuz.



Şekil.2: Tümdevre yapının düşey kesiti

6.a) MOSFET üretim aşamalarından hareketle serimi aşağıda verilen elemanın A-A' doğrultusundaki düşey kesitini çiziniz.



b) Entegre devre üretiminde metalizasyon prosesinin ana amacı nedir?

c) Entegre devre üretiminde polisilisyum prosesinin ana amacı nedir?

7.a) MOSIS serim tasarım kurallarından yararlanarak bir CMOS eviricinin kırmık üzerindeki yerleşim alanını hesaplayınız. Hesaplarda kullanılan minimum boyutları çizerek gösteriniz. ($\lambda = 0.5 \mu\text{m}$)

b) Kontak maskesini çizerek gösteriniz.

8. Bir p kanallı MOS transistorün kaynak ve savak bölgeleri $10^{19} 1/\text{cm}^3$ yoğunlukla katkılanıyor. Difüzyon derinliği $3 \mu\text{m}$ olduğuna göre;

a) Bu bölgenin tabaka direncini hesaplayınız.

b) Bölgenin direncinin 50Ω olması için L/W oranı ne olur?

$$\mu_p = 70 \text{ cm}^2 / \text{V.s}$$

9. Bir P-kanallı MOS tranzistörde proses parametreleri $N_D=10^{16}$ $1/cm^3$, $N_D=10^{20}$ $1/cm^3$, $N_{OX}=4 \times 10^{10}$ $1/cm^3$, $t_{ox}=0.1$ μm , $q=1.6 \times 10^{-19}$ C, $V_{SB}=0$, $\epsilon_{rsiO2}=4$, $\epsilon_{rsi}=11.7$, $\epsilon_0=8.86 \times 10^{-14}$ F/cm, $\Phi_{GS}=-0.2014$ V, $Q_{BO}=4.81 \times 10^{-8}$ C/cm², $n_i=1.5 \times 10^{10}$ $1/cm^3$ ' dir. Bu tranzistörün eşik gerilimini hesaplayınız.

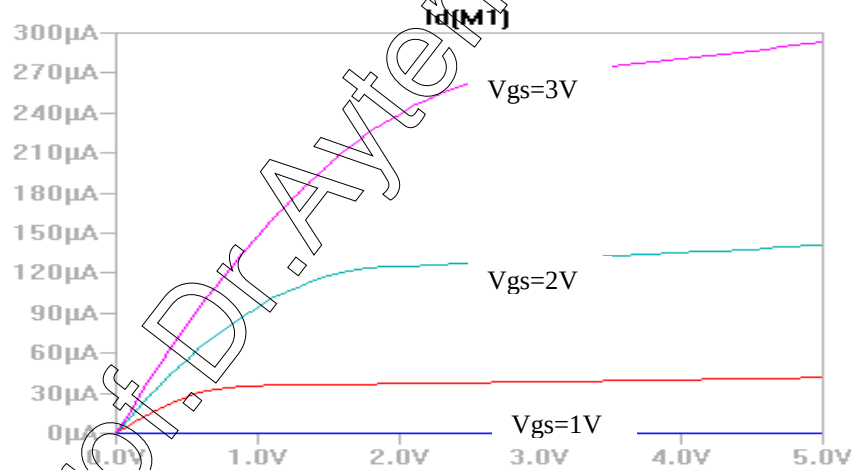
10. Bir MOS tranzistörde kaynak-savak difüzyonu katkı yoğunluğu $N_A=10^{20}$ $1/cm^3$, jonksiyon derinliği $3 \mu m$ ve direnci 100Ω olduğuna

göre kaynak-savak bölgesinin $\frac{W}{L}$ oranını bulunuz. ($\mu=500$ cm²/V.sn, $q=1.6 \times 10^{-19}$ C).

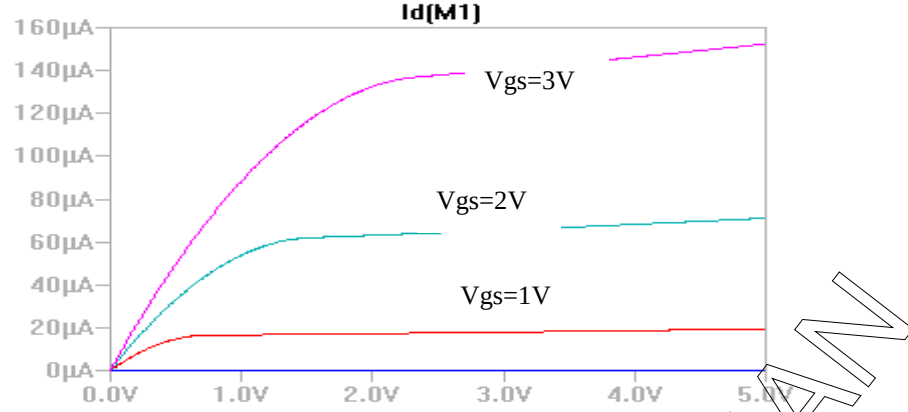
11. Şekil 1 ve Şekil 2' de NMOS ve PMOS' un I_d - V_d eğrileri görülmektedir. Bu tranzistörler kullanılarak bir CMOS evirici tasarlanmak istenmektedir. Evirici 5V' luk kaynakla beslenecek ve 10pF' lık kapasitif yükü sürecektir. Eviricinin;

- a) Lojik 0 gerilimini
- b) Evirtim noktasını
- c) Aşağı gecikmesini
- d) Yukarı gecikmesini

hesaplayınız. ($\mu_N C_{OX}=130 \mu A/V^2$, $\mu_P C_{OX}=10 \mu A/V^2$)



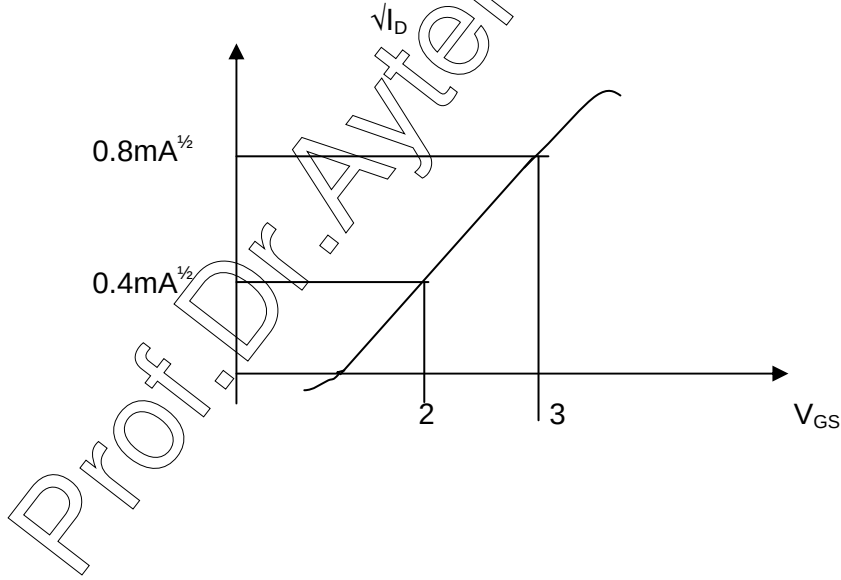
Şekil.1: NMOS' un I_d - V_d eğrisi



Şekil. 2: PMOS' un Id-Vds eğrisi

12. Bir NMOS tranzistor için V_{GS} 'nin $\sqrt{I_D}$ ile değişimi Şekil' de görülmektedir. $\mu C_{OX} = 60 \mu A/V^2$ ve $V_{BS} = 0$ olarak verilmiştir. Bu tranzistörün;

- Eşik gerilimi nedir?
- Hangi çalışma bölgesinde çalışmaktadır?
- Tranzistorun β ve W/L oranını hesaplayınız.

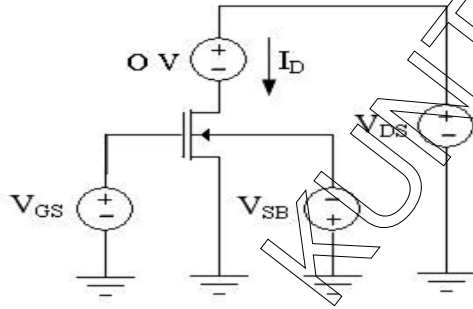


13. Şekildeki nMOS transistörün farklı kutuplama şartlarında oda sıcaklığındaki I-V karakteristiği verilmiştir. Buna göre;

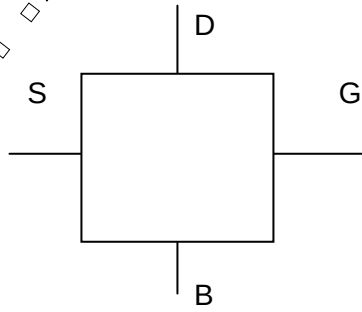
- Eşik gerilimini V_{TO} ,
- Elektron mobilitesi μ_n ,
- Gövde etkisi katsayısı γ (gamma)'yı bulunuz.

$$W/L=1.0, t_{ox} = 150 \text{ Å}, |2\Phi_F| = 0.64 \text{ V}$$

$V_{GS}(V)$	$V_{DS}(V)$	$V_{SB}(V)$	$I_D(mA)$
4	4	0.0	256
5	5	0.0	441
4	4	2.6	144
5	5	2.6	256



14. Bir N-kanallı MOS tranzistöre gerilim uygulanmadığı durumda tranzistörde oluşan kapasiteleri hesaplayınız ve aşağıdaki şekil üzerinde gösteriniz. Tranzistörün çizilen kanal genişliği ve kanal boyu sırasıyla 90μ , 6μ 'dır. Proses parametreleri: $L(\text{overlap})=0.3\mu$, $t_{ox}=100 \text{ Å}$, $\epsilon_{rsi}=11.7$, $\epsilon_{rsiO2}=4$, $\epsilon_0=8.85 \times 10^{-14} \text{ F/cm}$.



15. Bir CMOS eviricide $K_p = \mu_p C_{ox} = 10 \mu A/V^2$, $K_n = \mu_n C_{ox} = 30 \mu A/V^2$, $V_{TD} = 1V$, $V_{TL} = -2V$ olarak verilmiştir. $V_{inv} = V_{DD}/2$ olması istenmektedir.

- a) $(W/L)_D$ ve $(W/L)_L$ oranları oranı ne olmalıdır?
b) Gecikme sürelerinin birbirine eşit olması için $(W/L)_D/(W/L)_L$ oranı ne olmalıdır? $C_L = 5pF$

16. Bir akım aynasında besleme gerilimi 5V, $I_{ref} = 1mA$, $V_T = 26mV$, $I_S = 10^{-15} A$ ve $\beta \gg 1$ olduğuna göre ($I_{C1} = I_{ref} = I_S e^{(V_{BE}/V_T)}$)

- a) $V_{BE} = ?$
b) $R_1 = ?$
c) R_1 direnci proses sırasında hangi adımda gerçekleştirilebilir?

17.a) Bir npn tranzistörde $40^\circ C$ sıcaklıkta sıfır kutuplamada $50 \mu m^2$ alanda oluşacak maksimum kolektör-baz kapasitesini hesaplayınız.

(Epi bölgesinin katkı yoğunluğu $5 \times 10^{15} cm^{-3}$, baz bölgesinin katkı yoğunluğu $8 \times 10^{19} cm^{-3}$, $\epsilon_0 = 8.86 \times 10^{-14} F/cm$, $\epsilon_{rsi} = 11.8$, $n_i = 1.5 \times 10^{10} atom/cm$, $q = 1.6 \times 10^{-19} C$, $k = 1.38 \times 10^{-23} J/K$.)

b) Aynı değerdeki kapasite MOS kapasite olarak oluşturulursa ne kadar kırmık alanı gerekir? $\epsilon_{rsi02} = 4$, $t_{ox} = 1000 \text{Å}$.

18. Bipolar npn tranzistörde çizilen baz bölgesi boyutları $W = 40 \mu m$, $L = 30 \mu m$ difüzyon derinliği $4 \mu m$ ve baz bölgesi direnci 50 ohm olduğuna göre bölgenin katkı yoğunluğunu hesaplayınız?
 $\mu = 120 cm^2/V.s$, $q = 1.6 \cdot 10^{-19} C$.

19 . Bir npn tranzistorun çizilmiş boyutları

Emetör bölgesi	20 μm x25 μm
Gömük tabaka	41 μm x65 μm
Epi bölgesi	140 μm x75 μm
Kollektör kontağı	18 μm x49 μm
Baz bölgesi	60 μm x45 μm
İzolasyon difüzyonu	10 μm x15 μm

Olduğuna göre bu tranzistorun çip üzerinde kapladığı alanı hesaplayınız.

20. Bipolar npn tranzistörün baz-emetör gerilimi $V_{BE} = 550 \text{ mV}$, kolektör akımı $I_c = 10 \text{ } \mu\text{A}$, emetör alanı, $4 \text{ mil} \times 4 \text{ mil}$ olduğuna göre baz bölgesi katkı yoğunluğunu hesaplayınız $\phi_B = ?$ $D_n = 13 \text{ cm}^2/\text{s}$ (sabit) , $V_T = 26 \text{ mV}$ (300 °K)
 $1 \text{ mil} = 25.4 \text{ } \mu\text{m} = 25.4 \times 10^{-4} \text{ cm}$

21. a) Bipolar tümdevre tasarımı için seri baz bölgesi direncinin 200 ohm olması isteniyor. Bunun sebebi nedir?

b) Baz bölgesi için L/W oranını bulunuz. difüzyon kalınlığı $= 25 \text{ } \mu\text{m}$ bu bölgedeki katkı yoğunluğu $5.10^{15} \text{ atom/cm}^3$

c) Baz bölgesinin boyutlarını bulunuz.

22. Tipik bir npn transistorün sıfır kutuplamada bir yüzey başına düşebilecek maksimum kolektör-baz kapasitesini bulunuz. (300 °K)
Soru 6 : n tipi difüzyon katmanında konsantrasyon yoğunluğu $6.10^{20} \text{ atom/cm}^3$ kalınlığı $2 \text{ } \mu\text{m}$ 'dir. Tabaka direncini hesaplayınız.

23. 45 °C de npn transistorün max kolektör-baz kapasitesini bulunuz.

$$A = 20 \text{ } \mu\text{m}^2 \quad n_i = 1.5.10^{10} \text{ cm}^3 \quad \epsilon = 1.04.10^{-12} \text{ F/cm}$$

$$k = 1.38.10^{-23} \text{ J/K} \quad q = 1.6.10^{-19} \text{ C}$$

Baz bölgesinin katkı yoğunluğu $= 8.10^{19} \text{ atom/cm}^3$ (N_A p tipi katkı yoğunluğu)

Epi bölgesinin katkı yoğunluğu $= 5.10^{15} \text{ 1/cm}^3$ (N_D n tipi katkı yoğunluğu)

24. Klasik bir npn transistor de katkı yoğunluğu $5.10^{20} \text{ atom/cm}^3$ olan fosfor atomlarıyla katılama yapılıyor. Oluşan tabakanın

derinliđi 2 μm olduđuna gre tabaka direncini hesaplayınız. Sz konusu tabaka transistrn hangi blgesini oluřturur? Neden?

25. $V_{BE} = 620 \text{ mV}$ olan transistorn emetr alanı $5 \times 5 \text{ mm}$, 300°K 'de bazın birim alanı bařına katkı yođunluđu $8.10^{12} \text{ atom/cm}^2$ ise transistor n kolektr akımını hesaplayınız. ($D = 13 \text{ cm}^2.\text{sn}$)

26. Tipik bir npn transistorn baz blgesi tabaka direncini $25 \times 15 \mu\text{m}$ 'lik bir alan iin direncini hesaplayınız. Kriterler nedir?

$$N_A = 10^{19} \text{ 1/cm}^3 \quad N_D = 10^{15} \text{ 1/cm}^3 \quad T = 3 \mu\text{m}$$
$$\mu_p = 70 \text{ cm}^2/\text{V.s} \text{ (p tipi iin řekilden)}$$

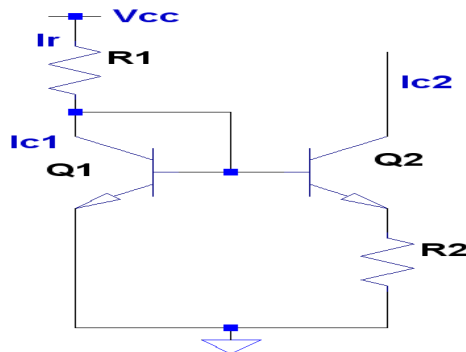
27. Enine bir pnp transistor $0,5 \Omega.\text{cm}$ zgl direnli bir epi tabakası oluřturulmaktadır. Akım kazancının dřmeye bařladıđı kolektr akım deđerini bulunuz.

$$D_p = 10 \text{ cm}^2/\text{s}, \text{ Baz geniřliđi} = 8 \mu\text{m}, \text{ evre} = 40 \times 40 \mu\text{m},$$
$$\mu_n = 0,14.10^4 \text{ cm}^2/\text{V.s}$$
$$\text{Baz blgesinin difzyon derinliđi} \approx 3 \mu\text{m}$$

28. 300°K 'de $V_{BE} = 560 \text{ mV}$, $I_c = 11 \mu\text{A}$, $\phi_B = 10^{12} \text{ atom/cm}^2$
 $D_n = 13 \text{ cm}^2/\text{sn}$ npn transistorn emetr alanını bulunuz.

29. Ařađıdaki řekilde Widlar akım kaynađının devresi grlmektedir.

- Tmleřtirilmiř Widlar akım kaynađının dřey kesidini iziniz.
- Tmdevrenin retiminde kullanılan maske sayısını belirleyiniz ve maskelerin adını yazınız.
- Tmdevrenin emetr maskesini iziniz.
- $I_{C2} = 10 \mu\text{A}$ olması iin R_2 direncinin deđerini hesaplayınız.
- Bu tmdevre direnci hangi proses adımında oluřturulabilir? Aıklayınız. W/L oranını belirleyiniz. ($V_{CC} = 15\text{V}$, $V_{BE} = 0.7\text{V}$, $R_1 = 14.3\text{K}\Omega$, $T = 300 \text{ K}$)



$$V_T \ln \frac{I_{C1}}{I_{C2}} = I_{C2} \times R_2$$

30. a) Standart bipolar yapılarda npn tranzistörün baz direnci $5K\Omega$

olduğuna göre baz bölgesinin $\frac{L}{W}$ oranını bulunuz.

$\mu_n = 1000 \text{ cm}^2/\text{V.s}$ (Katkı konsantrasyonları ile ilgili grafikten yararlanabilirsiniz.)

b) npn tranzistörün seri kolektör direnci neden oluşur? Tranzistörün r_{c1} seri kolektör direncini hesaplayınız. Emeter boyutları $W=15\mu\text{m}$, $L=34\mu\text{m}$, $T=6\mu\text{m}$, kolektör bölgesinin öz direnci $\rho=5\Omega\text{-cm}$, $\mu_n=1000 \text{ cm}^2/\text{V.s}$.

31. a) Bir tümdevre tasarımında kolektör-baz jonksiyonu kullanılarak 300° K 'de 10pF değerinde bir kapasite elde edilmek isteniyor. Bu kapasite için gerekli çip alanını hesaplayınız. $N_D=10^{15} \text{ 1/cm}^3$, $N_A=10^{19} \text{ 1/cm}^3$, $V_T=26\text{mV}$, $n_i=1.5 \times 10^{10} \text{ 1/cm}^3$, $q=1.6 \times 10^{-19} \text{ C}$, $\epsilon=1.04 \times 10^{-12} \text{ F/cm}$

b) p- bölgesindeki fakirleşmiş bölge genişliğini hesaplayınız.

32. Bir CMOS evincide $K_p=\mu_p C_{ox}=10\mu\text{A/V}^2$, $K_n=\mu_n C_{ox}=30\mu\text{A/V}^2$, $V_{TD}=1\text{V}$, $V_{TL}=-2\text{V}$ olarak verilmiştir. $V_{inv}=V_{DD}/2$ olması istenmektedir.

a) $(W/L)_D$ ve $(W/L)_L$ oranları oranı ne olmalıdır?

b) Gecikme sürelerinin birbirine eşit olması için $(W/L)_D/(W/L)_L$ oranı ne olmalıdır? $C_L=5\text{pF}$

33. Bipolar npn tranzistorda çizilen baz bölgesi boyutları $W=40 \mu\text{m}$ $L=30 \mu\text{m}$ difüzyon derinliği $4 \mu\text{m}$ ve baz bölgesi

direnci 50 ohm olduğuna göre bölgenin katkı yoğunluğunu hesaplayınız? $\mu=120 \text{ cm}^2/\text{V.s}$, $q=1,6 \cdot 10^{-19} \text{ C}$.

34. Bir pn jonksiyonunun $N_D = 10^{15} \text{ 1/cm}^3$ $N_A=10^{16} \text{ 1/cm}^3$ olduğuna göre,

a) Jonksiyonun belverme gerilimini hesaplayınız. $E_{\text{crit}}=3 \cdot 10^5 \text{ V/cm}$.

b) Jonksiyonun p tarafında oluşan fakirleşmiş bölge kalınlığını hesaplayınız.

($V=26 \text{ mV}$, $n_i=1,5 \cdot 10^{10} \text{ 1/cm}^3$, $q=1,6 \cdot 10^{-19} \text{ C}$ $\epsilon=1,04 \cdot 10^{-12} \text{ F/cm}$.)

35. Bir akım aynasında besleme gerilimi 5V, $I_{\text{ref}}=1 \text{ mA}$, $V_T=26 \text{ mV}$, $I_s=10^{-15} \text{ A}$ ve $\beta \gg 1$ olduğuna göre ($I_{C1}=I_{\text{ref}}=I_s e^{V_{BE}/V_T}$)

a) $V_{BE} = ?$

b) $R_1 = ?$

c) R_1 direnci proses sırasında hangi adımda gerçekleştirilebilir?

36. a) Bir npn tranzistorun çizilmiş boyutları

Emetör bölgesi	20 μm x25 μm
Gömük tabaka	41 μm x85 μm
Epi bölgesi	140 μm x75 μm
Kollektör kontağı	18 μm x49 μm
Baz bölgesi	60 μm x45 μm
İzolasyon difüzyonu	10 μm x15 μm

Olduğuna göre (bu tranzistorun çip üzerinde kapladığı alanı hesaplayınız.

36. Bir MOS tranzistörde kaynak-savak difüzyonu katkı yoğunluğu $N_A=10^{19} \text{ 1/cm}^3$, jonksiyon derinliği 3 μm ve direnci 900 Ω olduğuna

göre kaynak-savak bölgesinin $\frac{W}{L}$ oranını bulunuz.

($\mu=500 \text{ cm}^2/\text{V.sn}$, $q=1,6 \cdot 10^{-19} \text{ C}$).

37. n- tipi katkı yoğunluğu 6×10^{20} atom/cm³ olan 2 μ m kalınlığındaki difüzyon bölgesinin tabaka direncini hesaplayınız. Söz konusu difüzyon bir tümdevrede enine pnp tranzistörün hangi bölgesini oluşturur? açıklayınız. $q=1.6 \times 10^{-19}$ C.

38. Doymalı bölgede çalışan bir MOS tranzistörün savak akımı V_{GS} gerilimi 1.5V iken $100\mu A$, V_{GS} gerilimi 0.8V iken $10\mu A$ ' dir. Eşik altı iletimin ihmal ederek ve mobilitenin de değişmediğini kabul ederek, tranzistörün eşik gerilimini ve $\mu_n C_{ox}(W/L)$ çarpımını belirleyiniz.

39. Bir MOS tranzistörde kaynak-savak difüzyonu katkı yoğunluğu $N_A=10^{20}$ 1/cm³, jonksiyon derinliği 3 μ m ve direnci 100 Ω olduğuna göre kaynak-savak bölgesinin $\frac{W}{L}$ oranını bulunuz. ($\mu=500\text{cm}^2/\text{V.sn}$, $q=1.6 \times 10^{-19}\text{C}$).

40. a) MOSIS lay-out tasarım kurallarından yararlanarak bir CMOS eviricinin kırmık üzerindeki yerleşim alanını hesaplayınız. Hesaplarda kullanılan minumum boyutları çizerek gösteriniz. ($\lambda = 0.5 \mu\text{m}$)

b) Kontak maskesini çizerek gösteriniz.

11. Kaynaklar:

1. SEGEM, Tubitak Seminer Notları.
2. S. M. Kang, Y. Leblebici, **CMOS Digital Integrated Circuits**, McGraw-Hill, 1999.
3. W. Maly, **Atlas of IC Technologies**, Menlo Park, CA, Benjamin/Cummings, 1987.
4. R.L. Geiger, P. E. Allen, N. R. Strader, **VLSI Design Techniques for Analog and Digital Circuits**, McGraw-Hill, 1996
5. P. R. Gray, R. G. Meyer, **Analysis and Design of Analog Integrated Circuits**, John Wiley & Sons, 1997.
6. D.A. Pischnell, K. Eshraghair, **Basic VLSI Design Systems and Circuits**, 1988 Prentice Hall.

7. P.Antapnetti, Gossobrio, **Semiconductor Device Modeling with Spice**, Mc Graw Hill 1998.A.B. Grebene Bipolar and MOS Analog Integrated Circuits Design, John Wiley 1984.
8. R.Geige, P.Allen., **VLSI Design Techniques for Analog and Digital Circuits** Mc Graw Hill, New York, 1990.

Prof. Dr. Ayten KUNTMAN