

5. MOS TMDEVRELER

MOS tmdevre retiminde temel yapıtaşı MOSFET' lerdir. Bu sebeple bu blmde MOSFET retim ařamaları ve devre performans karakteristiklerine etkileri anlatılacaktır. MOS(Metal-Oksit-Yarıiletken) yapılar dijital elektronik devre yapımında ok yaygın olarak kullanılmaktadır. Basitlięi, lekleme kolaylıęı, dřk g harcaması, yksek hız avantajlarıdır.

MOS' lar:

- N-kanallı MOS tranzistrler
- P-kanallı MOS tranzistrler
- CMOS' lar olmak zere  ana grupta toplanır.

CMOS' lar ise kendi aralarında n-kuyulu ve p-kuyulu olmak zere iki ana gruba ayrılırlar.

5.1. Temel MOS Yapıları

N-kanallı MOS tranzistrler kanal oluřturmalı(E-NMOS) ve kanal ayarlamalı (D-NMOS) olmak zere ikiye ayrılırlar. E-NMOS' un eřik gerilimi sıfırdan byk, D-NMOS' un eřik gerilimi sıfırdan ktr.

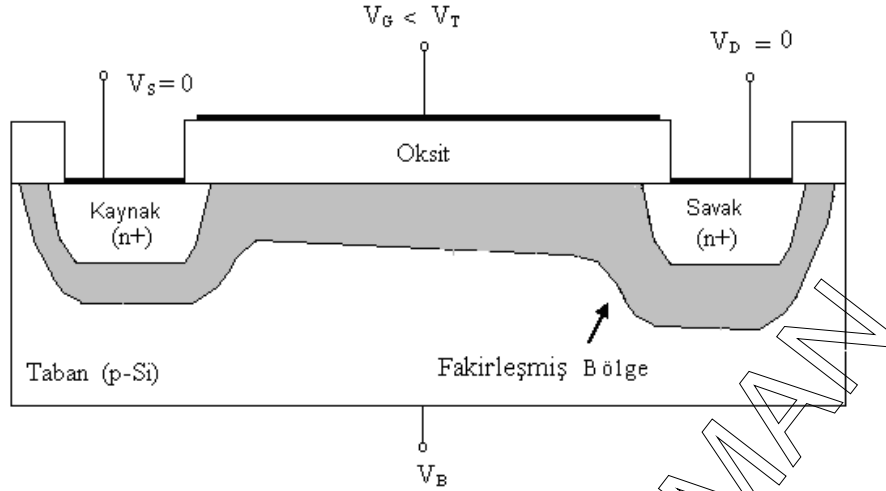
5.1.1. Temel MOS Tranzistrleri

5.1.1.1. Kanal Oluřturmalı N-MOS(E-NMOS):

E-NMOS' ta p-tipi bir taban zerine n-tipi difzyonla kaynak(drain) ve savak(source) blgeferi oluřturulmuřtur. Geit zerinde SiO₂ ve polisilisyum geit elektrotu vardır. Kontak ve metal baęlantılarıyla transistor tamamlanır. Byle bir yapıda;

Bařlangıta; $V_G = V_G = V_{GS}$ durumunda kanal oluřmaz. Eęer geide(G), kaynaęa gre daha pozitif bir gerilim uygulanırsa geit-taban arasında oluřan elektrik alan sebebiyle elektronlar yukarı ekilir, delikler ařaęı itilirler. Savak-kaynak arasında bir n-kanal oluřur.

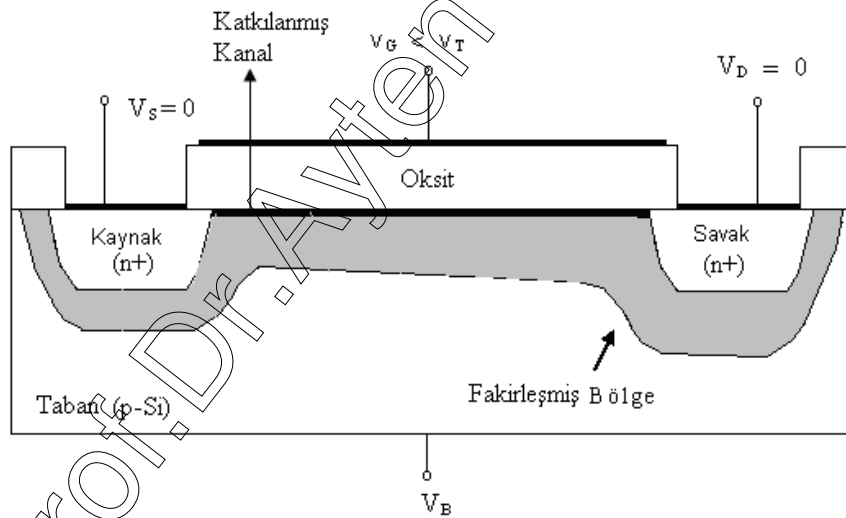
N-kanallı kanal oluřturmalı MOS tranzistrn dřey kesiti řekil 5-1' de verilmiřtir.



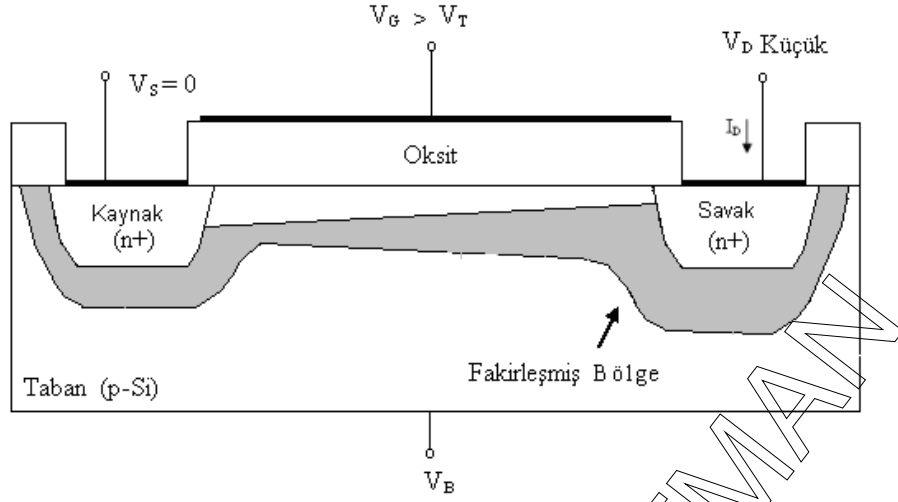
Şekil 5-1: Kanal oluşturmali N-MOS

5.1.1.2. Kanal Ayarlamalı NMOS(D-NMOS)

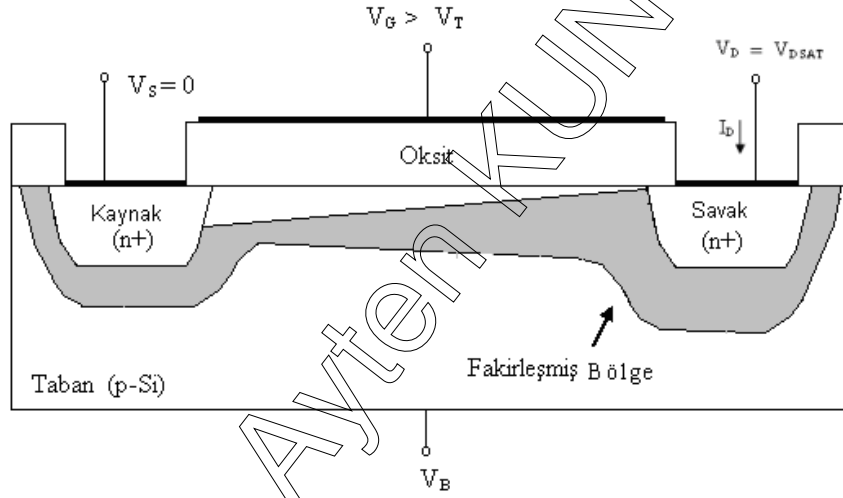
N-kanallı kanal ayarlamalı (D-NMOS) MOS tranzistörlerde eşik gerilimi sıfırdan küçüktür. E-NMOS'lerden farklı olarak yapım sırasında geçit bölgesi katkılanmıştır. D-NMOS yapının düşey kesiti Şekil 5-2'de görülmektedir.



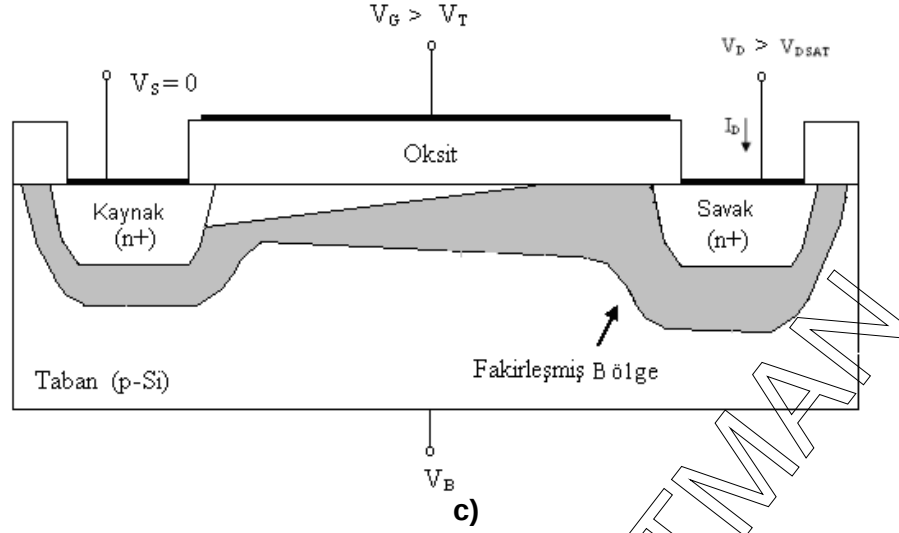
Şekil 5-2: Kanal ayarlamalı N-MOS



a)



b)



Şekil 5-4: Kanal oluşturmali transistörün çalışma bölgeleri

- a) Kanal oluşumu şartı $V_{GS} \geq V_{TO}$ olduğu durumdur. Uygulanan V_{GS} gerilimi eşik gerilimine ulaşınca kanal oluşur ve akım akmaya başlar.
- b) Doymasız bölgede çalışma
 $V_{DS} \leq V_{GS} - V_{TO}$ Doymasız bölgede çalışma şartı
 V_{DS} gerilimi artırılırsa savak akımı artar.
- c) Doymalı bölgede çalışma
 $V_{DS} \geq V_{GS} - V_{TO}$ Doymalı bölgede çalışma şartı
Akımın geçit gerilimi ile kontrol edildiği çalışma bölgesidir. V_{GS} gerilimi arttıkça savak akımı artar. Belli bir değerden sonra tranzistor kanalında bir kısılma oluşur. Bu durum çalışma şartlarını değiştirir.

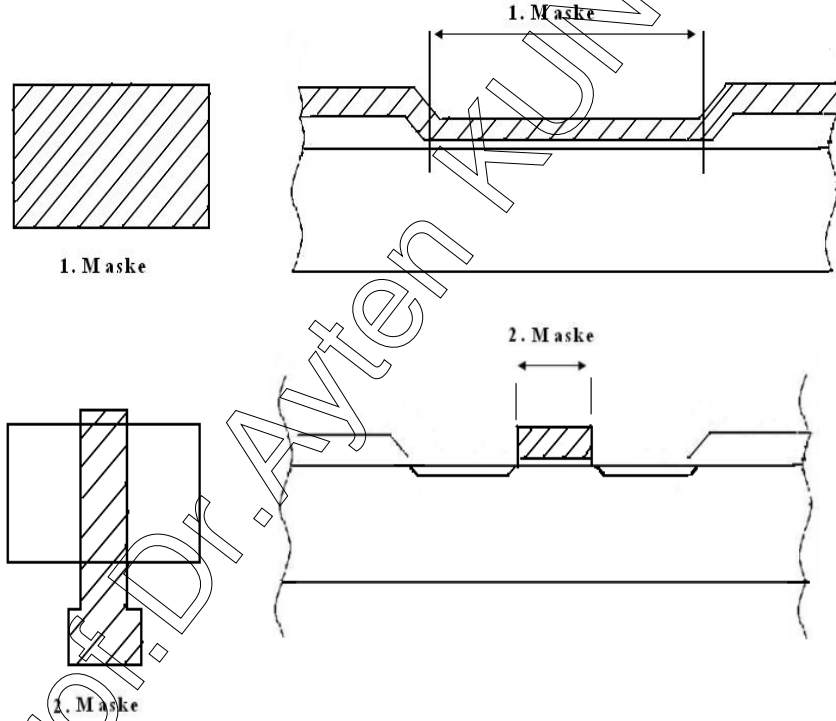
5.1.3. N-Kanalı MOS Transistor Üretim Süreci

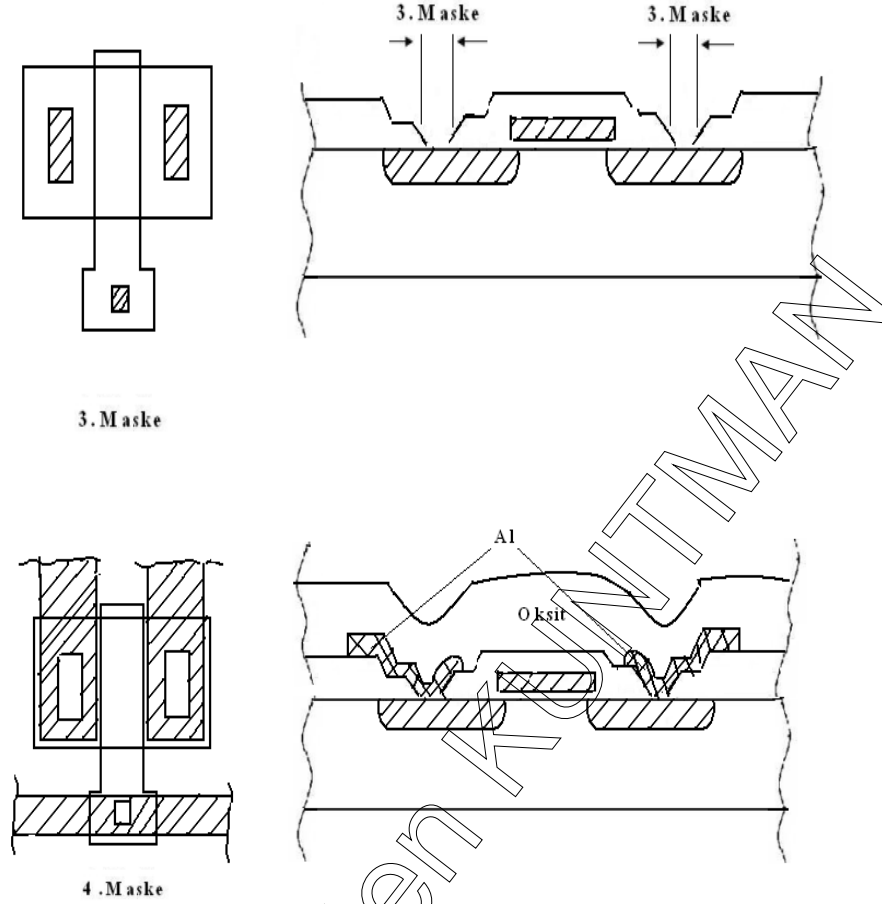
Polisilyum geçitli n-kanallı MOS tranzistörün üretimi p-tipi silisyum yüzeyinde 1. maske kullanılarak silisyumdioksit büyütülerek başlar. Buna alan oksiti denir. Alan oksitinin oluşturulması Alan oksiti üzerinde oksit maskesi kullanılarak transistor yapılacak alan belirlenir. Daha sonra MOS tranzistörün geçitini oluşturacak yüksek kalitede ince bir oksit büyütülür.

İnce oksitin üzerine polisilyum büyütülür. Uygun maske(2. maske) kullanılarak polisilyum geçit elektrodu oluşturulur. Geçit elektrodunun iki yanında n-bölgeleri katkılama yöntemi ile oluşturulur. Bunlar kaynak ve savağı oluşturacaktır. Daha sonra 3. maske kullanılarak kontak pencereleri açılır. Tüm yüzeye metal kaplanır ve 4. maske ile metal yollar oluşturulur. Şekil 5-5' de MOS transistor üretiminde kullanılan temel MOS maskeleri(sol tarafta) ve her maske uygulaması sonucunda tranzistörün düşey kesiti(sağda) görülmektedir. Uygulanan maskeler;

1. Aktif bölge ve ince oksit maskesi(transistor alanı)
2. Polisilyum maskesi
3. Kontak pencereleri maskesi
4. Metal maskesi olarak sıralanır.

Her bir maskeleme adımı litografik işlemle gerçekleştirilir.





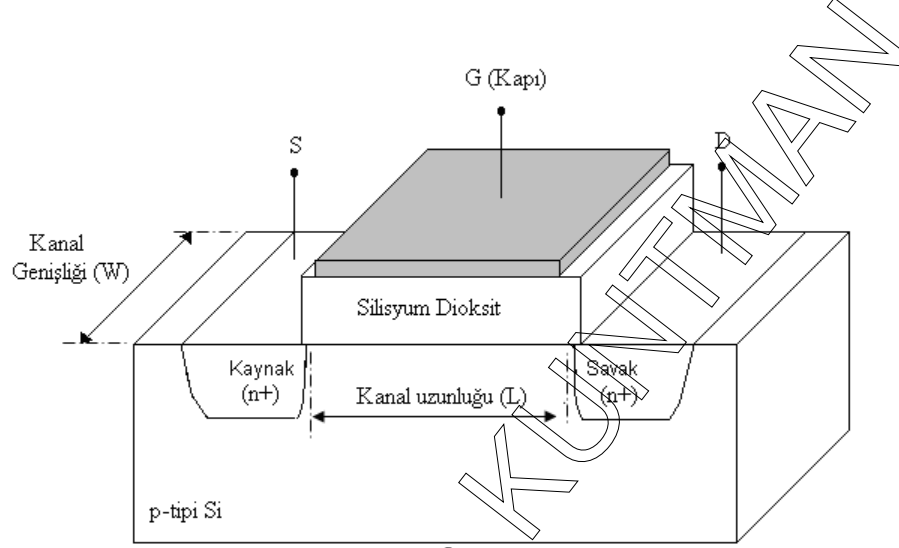
Şekil 5-5: Temel MOS Maskeleri ve her maske uygulaması sonucunda tranzistörün düşey kesiti

5.2. MOS Tümdrevrelerin Temel Elektriksel Özellikleri

N-kanallı MOS tranzistörün üç boyutlu yerleşimi Şekil 5-6' da verilmiştir. Tranzistörün kanal boyu ve kanal genişliği önemli iki kavramdır. Kanal boyu ve kanal genişliği tranzistörün kırıkk üzerinde kapladığı alan ve savak akımı değerini belirleyen önemli büyüklüklerdir.

Kanal Boyu: Kanalın kaynak-savak arasında akan savak akımı doğrultusundaki boyu, kanal boyu olarak tanımlanır ve L ile gösterilir.

Kanal Genişliği: Kanal boyuna dik uzunluk kanal genişliğidir. Kanal genişliği ise W ile tanımlanır. Kanal boyu ve kanal genişliği (LXW) tranzistörün **etkin kanal alanı**dır.



Şekil 5-6: n-Kanal MOSFET

Akımın oluşması geçide uygulanan gerilim sonucu yüklerin indüklenmesine bağlıdır. Kanal boyu, elektrik alan şiddeti, elektronların geçiş süresi elemanın hızını ve akımını etkileyen parametredir. Akım birim zamanda kanalda indüklenen yük miktarı olarak ifade edilir. İlgili bağıntılar aşağıda verilmiştir.

$$I_{DS} = \frac{\text{Kanala endüklenmiş yükler}(Q_C)}{\text{elektronların geçiş süresi}(\tau)} \quad (5-1)$$

$$\tau = \frac{L}{v} \quad (5-2)$$

$$v = \mu E_{DS} \quad (5-3)$$

$$E_{DS} = \frac{V_{DS}}{L} \quad (5-4)$$

$$\tau = \frac{L^2}{\mu V_{DS}} \quad (5-5)$$

Burada V hız, L kanal boyu, E_{DS} elektrik alan şiddetini göstermektedir.

5.2.1. N-Kanallı MOS tranzistörün akım ifadesinin çıkarılışı

Başlangıçta elemandan akım akmadığı bölge kesim bölgesi olarak adlandırılır. Bu durumda kaynak-savak bölgesinde kanal oluşmamıştır. $V_{GS}-V_{TO}<0$ durumunda transistor kesimdedir.

Akımın kaynak-savak gerilimi tarafından belirlendiği doymasız bölge olarak tanımlanır. Doymasız çalışma bölgesi $V_{GS}\geq V_{TO}$, $V_{DS}<V_{GS}-V_{TO}$ şartlarında oluşur.

Akımın geçit-kaynak gerilimi tarafından belirlendiği doyma bölgesidir. Doymalı bölge çalışma şartı: $V_{DS}\geq V_{GS}-V_{TO}>0$, Doyma şartı: $V_{DS}=V_{GS}-V_{TO}$.

Akım oluşumu geçitte, indüklenmiş yüklerle olduğundan, indüklenmiş yükler:

$$Q_C = E_g \epsilon_{rSiO_2} \epsilon_0 WL \quad (5-6)$$

Bağıntısıyla verilir.

Burada;

$E_g \rightarrow$ Geçitteki elektrik alan

$\epsilon_{rSiO_2} \rightarrow$ SiO_2 'nin dielektrik geçirgenliği

$\epsilon_0 \rightarrow$ Boşluğun dielektrik geçirgenliği

$WL \rightarrow$ Etkin tranzistör alanı' dır.

Doymasız bölge elektrik alan şiddeti ifadesi uç büyüklüklerine bağlı olarak (5-7) bağıntısıyla ifade edilir. (5-1)-(5-6) ve (5-7) bağıntıları tekrar düzenlenirse doymasız bölge için akım ifadesi çıkartılır.

$$E_g = \frac{(V_{GS} - V_{TO}) - \frac{V_{DS}}{2}}{t_{ox}} \quad (5-7)$$

$$Q_C = \frac{WL\epsilon_{rSiO2}\epsilon_O}{t_{ox}} \left[(V_{GS} - V_{TO}) - \frac{V_{DS}}{2} \right] \quad (5-8)$$

$$I_{DS} = \frac{\epsilon_{rSiO2}\epsilon_O\mu}{t_{ox}} \frac{W}{L} \left[(V_{GS} - V_{TO}) - \frac{V_{DS}}{2} \right] V_{DS} \quad (5-9)$$

$$I_{DS} = K \frac{W}{L} \left[(V_{GS} - V_{TO}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (5-10)$$

(5-10) bağıntısı doymasız bölge için akım bağıntısıdır. Burada K Spice-proses parametresi olarak tanımlanır.

$$K = \frac{\epsilon_{r(SiO2)}\epsilon_O\mu}{t_{ox}} \quad (5-11)$$

Aynı ifade geçit bölgesi kapasite içinde çıkartılabilir.

$$C_g = \frac{\epsilon_{r(SiO2)}\epsilon_O WL}{t_{ox}} \rightarrow \text{geçit bölgesi kapasitesi} \quad (5-12)$$

$$I_{DS} = \frac{C_g\mu}{L^2} \left[(V_{GS} - V_{TO}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (5-13)$$

$$\beta = \frac{W}{L} \mu C_{ox} \quad (5-14)$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} = \frac{\epsilon_{rSiO2}\epsilon_O}{t_{ox}} \rightarrow \text{birim alan başına geçit kapasitesi} \quad (5-15)$$

$$I_{DS} = \beta \left[V_{GS} - V_{TO} - \frac{1}{2} V_{DS} \right] V_{DS} \quad (5-16)$$

Savak akımı yukarıdaki 5-10, 5-12 ve 5-16 bağıntılarında olduğu gibi sırasıyla Spice parametresi(K), geçit baz kapasitesi(C_g) ve proses parametresi(β) cinsinden de yazılabilir.

n-kanallı MOS tranzistörde doymalı bölgede akım ifadeleri K, C_g ve β cinsinden sırasıyla 5-17, 5-18 ve 5-19 bağıntılarında verilmiştir.

$$I_{DS} = K \frac{W}{L} \frac{(V_{GS} - V_{TO})^2}{2} \quad (5-17)$$

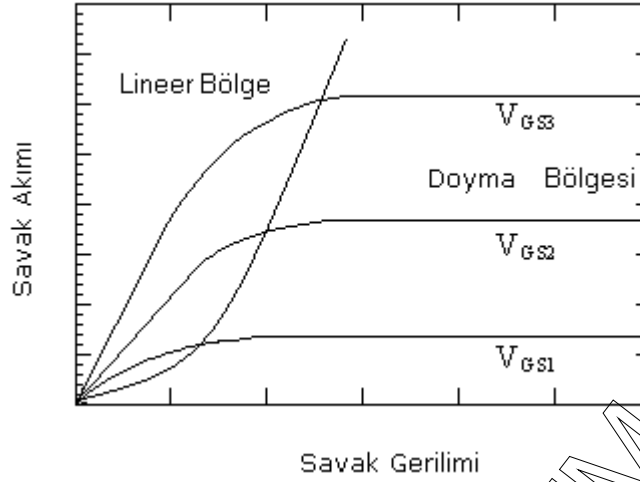
$$I_{DS} = \frac{C_g \mu}{2L^2} (V_{GS} - V_{TO})^2 \quad (5-18)$$

$$I_{DS} = \frac{\beta}{2} (V_{GS} - V_{TO})^2 \quad (5-19)$$

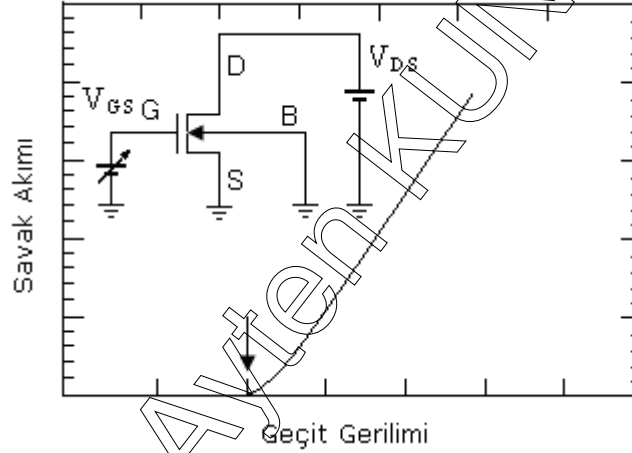
N-kanallı tranzistörün akım-gerilim ilişkisi iki ana değişimle ifade edilir.

Bunlar; Kaynak-savak gerilimi ile savak akımının değişimi tranzistörün akım-gerilim karakteristiği olarak tanımlanır.

Geçit gerilimi ile savak akımının değişimi ise tranzistörün transfer karakteristiği olarak tanımlanmaktadır. Şekil 5-7' de n-kanallı tranzistörün akım-gerilim karakteristiği, Şekil 5-8' de ise n-kanallı MOS tranzistörde savak akımı ile V_{GS} geriliminin değişimini veren transfer karakteristiği görülmektedir.



Şekil 5-7: n-kanallı MOS tranzistörün akım-gerilim karakteristiği



Şekil 5-8: n-Kanallı MOS transistörde savak akımı ile V_{GS} geriliminin ilişkisi

5.2.1. p-Kanallı MOS tranzistörün akım ifadeleri

PMOS' un çalışma bölgeleri NMOS' un çalışma bölgelerine benzer, ters işaretlisidir.

$$V_{DS} < 0; V_{TO} < 0$$

1. Kesimde: $0 < V_{GS} - V_{TO}$, $I_D = 0$.

2. Doymasız bölgede: $V_{DS} > V_{GS} - V_{TO}$

$$I_{DS} = \beta \left[V_{GS} - V_{TO} - \frac{1}{2} V_{DS} \right] V_{DS} \quad (5-20)$$

3. Doymalı bölgede: $V_{DS} < V_{GS} - V_{TO} < 0$

$$I_{DS} = \frac{\beta}{2} (V_{GS} - V_{TO})^2 \quad (5-21)$$

5.3. MOS Tranzistörlerde Model Parametreleri

MOS transistörde en temel model parametreleri,

Eşik Gerilimi

Gövde Parametresi

Kanal boyu modülasyon parametresi

Etkin kanal boyu

Geçiş iletkenliği

Anahtarlama hızı

Çıkış iletkenliği

MOS kapasiteler

Olarak sayılabilir. Bu bölümde model parametreleri tek tek ele alınarak akım-gerilim ve boyut ilişkileri vurgulanmıştır.

5.3.1. Eşik Gerilimi (V_{TO})

Eşik gerilimi tranzistörden akım akması için geçide uygulanması gereken minimum gerilimdir.

MOS yapısında eşik geriliminin fiziksel parametrelere etkisi (V_{TO})'nun fiziksel anlamı ile incelenecektir. Eşik gerilimi için dört fiziksel bileşen bulunur.

- Geçit ile kanal arasındaki iş-fonksiyonu,
- Geçit gerilimi bileşeninin yüzey potansiyeli ile değişimi
- Geçit gerilimi bileşenine boşaltılmış bölge yüklerinin etkisi
- Geçit oksit ve silisyumdioksit arayüzey yükleri

Tüm bileşenleriyle eşik gerilimi aşağıdaki bağıntıyla verilir.

$$V_{TO} = \Phi_{GC} - 2\Phi_F - \frac{Q_{BO}}{C_{OX}} - \frac{Q_{OX}}{C_{OX}} \quad (5-22)$$

Burada;

$\Phi_F \rightarrow$ Tabanın Fermi seviyesi (NMOS' ta negatif, PMOS' ta pozitif)

$Q_{BO} \rightarrow$ gövdenin birim alan başına fakirleşmiş bölge yükü (NMOS' ta negatif, PMOS' ta pozitif)

$Q_{OX} \rightarrow$ Si-SiO₂ arayüzey yükleri

$C_{OX} \rightarrow$ birim alan başına oksit kapasitesi olarak tanımlanır.

Burada yapılan analizler n-kanal için yapılacaktır, ancak küçük değişimlerle p-kanal için de bulunabilir. Eşik gerilimi hesaplamaları için gereken ilk bileşen, MOS sistemin oluşturduğu geçit ve kanal arasındaki iş fonksiyonudur. Geçit metaline bağlı olarak aşağıdaki gibi ifade edilebilir. Altın gümüş gibi farklı bir metal veya polisilyum olabilir.

$$\begin{aligned} \Phi_{GC} &= \Phi_F (\text{katkı}) - \Phi_M && \text{metal geçit için} \\ \Phi_{GC} &= \Phi_F (\text{katkı}) - \Phi_F (\text{geçit}) && \text{polisilyum geçit için} \end{aligned}$$

Eşik gerilimine yüzey potansiyelinin etkisi 2. bileşendir. Yüzey potansiyeli $-2\Phi_F$ ile değişir ki bu fermi potansiyeli olarak anılır. p-tipi ve n-tipi yapılar için farklıdır.

Fermi potansiyeli p-tipi yarıiletken için ;

$$\Phi_F = \frac{kT}{q} \ln \frac{n_i}{N_A} \quad (5-23)$$

Fermi potansiyeli n-tipi yarıiletken için ;

$$\Phi_F = \frac{kT}{q} \ln \frac{N_D}{n_i} \quad (5-24)$$

bulunur.

3. bileşen olarak boşaltılmış bölge yük yoğunluğu kaynak-taban gerilimi sıfır olduğu durumda

$$Q_{BO} = -\sqrt{2 \cdot q N_A \epsilon_{Si} \cdot | -2\Phi_F |} \quad (5-25)$$

bağıntısı ile hesaplanır.

Kaynak-taban gerilim V_{SB} fonksiyonu olarak ifade ediliyorsa boşaltılmış bölge yükü

$$Q_B = -\sqrt{2qN_A \epsilon_{Si} | -2\Phi_F - V_{SB} |} \quad (5-26)$$

Bağıntısı ile bulunur.

Birim alan başına oksit kapasitesi C_{OX}

$$C_{OX} = \frac{\epsilon_{OX}}{t_{OX}} \quad (5-27)$$

Bağıntısı ile bulunur.

Sıfır olmayan gövde katkısı için boşaltılmış bölge yük yoğunluğu bu yük için V_{SB} kaynak-taban gerilimi etkisini içermek üzere aşağıdaki genelleştirilmiş eşik gerilim ifadesi bulunur.

$$V_T = \Phi_{GC} - 2\Phi_F - \frac{Q_B}{C_{OX}} - \frac{Q_{OX}}{C_{OX}} \quad (5-28)$$

$$Q_{ox} = (1,5 - 8)10^{-8} c^2 / m^2$$

Genelleştirilmiş eşik gerilim formu aşağıdaki gibi de yazılabilir.

$$V_T = \Phi_{GC} - 2\Phi_F - \frac{Q_B}{C_{OX}} - \frac{Q_{OX}}{C_{OX}} = V_{TO} - \frac{Q_B - Q_{BO}}{C_{OX}} \quad (5-29)$$

Bu durumda eşik gerilimi V_{TO} dan sadece ek terimlerle farklıdır. Bu kaynak-katkı gerilimi gövde etkisi terimi ile (V_{SB}) basitleştirilebilir.

$$\frac{Q_B - Q_{BO}}{C_{OX}} = -\frac{\sqrt{2qN_A \epsilon_{Si}}}{C_{OX}} \left(\sqrt{|-2\Phi_F + V_{SB}|} - \sqrt{|2\Phi_F|} \right) \quad (5-30)$$

Böylelikle genel V_T eşik gerilim ifadesini elde ederiz.

$$V_T = V_{TO} + \gamma \left(\sqrt{|-2\Phi_F| + V_{SB}} - \sqrt{|2\Phi_F|} \right) \quad (5-31)$$

Burada γ parametresi gövde etkisi katsayısıdır.

$$\gamma = \frac{\sqrt{2qN_A \epsilon_{Si}}}{C_{OX}} \quad (5-32)$$

Yukarıdaki ifadede verilen eşik gerilimi hem n-kanallı hem de p-kanallı MOS transistorlerde kullanılabilir. Sadece p veya n kanallı transistorlerde oluşan fark için farklı kutuptan oluşan terim ve katsayılar dikkat etmek gerekir.

p tipi MOSFET ile n tipi MOSFET arasındaki belirgin farklılıklar: Φ_F fermi potansiyeli NMOS da negatif, pMOS da ise pozitif, boşaltılmış bölgesi yük yoğunluğu Φ_{BO} ve Φ_B NMOS da negatif, pMOS da ise pozitif, γ gövde etkisi parametresi NMOS da pozitif, pMOS da ise negatif, katkı değişim gerilimi V_{SB} NMOS da pozitif, pMOS da ise negatiftir

5.3.2. Gövde Parametresi(Taban kutuplaşma sayısı)

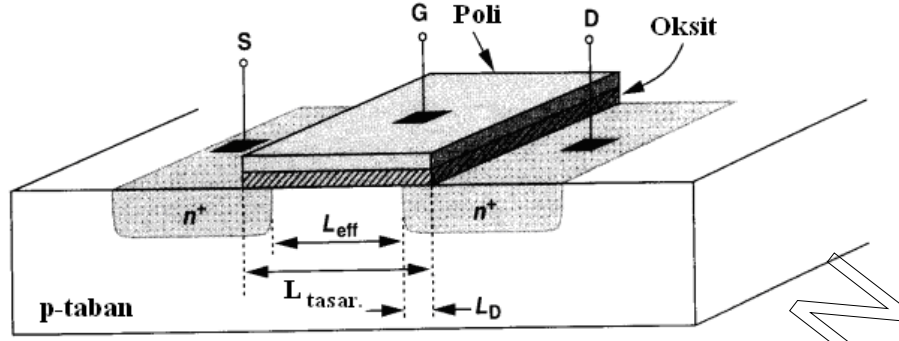
Gövde parametresi 5-33 bağıntısı ile verilmektedir.

$$\gamma = \frac{\sqrt{2qN_A \epsilon_{Si}}}{C_{ox}} \quad (5-33)$$

Burada q yük, N_A katkı yoğunluğu, ϵ_{Si} dielektrik geçirgenlik, C_{OX} birim alan başına oksit kapasitesidir.

5.3.3. MOS Transistörün Etkin Kanal Boyu

Transistörün doymalı çalışma durumundaki kanal boyu etkin kanal boyu (L_{eff}) olarak tanımlanır.



MOS transistörün kanal boyunu L olarak tanımlamıştık. İstenen devrenin tasarımı yapıldıktan sonra çizilen boyu L' dir. Proses sırasında kaynak-savak difüzyonu sırasında bir miktar istenmeyen yan difüzyonlar olacağından kanal boyunda $2L_{\text{yan dif.}}$ kadar bir kısılma olacaktır. Bu durumdaki kanal boyu metalurjik kanal boyu olarak tanımlanır. Lineer bölgedeki hesaplarda L_{met} kullanılır.

Metalurjik kanal uzunluğu = L_{met} = Polisilyum geçit uzunluğu-
kaynak-savak yan difüzyonları şeklinde yazılabilir.

$$L_{\text{met}} = L_{\text{tasarlanan}} - 2L_{\text{yan dif.}}$$

Doymalı çalışmada ise kanalın savak ucunda X_D kadar fakirleşmiş bölge oluşur. Kanalın boyu X_D kadar daha kısalmış olur. Bu durumdaki kanal boyuna efektif kanal boyu denir.

$$L_{\text{eff}} = L_{\text{tasarlanan}} - 2L_{\text{yan dif.}} - X_D \quad (5-34)$$

Efektif kanal boyuna göre tranzistörün kazancı değişir. Kanal kısılması,

$$X_D = \sqrt{\frac{2\epsilon(V_{DS} - V_{DSsat})}{qN_A}} \quad (5-35)$$

$$V_{DSAT} = \sqrt{\frac{2I_D}{\beta}} \quad (5-36)$$

Bağıntılarıyla hesaplanabilir.

5.3.4. MOS Tranzistörün Geçiş İletkenliği(g_m)

Tranzistörün geçiş iletkenliği giriş gerilimi ile çıkış akımı arasındaki ilişkiyi verir.

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} (V_{DS} = \text{sabit}) \quad (5-37)$$

Yükler cinsinden ifade edilirse,

$$\tau = \frac{Q_C}{I_{DS}} \quad (5-39)$$

$Q_C \rightarrow$ kanalda indüklenen yükler; $\tau \rightarrow$ geçiş süresi

$$\partial I_{DS} = \frac{\partial Q_C}{\tau_{SD}} \quad (5-39)$$

$$\tau_{SD} = \frac{L^2}{\mu V_{DS}} \quad (5-40)$$

$$\partial I_{DS} = \frac{\partial Q_C V_{DS} \mu}{L^2} \quad \text{yüklerdeki değişim } \partial Q_C = C_g \partial V_{GS} \quad (5-41)$$

$$\partial I_{DS} = \frac{C_g \partial V_{GS} \mu V_{DS}}{L^2} \quad (5-42)$$

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = \frac{C_g \mu V_{DS}}{L^2} \quad (5-43)$$

$C_g \rightarrow$ geçit kapasitesi

Doymalı çalışmada MOS tranzistörün geçiş iletkenliğinin

$$g_m = \frac{\mu \epsilon_{rSiO_2} \epsilon_0 W}{t_{ox} L_{eff}} (V_{GS} - V_{TO}) \quad (5-44)$$

5.3.5. Anahtarlama Hızı(Çalışma frekansı)

$$W_o = \frac{g_m}{C_g} = \frac{\mu}{L^2} (V_{GS} - V_{TO}) \quad (5-45)$$

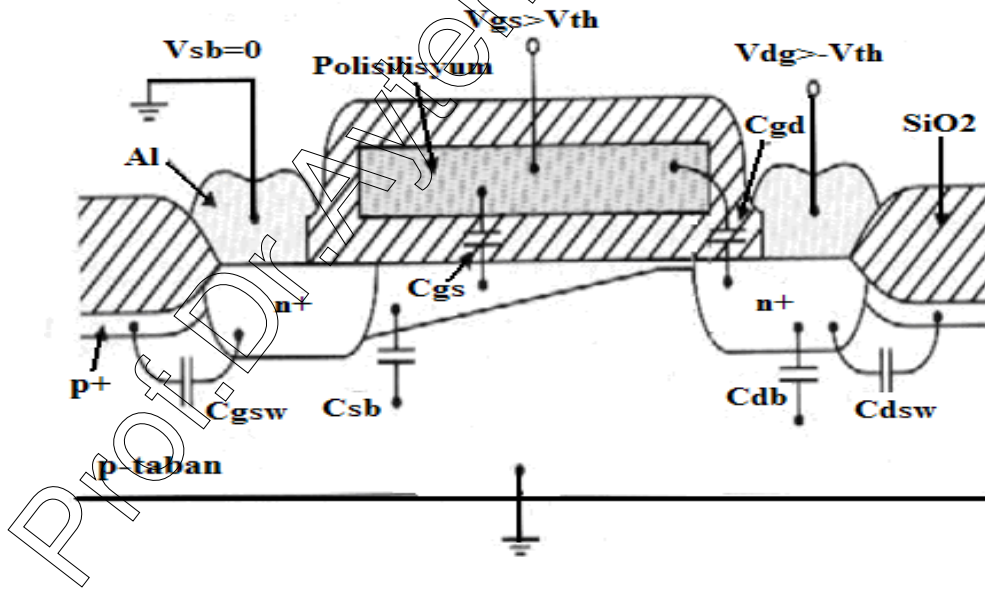
5.3.6. Çıkış İletkenliği

Kaynak-savak küçük değişimler için kanal kısılması sonucunda akımdaki değişimi ifade eder. Tersisi ise çıkış direnci olarak tanımlanır.

$$\rho_o = \frac{I_D}{L_{eff}} \frac{\partial X_D}{\partial V_{DS}} \quad \frac{1}{\rho_o} = R_o \rightarrow \text{çıkış direnci} \quad (5-46)$$

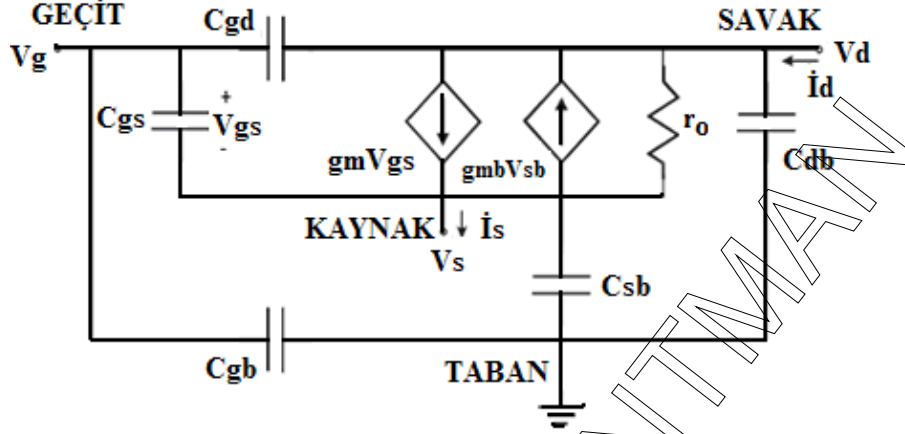
5.4. MOS Kapasiteler

MOSFET'in zaman alanı cevabı için kapasitelerin, tipi ve büyüklüğü dijital devrelerde önemli olmaktadır. Yapıda parazitik olarak genelde oksit kapasitesi ve jonksiyon kapasitesi olmak üzere iki tür kapasite oluşur. Yapıda oluşabilecek tüm parazitik kapasiteler Şekil 5-9' da şematik olarak görülmektedir.



Şekil 5-9: Kapasitelerin fiziksel gösterimi

Şekil 5-10' da ise küçük işaret eşdeğeri verilmiştir.



Şekil 5-10: Küçük işaret eşdeğeri

5.4.1. Oksit Kapasitesi

Parazitik olarak oluşan oksit kapasiteleri geçit-taban(C_{gb}), geçit-savak(C_{gd}), geçit-kaynak(C_{gs}) kapasiteleridir. Bu kapasiteler bindirme kapasiteleri olarakta bilinirler. Parelel plakalı kapasite şeklinde oluşur.

Geçit bölgesinin birim alan başına oksit kapasitesi

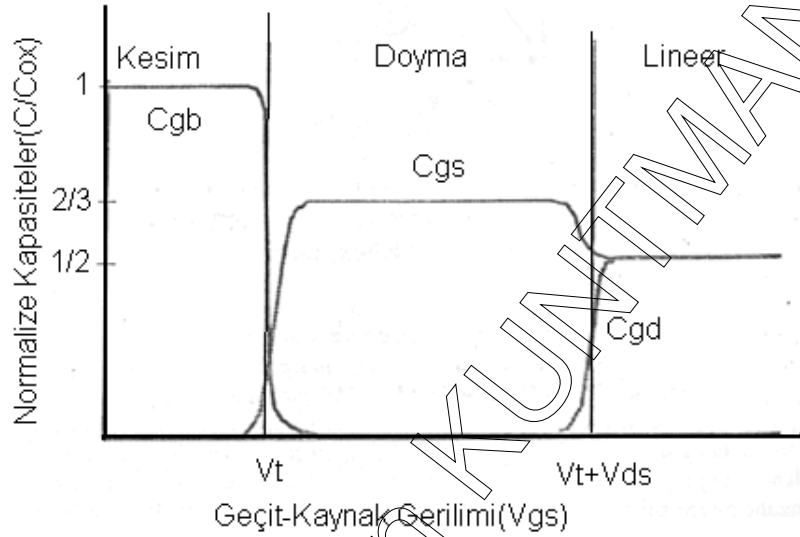
$$C_{OX} = \frac{\epsilon_{OX}}{t_{OX}} = \epsilon_{rSiO2} \frac{\epsilon_O}{t_{OX}} \quad (5-47)$$

şeklinde ifade edilir.

Her birine ait ifadeler aşağıdaki tabloda verilmiştir. Şekil 5-11'de ise oksit kapasitelerinin geçit-kaynak gerilimlerinin fonksiyonu olarak değişimleri görülmektedir.

Kapasite	Kesim	Lineer Bölgesi	Çalışma	Doyma Bölgesi
----------	-------	----------------	---------	---------------

$C_{gb}(\text{toplaml})$	$C_{OX}WL$	0	0
$C_{gd}(\text{toplaml})$	$C_{OX}WL_D$	$\frac{1}{2}C_{OX}WL + C_{OX}WL_D$	$C_{OX}WL_D$
$C_{gs}(\text{toplaml})$	$C_{OX}WL_D$	$\frac{1}{2}C_{OX}WL + C_{OX}WL_D$	$\frac{2}{3}C_{OX}WL + C_{OX}WL_D$



Şekil 5-11: Oksit kapasitelerinin geçit-kaynak gerilimlerinin fonksiyonu olarak değişimleri

5.4.2. Jonksiyon Kapasiteleri

Uygulanan gerilime bağlı olarak kaynak-taban, savak-taban jonksiyonlarında kapasite oluşabilir. Her bir pn jonksiyonu bir kapasite gibi davranabilir. Jonksiyonda oluşan fakirleşmiş bölge dielektrik gibi davranarak kapasite oluşturur. Bu kapasitenin hesabı paralel plakalı kapasiteye göre biraz farklı olup bağıntıları aşağıda verilmiştir.

Ters öngerilimli sert geçişli bir p-n jonksiyonun kapasitesini bulmak için öncelikle fakirleşmiş bölge kalınlığını bulmamız gerekir. Fakirleşmiş bölge kalınlığı ,

$$X_d = \sqrt{\frac{2 \cdot \epsilon_{Si}}{q} \frac{N_A + N_D}{N_A \cdot N_D} \cdot (\Phi_0 - V_R)} \quad (5-48)$$

Bağıntısı ile verilmektedir. Burada V_R ters öngerilimdir.

Gövde potansiyeli ise

$$\Phi_0 = \frac{kT}{q} \cdot \ln \left(\frac{N_A \cdot N_D}{n_i^2} \right) \quad (5-49)$$

denklemleri ile bulunur.

Boşaltılmış bölgede depolanan yükler boşaltılmış bölge kalınlığı cinsinden aşağıdaki denklemle bulunur.

$$Q_j = A \cdot q \cdot \left(\frac{N_A \cdot N_D}{N_A + N_D} \right) \cdot X_d = A \sqrt{2 \cdot \epsilon_{Si} \cdot q \cdot \left(\frac{N_A \cdot N_D}{N_A + N_D} \right) \cdot (\Phi_0 - V)} \quad (5-50)$$

Burada A eklem alanıdır. Bu bölgenin oluşturduğu jonksiyon kapasitesi;

$$C_j = \left| \frac{dQ_j}{dV} \right| \quad (5-51)$$

ile hesaplanır.

5-51 denleminin V 'ye göre türevini alırsak;

$$C_j(V) = A \cdot \sqrt{\frac{\epsilon_{Si} \cdot q}{2} \left(\frac{N_A \cdot N_D}{N_A + N_D} \right)} \cdot \frac{1}{\sqrt{\Phi_0 - V}} \quad (5-52)$$

olur.

Daha genel halde aşağıdaki gibi yazılır.

$$C_j(V) = \frac{A \cdot C_{j0}}{\left(1 - \frac{V}{\Phi_0}\right)^m} \quad (5-53)$$

Burada m derecelendirme katsayısıdır. Keskin eklem için 1/2; lineer eklem için 1/3' tür.

Birim alan başına öngerilimsiz jonksiyon kapasitesi

$$C_{j0} = \sqrt{\frac{\epsilon_{Si} \cdot q}{2} \left(\frac{N_A \cdot N_D}{N_A + N_D} \right) \cdot \frac{1}{\Phi_0}} \quad (5-54)$$

şeklinde dir.

5.5. Parametrelerin Ölçülmesi

NMOS ve PMOS tranzistörler için daha önce verilen akım bağıntılarından (5-16, 5-19, 5-20, 5-21) yararlanılarak eşik gerilimi V_{TO} ve gövde etkisi katsayısı γ , kanal boyu modülasyon katsayısı λ ve geçiş iletkenliği parametreleri deneysel olarak çıkartılabilir.. Bu parametreler

$$\beta_n = \mu_n \cdot C_{OX} \cdot \frac{W}{L} \quad (5-55)$$

$$\beta_p = \mu_p \cdot C_{OX} \cdot \frac{W}{L} \quad (5-56)$$

Bağıntılarıyla verilmektedir. n kanallı MOSFET için β_n , V_{TO} ve γ gibi parametrelerin çıkarımı Şekil 5-13a ve Şekil 5-13b de görülmektedir. Burada, kaynak-katkı gerilimi V_{SB} sabit olmak üzere V_{GS} nin alacağı farklı değerler için geçit akımı ölçülmüştür. Tranzistörün savak ve geçit gerilimleri ise aynı potansiyeldedir, $V_{DS} = V_{GS}$ ve $V_{DS} > V_{GS} - V_T$ dir.

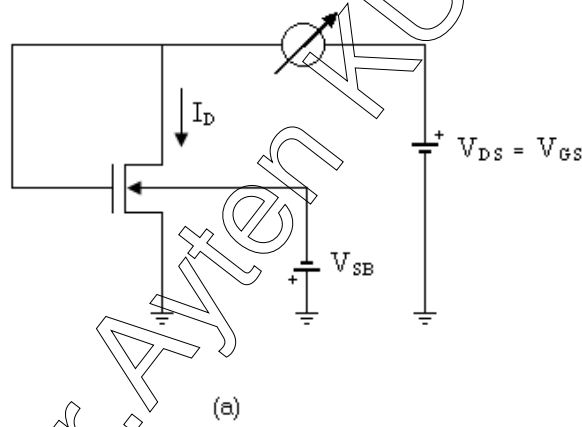
Şekil 5-13 (a)'daki nMOS doymalı bölgede çalışmaktadır. Basitleştirmek için modülasyon etkisini ihmal edilmiştir. Doymalı çalışmada akım ifadesi

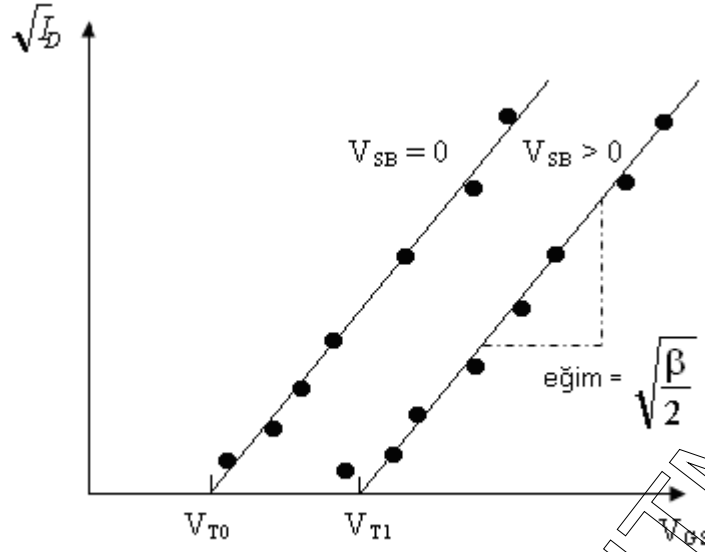
$$I_D(sat) = \frac{\beta_n}{2} (V_{GS} - V_T)^2 \quad (5-57)$$

Şeklindedir. İfadenin karekökü alınırsa

$$\sqrt{I_D} = \sqrt{\frac{\beta_n}{2}} (V_{GS} - V_T) \quad (5-58)$$

Bağıntısı elde edilir. Karekökünü aldığımız geçit akımı değerlerini geçit-kaynak gerilimine karşı çizerek oluşan eğri β_n , V_{TO} , ve γ parametrelerini sağlar. Şekil 5-13' de oluşan geçit-akım ve geçit-gerilim eğrilerini farklı taban-kaynak gerilimleri için göstermektedir. Buradan sıfır geçit akımında her V_{SB} gerilimi için bir eşik geriliminin sağlandığını görebiliriz. Gerilim ekseninin $V_{SB} = 0$ eğrisi ile kesiştiği nokta V_{TO} sıfır eşik gerilimi değerini vermektedir. Gerilim ekseninin $V_{SB} > 0$ eğrisi ile kesiştiği nokta ise V_T eşik gerilimini vermektedir. Her bir eğrinin eğimi $\beta_n / 2$ nin kareköküne eşittir. Böylece geçiş iletkenliği parametresi β_n bu eğimden kolayca hesaplanabilir.



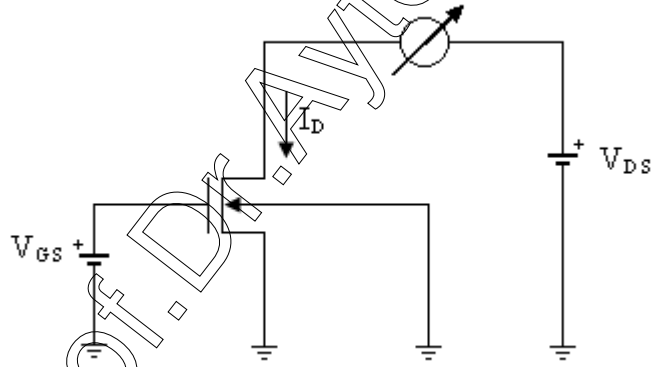


(b)

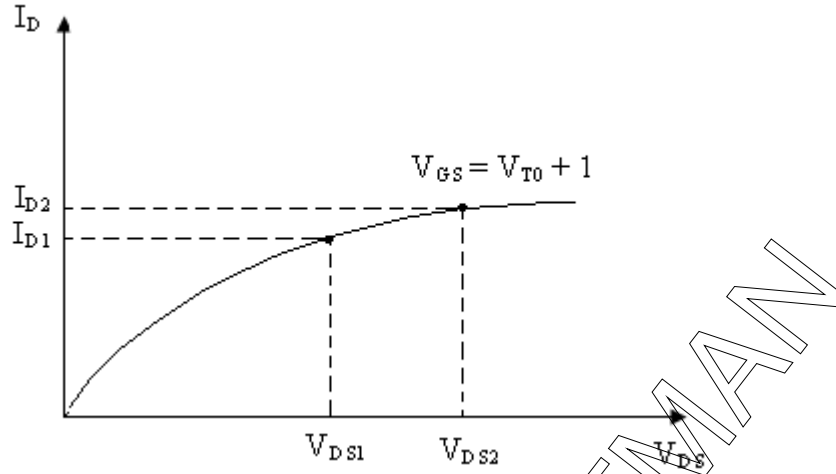
Şekil 5-13: (a) test devresi (b) β_n , V_{T0} , γ parametrelerinin ölçümleri

V_{SB} değerlerini kullanarak γ değerini bulabiliriz.

$$\gamma = \frac{V_T \cdot (V_{SB}) - V_{T0}}{\sqrt{|2\phi_F| + V_{SB}} - \sqrt{|2\phi_F|}} \quad (5-59)$$



(a)



(b)

Şekil 5-14: (a) test devresi (b) kanal boyu modülasyon katsayısı λ nın ölçülmesi

Şekil 5-14' de gösterildiği gibi kanal boyu modülasyon katsayısı λ deneysel ölçümü farklı test devresiyle belirlenir. Geçit- kaynak gerilimi (V_{GS}), ($V_{TO} + 1$)' e ayarlanır. Savak - kaynak gerilimi yeterli büyüklükte seçilir ($V_{DS} > V_{GS} - V_{TO}$). Burada transistör doyma modunda çalışır. V_{DS1} , V_{DS2} nin farklı iki değeri için savak akımı ölçülür. Savak akımı doyma modunda aşağıdaki gibi verilir.

$$I_D(\text{doyma}) = \frac{\beta_n}{2} \cdot (V_{GS} - V_{TO})^2 \cdot (1 + \lambda \cdot V_{DS}) \quad (5-60)$$

$V_{GS} = V_{TO} + 1$ olunca, I_{D1} ve I_{D2} arasındaki oran kanal boyu modülasyon katsayısı λ yı içerir.

$$\frac{I_{D2}}{I_{D1}} = \frac{1 + \lambda \cdot V_{DS2}}{1 + \lambda \cdot V_{DS1}} \quad (5-61)$$

Bu durum doyma bölgesindeki savak akımı ile savak gerilimi eğrisi arasındaki eşitliğe eşittir. Burada eğim = $\lambda \cdot \beta_n / 2$ dir.

Böylece, eşik gerilimi, gövde parametresi, kanal boyu modülasyonu parametresi, geçiş iletkenliği parametresi tranzistör ölçümlerinden yararlanılarak bulunabilir.

5.6. CMOS Teknolojisi

5.6.1. N-Kuyulu CMOS Prosesi

n-kuyulu CMOS oluşturulması için taban olarak katkı yoğunluğu 10^{15} atom/cm³ civarında p-tipi silisyum kullanılır. Ardından difüzyona karşı maske görevi görecektir oksit büyütülür. n-kuyuyu oluşturacak 1. maske uygulanır. Litografik işlemle n-kuyu açılır.

nMOS ve pMOS transistorlardaki aktif bölgeler tanımlanır. **Şekil 5-16 daki** şekiller CMOS eviricinin üretim aşamalarında kullanılan maskeleri göstermektedir.

CMOS evirici en az 7 maskeden oluşur.

- 1.n kuyu oluşturulur.(p taban kullanıldığı varsayılıyor.)
- 2.n-kanallı tranzistor alanı açılması
2. geçitlerin oluşturulması
- 3.NMOS' un aktif bölgeleri oluşturulması.
- 4.PMOS' un aktif bölgeleri oluşturulması
- 5.Kontak alanlarının belirlenmesi
6. Metal bağlantılar için Al yoğunlaştırma ve şekillendirme
7. Bağlantı pabuçlarının oluşturulması ve pasivasyon

CMOS evirici tasarım aşamaları Şekil 5-16' da verilmiştir.

Şekil 5-16.a.1' de Alan oksiti büyütülür. 1. maske kullanılarak n-kuyusu oluşturulur. Geçit oksiti büyütülür.Geçit oksidinin kalınlık ve kalitesi iki önemli üretim parametresidir ki bunlar MOS transistorların karakteristiğine ve ömrüne etki eder.

Şekil 5-16.a.2' de 2. maske kullanılarak n-Kanallı transistor alanı belirlenir.

Şekil b' de geçitlerin oluşturulması adımı görülmektedir. Polisilisyum tabakası kimyasal buhar depolama ile depolanır ve plazma aşındırma ile şekillendirilir. Bunun için geçit maskesi

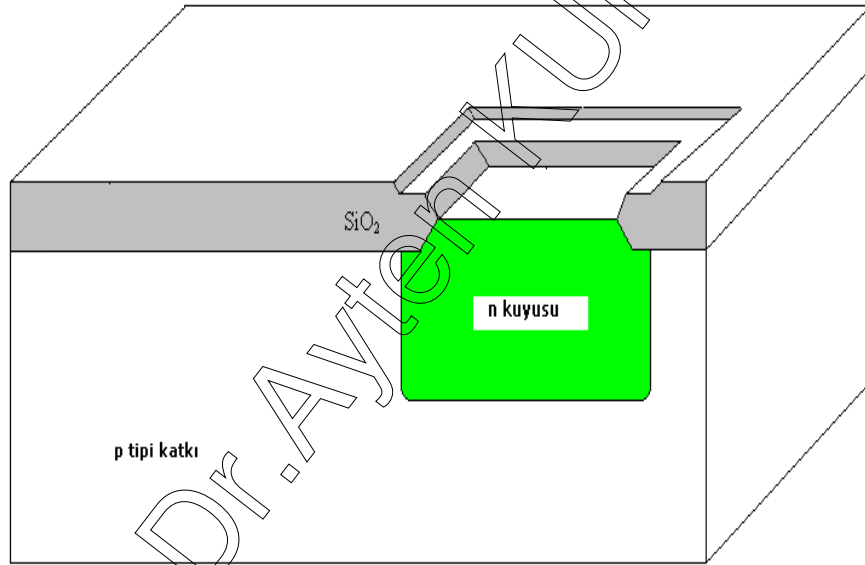
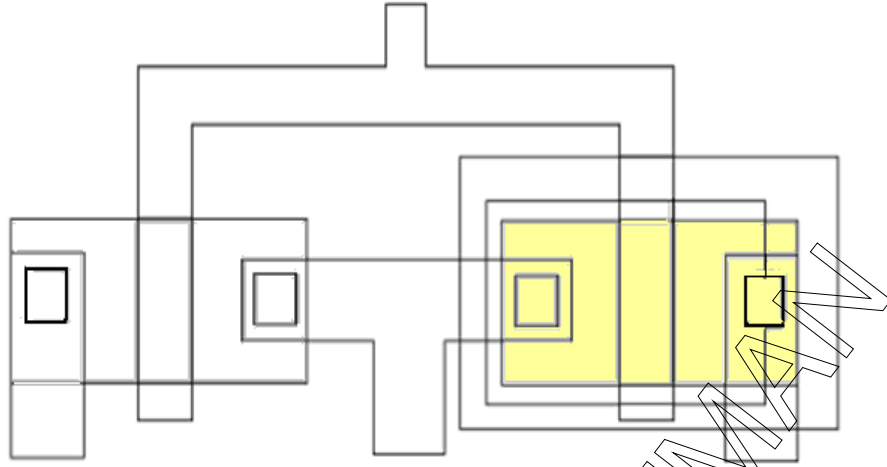
kullanılır. Oluşturulan polisilyumlar nMOS ve pMOS transistörlerin geçidini oluştururlar.

Geçit oluşturulduktan sonra **Şekil c'** de görüldüğü gibi p+ ' lar oluşturulur. Ayrıca katkı içindeki ve n-kuyusundaki omik bağlantılar bu adımda yapılır. Bir sonraki adımda **Şekil d'** de ise n+ ' lar oluşturulur.

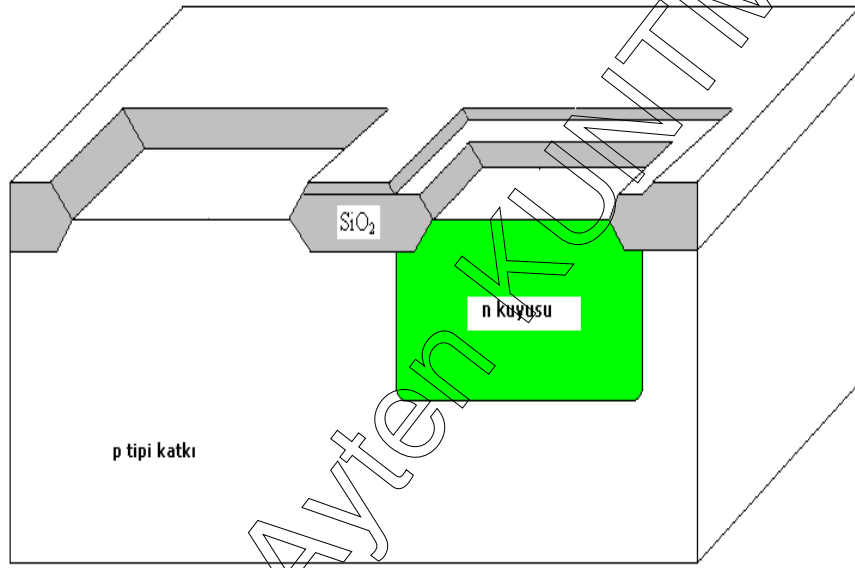
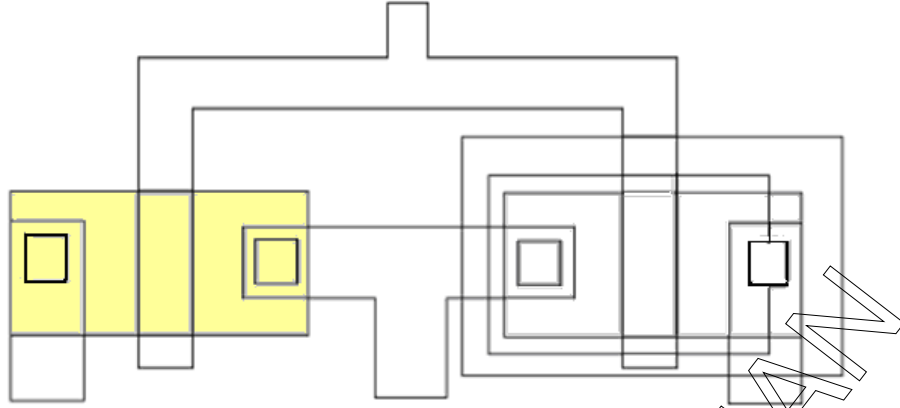
Kontakları açılması **Şekil 5-16 e'** de görülmektedir. Kontaklardan önce oksit büyütülür. Yalıtkan silisyum dioksit tabakası CVD kullanılarak oluşturulur. Daha sonra kontaklar tanımlanıp aşındırılır, silisyum ya da polisilyum pencereleri olarak ortaya çıkarılır. Daha sonra metal tabaka kullanılarak oluşturulan bu kontak pencereleri devre bağlantıları, devre ara bağlantılarını tamamlamak için gereklidir.

f: Devre bağlantılarını oluşturmak üzere kırmık üzerine metal buharlaştırılarak yayılır ve metal yollar maskesi ile şekillendirilir.

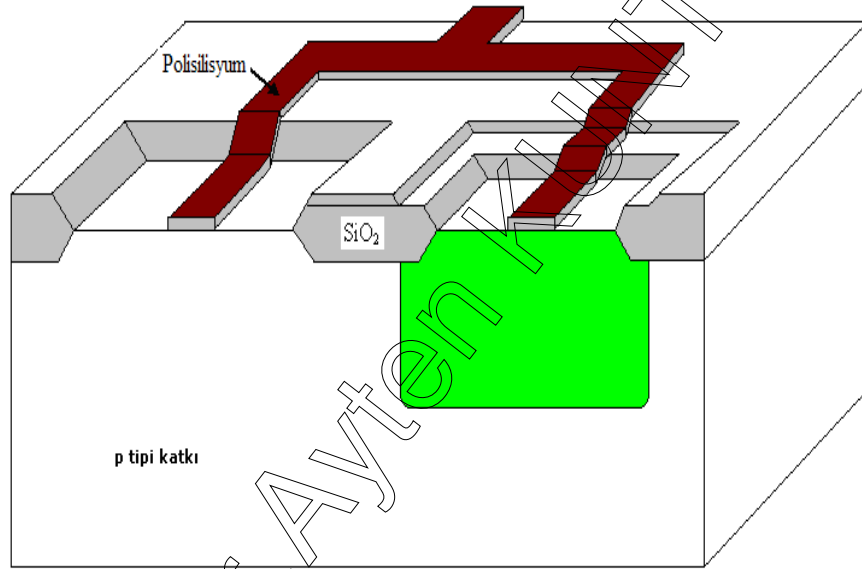
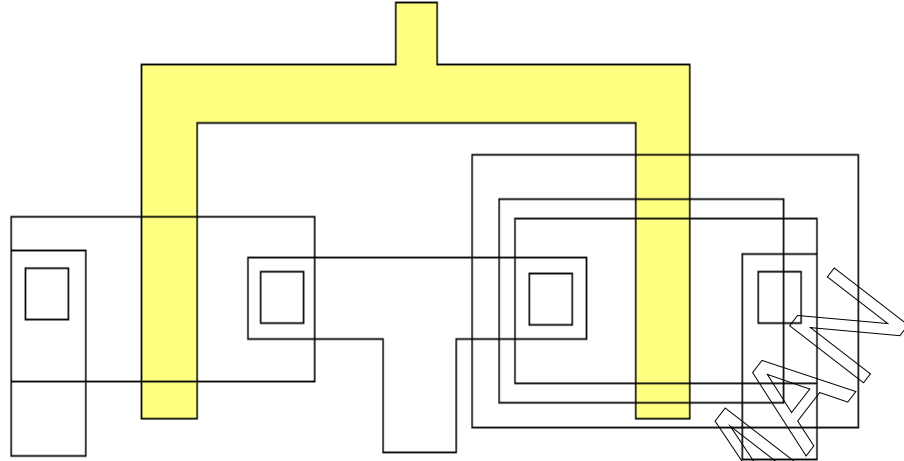
g: Kırmığın n-kuyusu içindeki nMOS ve pMOS tranzistörleri ile polisilyum ve metal bağlantılarının gösterildiği serim ve düşey kesit aşağıda verilmiştir. Son adım ise koruma için olan pasivasyon adımdır. Pasivasyon adımı da metal yollar maskesi kullanılır.



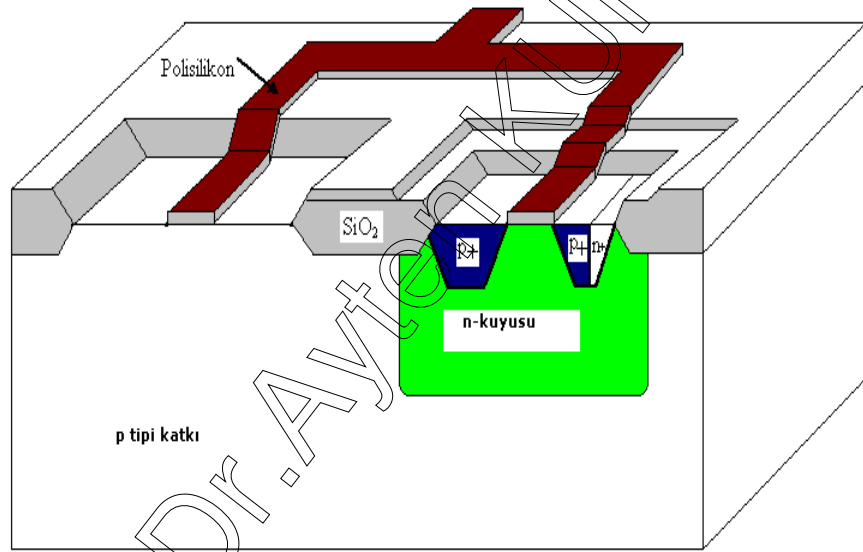
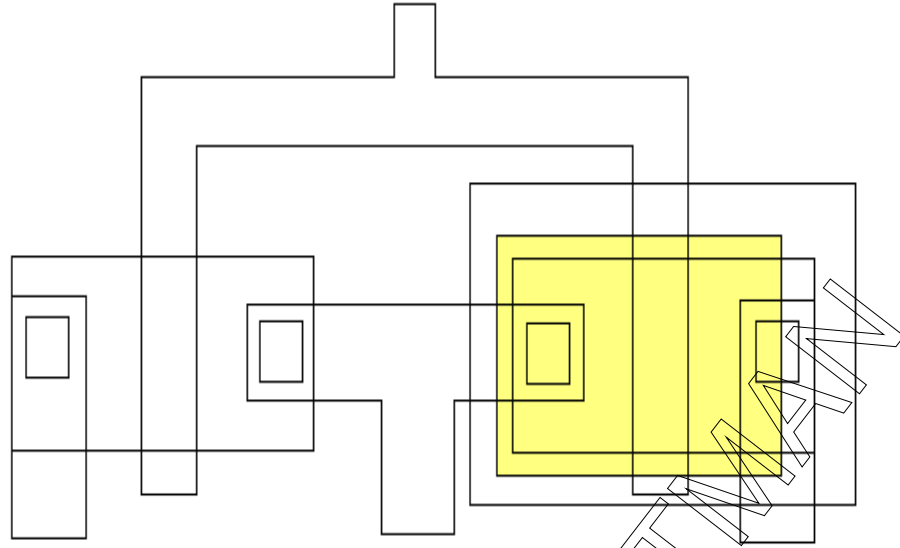
(a.1)



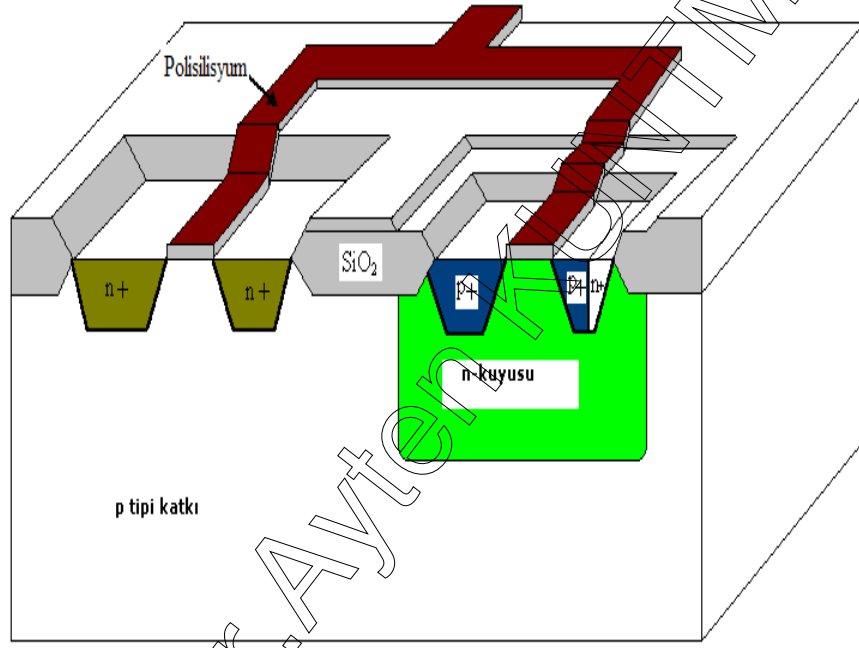
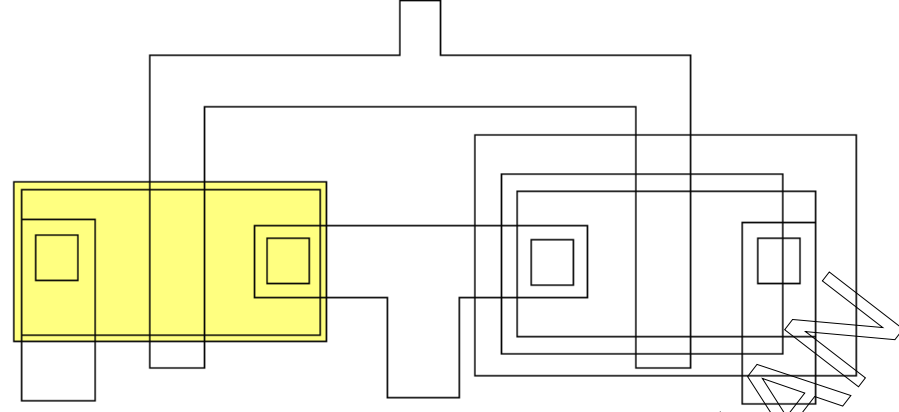
(a.2)



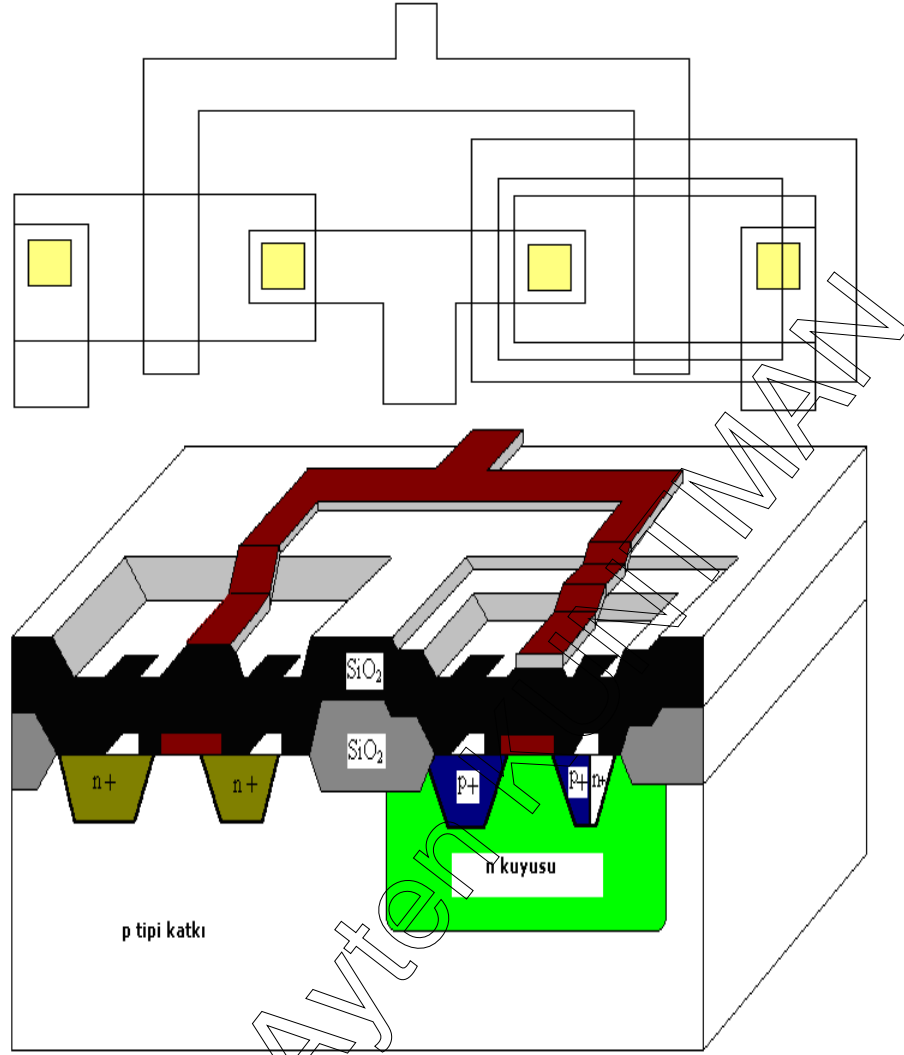
(b)



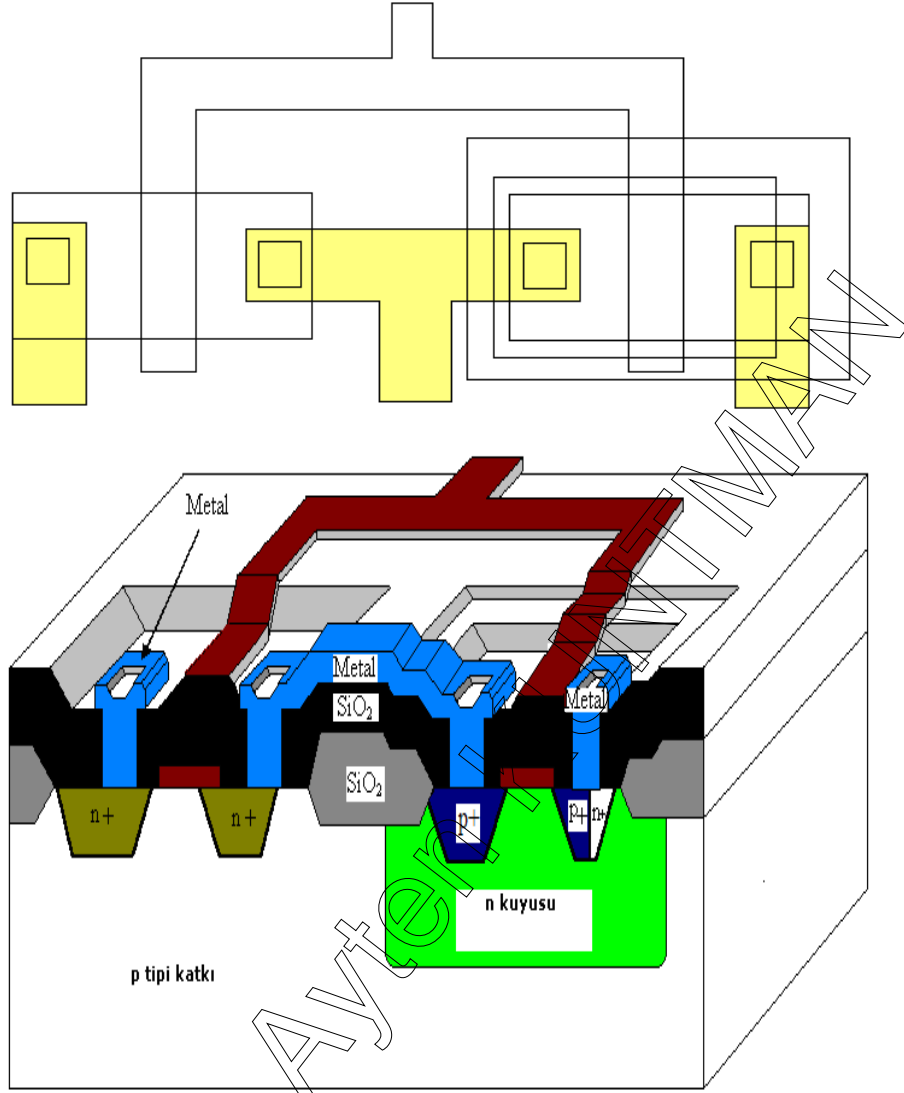
(c)



(d)



(e)



(f)

6. SERİM TASARIM KURALLARI

Herhangi bir devrenin fiziksel maske serimi bazı geometrik kuralları veya sınırlamaları sağlayan özel işlemlerle yapılır. Bu kurallara genellikle **serim(lay-out) tasarım kuralları** denir. Bu kurallar genellikle, kırmık üzerindeki metal veya polisilyum bağlantıların izin verilebilir minimum genişlikte, minimum eleman boyutlarında ve iki elemanın arasının izin verilebilir minimum uzaklıkta olmasını sağlar. Minimum boyut devre güvenilirliğini sağlamak için önemlidir. Örneğin dar bir metal yol uygun olmayan bir teknoloji ile yapılırsa metal yol üretim sırasında veya daha sonrasında kırılabilir. Bu da devrede istenmeyen açık devreler oluşturabilir. Diğer taraftan iki eleman arasındaki metal yol birbirine çok yakınsa üretim sırasında veya sonrasında istenmeyen kısa devreler olabilir. Tasarım kurallarının amacı, en küçük silisyum alanını kullanırken, yüksek güvenilirlikli ve kaliteli devreler yapmaktır.

Yüksek kalite ve daha az alan kullanımı için optimizasyona gerek vardır. Serim tasarım kuralları daha iyi bir üretim için kalite ve devredeki eleman yoğunluğu arasındaki optimum noktayı sağlar. Ancak; tasarım kuralları doğru tasarımı yanlış tasarım arasında kesin bir sınır vermez.

İki farklı devreye uygulanan aynı tasarım kuralları bir devrede yüksek kaliteye neden olurken diğer devrede kalitesiz bir üretime ve hatta devrenin çalışmamasına bile neden olabilir. Özet olarak serim tasarım kuralları üretim başarısını ve kaliteyi genellikle önemli ölçüde artırır.

Tümdevre tasarımında serim için boyutlandırmada mikron ve lambda kuralı kullanılır. Eleman boyutları mikron ve lambda parametresinin katlarıyla belirlenir.

a. Mikron kuralı; Mikron kuralında minimum eleman boyutları ve elemanlar arasındaki uzaklıklar kesin mikron değerleriyle belirtilir.

b. Lambda kuralı; Lambda kuralında serim kuralları λ parametresinin katsayılarıyla belirlenir ve böylece lineer orantılı ölçeklendirme yapılır.

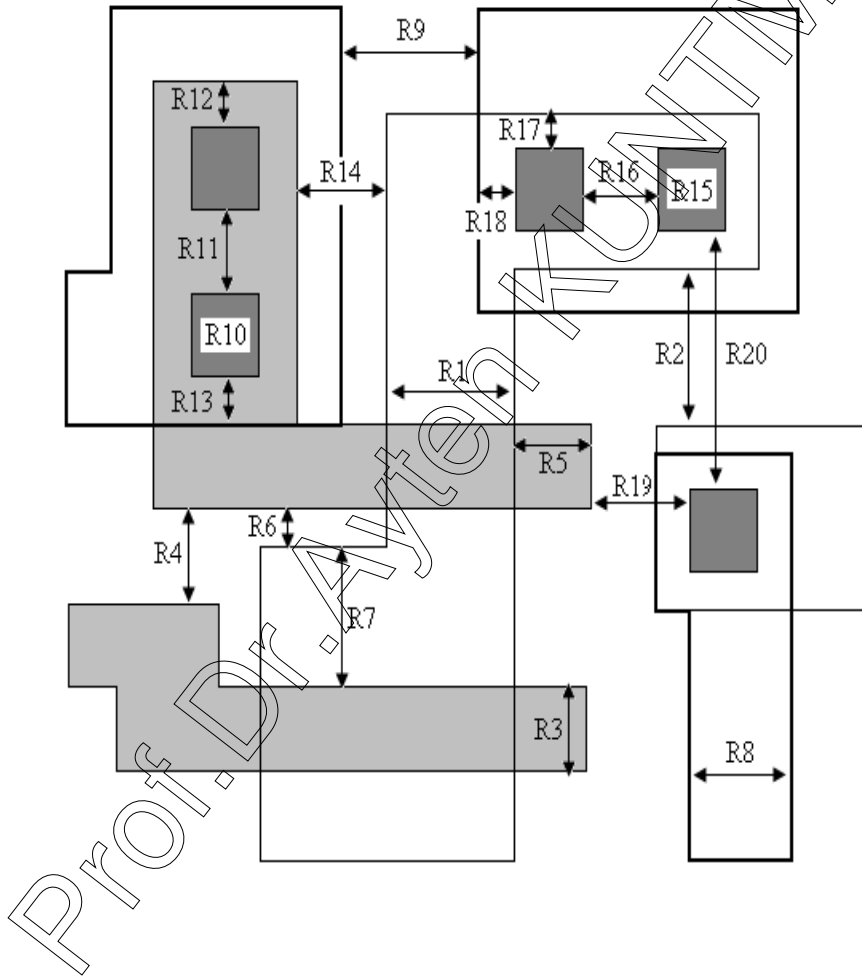
Lambda-tabanlı serim tasarım kuralları endüstri standartlarında mikron-tabanlı serim tasarım kurallarını basitleştirmek için tasarlanmıştır ve çeşitli uygulamalarda ölçekleme yeteneğini artırır. Ancak; bazı mikronaltı CMOS uygulamalarında tasarım kuralları lineer ölçeklemeye uymaz. Bu nedenle mikronaltı uygulamalarda lambda tabanlı tasarım kuralları büyük bir dikkatle belirlenmelidir. Kullanım için çeşitli tasarım kuralları geliştirilmiştir.

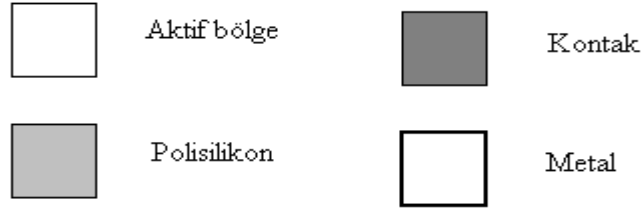
Tablo 6-1' de MOSIS(MOS Implementation System) CMOS prosesi için tasarlanan lambda tabanlı tasarım kuralları verilmiştir. Şekil 6-1' de ise MOSIS kurallarının iki tranzistorlu bir uygulaması görülmektedir.

Tablo 6-1: MOSIS Serim Tasarım Kuralları

MOSIS Serim Tasarım Kuralları		
Kural Numarası	Tanımlama	λ -Kuralı
Aktif Alan Kuralları		
R1	Minimum aktif alan genişliği	3λ
R2	Minimum aktif alan boşluğu	3λ
Polisilisyum Kuralları		
R3	Minimum poli genişliği	2λ
R4	Minimum poli boşluğu	2λ
R5	Aktif alandaki polinin minimum geçit açıklığı	2λ
R6	Minimum poli-aktif kenar boşluğu(poli aktif alanın dışında)	1λ
R7	Minimum poli-aktif kenar boşluğu(poli aktif alanın içinde)	3λ
Metal Kuralları		
R8	Minimum metal genişliği	3λ
R9	Minimum metal boşluğu	3λ
Kontak Kuralları		
R10	Poli kontak büyüklüğü	2λ
R11	Minimum poli kontak boşluğu	2λ
R12	Minimum poli kontak-poli kenar boşluğu	1λ
R13	Minimum poli kontak-metal kenar boşluğu	1λ

R14	Minimum poli kontak-aktif kenar boşluğu	3λ
R15	Aktif kontak büyüklüğü	2λ
R16	Minimum aktif kontak boşluğu(aynı aktif bölgede)	2λ
R17	Minimum aktif kontak-aktif kenar boşluğu	1λ
R18	Minimum aktif kontak-metal kenar boşluğu	1λ
R19	Minimum aktif kontak-poli kenar boşluğu	3λ
R20	Minimum poli kontak boşluğu(farklı aktif bölgelerde)	6λ





Şekil 6-1: MOSIS tasarım kurallarının bir evirici için gösterimi

6.1. “FULL-CUSTOM” MASKE SERİM KURALLARI

Maske serim kuralları, fiziksel serimle devrenin performansı birbirine sıkı sıkıya bağlı olduğundan oldukça önemlidir. Fiziksel yapı direkt olarak tranzistörlerin geçiş iletkenliğini, parazitik kapasite ve dirençleri ve kullanılan silisyum alanı belirler. Diğer yandan; lojik kapıların ayrıntılı maske serimi zaman harcamayı gerektirir. Fiziksel sınırlamalara karar verebilmek için tasarımcıların fiziksel maske serimi işlemlerini çok iyi bilmeleri gerekir. CMOS lojik kapıların fiziksel(maske serimi) tasarımı; devre topolojisi(istenen lojik fonksiyonu gerçekleştirmek için) ve tranzistörlerin başlangıç koşulları(istenen performansı gerçekleştirmek için) ile başlayan yinelemeli işlemlerdir. Bu noktada; tasarımcı sadece çıkış noktasındaki toplam parazitik yükü çıkıştaki eleman sayısı ve tahmini bağlantıların uzunluğuna bağlı olarak kestirebilir. Lojik kapılar 4-6 tranzistörden fazlasını içeriyorsa topolojik çizim ve Euler-yol metodu tasarımcıya tranzistörlerin optimum sıralasını belirlemede yardımcı olur. Bu adımda basit stick diyagramı ve kontak yerleri çizilebilir.

Topolojik gerçekleştirilebilir serim bulunduktan sonra, maske katmanları (serim editörü kullanılarak) serim tasarım kurallarına göre çizilir. Bu prosedür bütün tasarım kurallarını yerleştirebilmek için birkaç kez tekrarlanır ancak temel topoloji fazla değişmez. Biten serimde tranzistörlerin gerçek boyutlarını belirlemek için son DRC(Design Rule Check) yapılır. Daha da önemlisi her noktadaki parazitik kapasiteler belirlenir. “Extraction” adımının sonucu ayrıntılı “Spice” dosyasıdır. Bu dosya extraction adımı tarafından otomatik olarak üretilir. Gerçek devre performansı Spice ile belirlenebilir. Benzetim sonuçları istenen devre performansına uymazsa bütün işlemler tekrarlanır. Serim değişiklikleri, W/L oranı,

parazitik kaynak-savak kapasitelerini ve geiř iletkenlięini belirledięi iin W/L oranı zerinden yapılır. Tasarımcı parazitik etkileri azaltmak iin devre topolojisini de deęiřtirebilir.

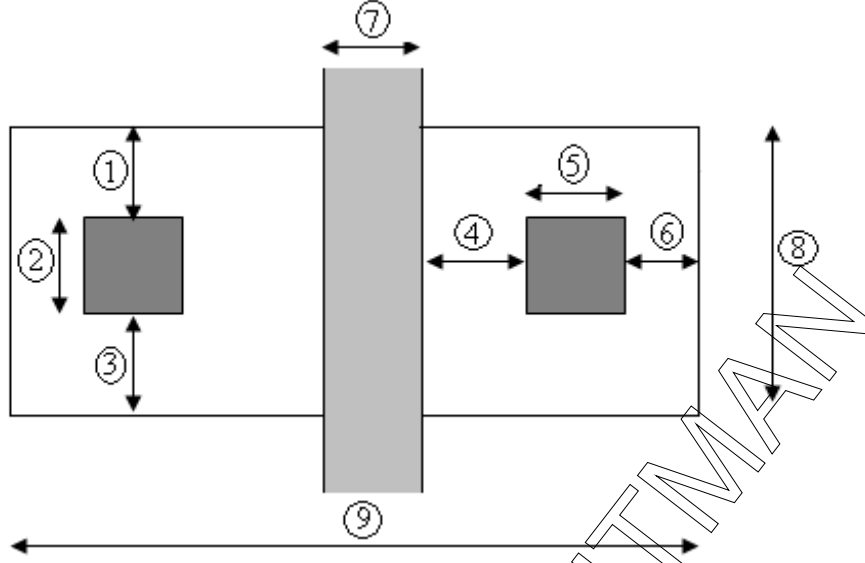
6.2. CMOS EVİRİCİ SERİM TASARIMI

Burada serim tasarımında rnek olmak zere CMOS evirici maske serim tasarımı ele alınacaktır. rnekte n-kuyulu CMOS evirici tasarımı ele alınmaktadır. Tasarımda ncelikle n-Kanallı MOS tranzistr iin tasarım řartları belirlenecektir.

N-Kanallı MOS tranzistr iin minimum boyut tasarım kuralları řekil 6-2' de řematik olarak verilmiřtir. řekilden de grldęi gibi tranzistrn minimum aktif alan geniřlięi ve minimum aktif alan uzunluęu belirlenir. minimum difzyon kontak geniřlięi ve aktif alanın her iki kenarına kontaklardan olan minimum uzaklıkla belirlenir. Aktif alan zerindeki polisilisyum geniřlięi (geit) tipik olarak minimum poli geniřlięi olarak alınır.

Bylece minimum aktif alan uzunluęunu : $(\text{minimum polisilisyum geniřlięi}) + 2 \times (\text{minimum poli-kontak bořluęu}) + 2 \times (\text{minimum kontak geniřlięi}) + 2 \times (\text{minimum aktif blge kenarı-kontak bořluęu})$ řeklinde hesaplanır.

Bylece minimum aktif alan geniřlięi : $(\text{minimum kontak geniřlięi}) + 2 \times (\text{minimum kontak-aktif kenar uzaklıęı})$ řeklinde hesaplanır.



Şekil 6-2 : Transistör için minimum boyut tasarım kuralları

Sekil 6.2' de ;

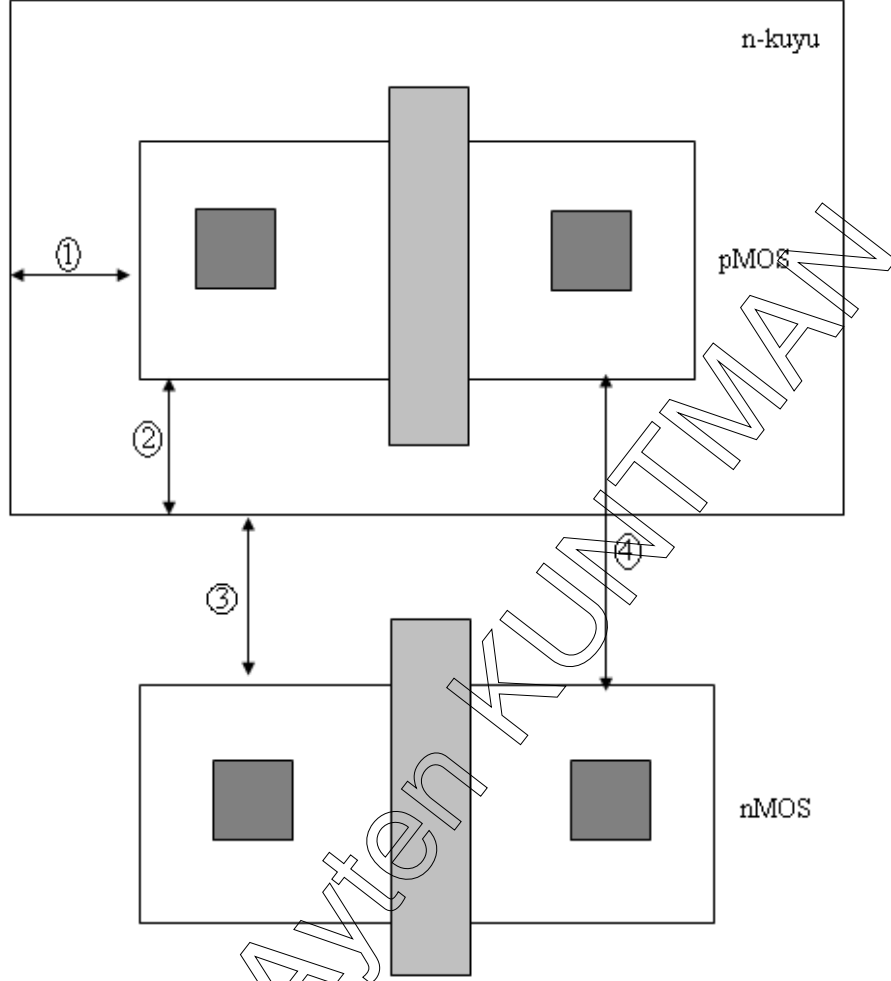
1. Minimum kontak-aktif kenar uzaklığı
2. Minimum kontak genişliği
3. Minimum kontak-aktif kenar uzaklığı
4. Minimum polisilisyum kenar-kontak uzaklığı
5. Minimum kontak uzunluğu
6. Minimum kontak-aktif kenar uzaklığı
7. Minimum polisilisyum uzunluğu
8. Minimum aktif alan genişliği
9. Minimum aktif alan uzunluğu

olarak verilmektedir.

n-kuyulu CMOS için minimum boyut tasarım kuralları ise Şekil 6-3' te görülmektedir. Burada p-taban üzerinde n-kanallı MOS olduğu için p-taban üzerine n-kuyu yapılarak PMOS tranzistör n-kuyu içinde oluşturulur. PMOS tranzistör n-kuyu bölgesinde olmalıdır. N-kuyunun minimum boyutu PMOS aktif alanı ve minimum n-kuyu ve n+ bölgesi arasındaki alanla belirlenir. NMOS ve PMOS tranzistörler arasındaki mesafe n+ aktif alanı ve n-kuyu arasındaki

mesafeyle belirlenir. NMOS ve PMOS tranzistörün polisilyum geçitleri genelde birleşiktir. Böylece geçit bağlantısı tek bir polisilyum yolla yapılır. Uzun polisilyumdan kaçınılmasının nedeni polisilyumun oluşturduğu büyük değerli parazitik kapasite, direnç ve bunlardan oluşan RC gecikmeleridir. Bu nedenle bağlantıları mümkün olduğunca metalle yapılır. Gerekğinde iki katman arasındaki elektriksel bağlantıları sağlamak için metal-polisilyum bağlantıları yapılır.

CMOS evirici maske serim tasarımının incelenen ana adımlarında sadece bir tanesi incelenmiştir. Tasarım kuralları maske geometrisine bir takım sınırlamalar getirir. Full-custom serim tasarımı, eleman boyutlandırma, elemanları yerleştirmede ve bağlantılarının yapılmasında istediğimiz bazı değişiklikleri yapmamıza olanak sağlar. Zorlayıcı tasarım kriterlerine ve tasarım şartlarına (silisyum alan küçüklüğü, gecikme zamanı küçültülmesi, giriş/çıkış uçlarının yerleştirilmesi) bağlı olarak tasarımcı alternatifler arasından bir maske serimi seçer. Olası serim sayısı devrenin karmaşıklığına bağlı olarak artabilir.



Şekil 6-3 : nMOS ve pMOS arasındaki minumum uzaklık için tasarım kuralları

Şekil 6.3' te;

- 1,2. n-kuyu ile p+ aktif alan arasındaki minimum uzaklık
3. n+ aktif alanı ile n-kuyu arasındaki minimum uzaklık
4. nMOS ve pMOS tranzistör arasındaki minimum uzaklık olarak verilmektedir.

6.3. MOS TMDEVRE TASARIMI

Sayısal tmdevrelerde tmleřtirme MOS ve CMOS teknolojileri kullanarak yapılır. Sayısal tmdevre tasarımında tranzistrn tipi, kanal boyu ve kanal geniřlięi nemli parametrelerdir.

Lojik kapılarda NMOS teknolojiye E-NMOS'lar src tranzistr, D-NMOS'lar yk tranzistr olarak kullanılır. CMOS teknolojisinde ise E-NMOS'lar src tranzistr, P-MOS'lar yk tranzistr olarak kullanılırlar.

Teknoloji seildikten sonra yapılacak temel iki iřlem verilen fonksiyonu gerekleřtirecek devrenin seimi ve tranzistrlerin boyutlandırılmasıdır. Proses parametreleri ise teknolojiye gre belirlenir.

6.3.1. EVİRİCİLER

Devre elemanı olarak tranzistrlerden hareketle oluřturulan lojik kapılar NOT, OR, AND, NOR, NAND olarak sayılabilir. İlerinden en temel olan $Y = \bar{X}$ NOT iřlemine gerekleřtiren "evirici" lerdir.

6.3.2. NMOS Evirici:

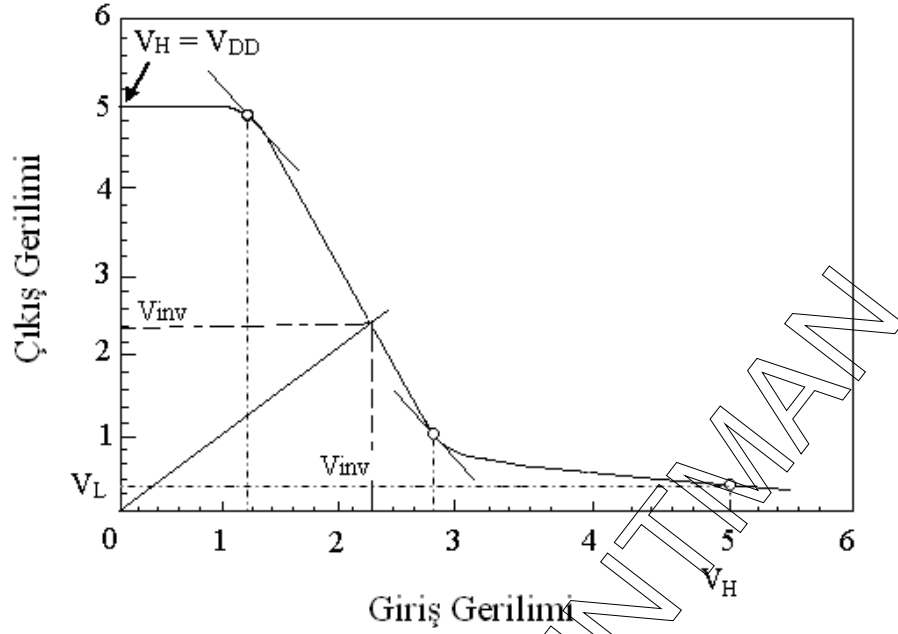
Standart NMOS evirici řekil 6.4' de verilmektedir.

V_i giriř gerilimi ve V_o ıkıř gerilimi arasındaki iliřkiyi veren geiř zeęrisi ise řekil 6-5' te grlmektedir.

NMOS teknolojisinde ENMOS src tranzistr(T_D), DN MOS yk tranzistrdr(T_L).

Tasarım iin gerekli olan iřlem, verilen fonksiyonu gerekleřtirecek devrenin seimi ve tranzistrlerin boyutlandırılmasıdır.

Lojik kapıların hepsi MOS tranzistrlerle gerekleřtirilebilirler.



Şekil 6-5: NMOS eviricinin transfer karakteristiği

6.3.2.1. Eviricinin Elektriksel Özellik-Yapı İlişkisini Veren Büyüklükler

Eviricinin elektriksel performansını yapısal parametrelere bağlayan ilişkiler evirici optimizasyonu için gereklidir. Evirici performansını birinci planda belirleyen beş büyüklük vardır. Bunlar,

1. Lojik 0 Gerilimi
2. Lojik Eşik
3. Aşağı Gecikme
4. Yukarı Gecikme
5. Güç Harcaması

1. Lojik 0 Gerilimi (V_L):

Girişe V_{DD} uyguladığımızda elde edilen çıkış Lojik-0 gerilimi V_L gerilimidir. Bu durumda T_D doymasız, T_L doymalı bölgede çalışır (Lojik 0). İki tranzistörün akımları eşitlenirse,

$$V_L = \frac{(-V_{TL})^2}{\beta_D / \beta_L} \frac{1}{V_{DD} - V_{TD}} \quad (6-1)$$

$$V_L = \frac{(-V_{TL})^2}{(W_D / L_D) / (W_L / L_L)} \frac{1}{V_{DD} - V_{TD}} \quad (6-2)$$

$$\beta = \mu C_{ox} \frac{W}{L} \rightarrow \text{Tranzistöre ait parametre} \quad (6-3)$$

2.Lojik Eşik(V_{INV}):

Girişe uygulandığında çıkışı da aynı değere getiren gerilim olarak tanımlanır. Şekil 6-5' de orijinden 45°' lik eğimle çizilen doğrunun özeğriyi kestiği noktanın koordinatları V_{INV} ' dir.

$V_i > V_{inv}$ için $V_o < V_{inv}$

$V_i < V_{inv}$ için $V_o > V_{inv}$ olur.

Bu sebeple V_{inv} değeri Lojik 0 ve Lojik 1 değerleri arasında bir sınır değeri olarak kabul edilir. Yaklaşık olarak $V_{DD}/2$ kadardır.

$$V_{inv} = V_{TD} + \frac{-V_{TL}}{\sqrt{\frac{\beta_D}{\beta_L}}} = V_{TD} + \frac{-V_{TL}}{\sqrt{\frac{W_D / L_D}{W_L / L_L}}} \quad (6-4)$$

3. Aşağı Gecikme(τ_D):

Çıkış işaretinin 1' den 0' a değişene kadar geçen süredir. Devrenin hızını ve girişteki işaretin frekansını belirlemede gerekir. Aşağı gecikmesi büyük bir sistem hızlı darbelere cevap veremez.

$$\tau_D = \frac{Q_L}{I_D} \quad (6-5)$$

$$\tau_D = \frac{2C_L V_{DD}}{\beta_D (V_{DD} - V_{TD})^2} \quad (6-6)$$

$$\tau_D = \frac{2C_L V_{DD}}{\mu C_{ox} \frac{W_D}{L_D} (V_{DD} - V_{TD})^2} \quad (6-7)$$

$$\tau_D = \frac{C_L}{C_{ox} W_D L_D} \frac{2L_D^2 V_{DD}}{\mu (V_{DD} - V_{TD})^2} \quad (6-8)$$

4. Yukarı Gecikme(τ_U):

Çıkış işaretinin 0' dan 1' e değişene kadar geçen süredir.

$$\tau_U = \frac{Q_L}{I_L} = \frac{C_L V_{DD}}{\frac{\beta_L}{2} (-V_{TL})^2} \quad (6-9)$$

$$\tau_U = \frac{C_L V_{DD}}{\mu C_{ox} \frac{W_L}{2L_L} (-V_{TL})^2} \quad (6-10)$$

$$\tau_U = \frac{C_L}{C_{ox} W_L L_L} \frac{2V_{DD} L_L^2}{\mu (V_{DD} - V_{TL})^2} \quad (6-11)$$

5. Güç Harcaması

NMOS eviricilerde güç çıkış Lojik-0' a giderken harcanır.

$$P = \frac{\beta_L}{2} (-V_{TL})^2 \cdot V_{DD} = \frac{1}{2} \mu C_{ox} \frac{W_L}{L_L} (-V_{TL})^2 \cdot V_{DD}$$

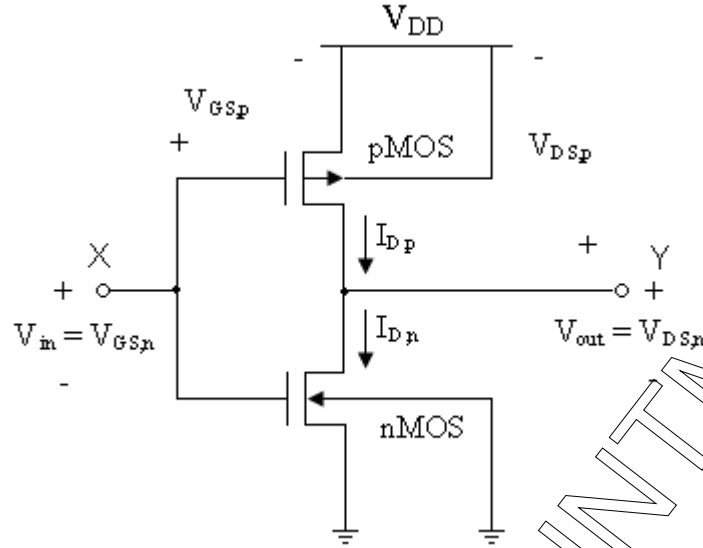
Tüm bu parametreler optimize edilir.

6.3.3. CMOS Eviriciler:

CMOS teknolojisinde ise ENMOS sürücü tranzistör PMOS yük tranzistörüdür.

Şekil 6.6' da verilen CMOS evirici devresinde başlangıçta $V_i=0$ ' da T_L iletimde T_D kesimdedir ve $V_o=V_{DD}$ olur(Lojik 1). $V_i=V_{DD}+V_{TL}$ olduğunda T_L kesimde T_D iletimde olur. Bu durumda $V_o=0$ 'dır(Lojik

0). CMOS evircinin Şekil 6.7' de verilen geçiş özeğrisinden $V_i=V_{DD}$ için $V_o=0$ ve $V_i=0$ için $V_o=V_{DD}$ olduğu görülmektedir.



Şekil 6-6: CMOS evirci devre

$$V_{inv} = \frac{V_{DD} + V_{TL} + \sqrt{\frac{\beta_D}{\beta_L}} V_{TD}}{\sqrt{\frac{\beta_D}{\beta_L}} + 1} \quad (6-12)$$

CMOS eviricide tranzistörlerden biri iletimde iken diğeri kesimde kabul edilerek aşağı ve yukarı gecikmeler hesaplanır. Bu sebeple CMOS' un güç harcaması azdır. Ve geçiş dışında akım akmaz.

$$\tau_D = \frac{C_L}{C_{ox} W_D L_D \mu_n (V_{DD} - V_{TD})^2} \quad (6-13)$$

$$\tau_U = \frac{C_L}{C_{ox} W_D L_D \mu_n (V_{DD} - V_{TD})^2} \cdot \frac{\beta_D (V_{DD} - V_{TD})^2}{\beta_L (V_{DD} + V_{TL})^2} \quad (6-14)$$